

گزارش آزمایش طراحی سیستم های دیجیتال

آزمایش دوم:

طراحی مدار ترتیبی با امکانات شماتیک

نگارش :

سید ابوالفضل رحیمی ۹۷۱۰۵۹۴۱

امیرحسین باقری ۹۸۱۰۵۶۲۱

استاد :

دکتر علیرضا اجلالی

دستیار آموزشی :

آقای روزبه سیادت زاده

## Contents

2	مقدمه
2	شرح کار کلی مدار
2	ورودی های مدار
3	خروجی های مدار و نحوه ی طراحی و تحقق آن ها
4	طراحی مدار شمارنده
5	طراحی jk
5	محاسبه فرکانس کاری مدار
6	Compilation report
7	Waveforms
7	Counter test waveform
7	Room test wave forms
7	تست سیگنال ریست و ورود
8	تست غیر فعال بودن سیگنال open
8	تست غیر فعال بودن سیگنال T و خروج
8	تست خروج و ورود همزمان و خروج

## مقدمه

هدف از این آزمایش، طراحی یک مدار ترتیبی است که یک اتاق انتظار را شبیه سازی کند. شبیه سازی اتاق انتظار، به کمک یک شمارنده ی دو جهته ی بالا/پایین انجام می شود که عدد نشان داده شده توسط آن، بیانگر تعداد افراد حاضر در اتاق انتظار است. هر گاه این عدد به 15 رسید ورودی بسته و به صفر رسید خروجی بسته می شود. آزمایش به کمک نرم افزار Quartus انجام شده است.

## شرح کار کلی مدار

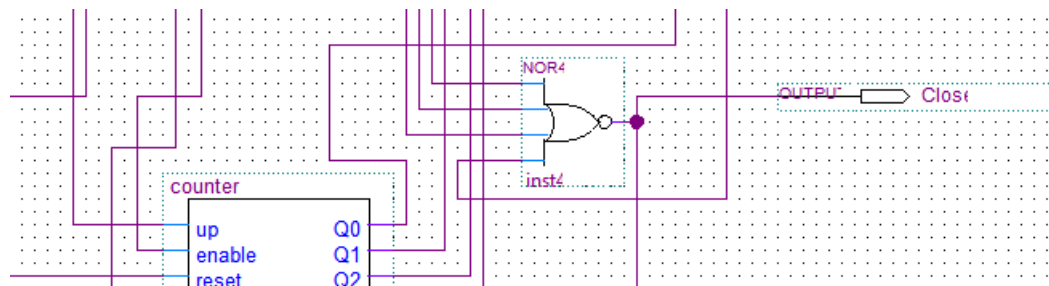
### ورودی های مدار

- ورودی کلاک
- ورودی دکمه ent

- ورودی open اجازه ورودی
- ورودی out دکمه خروج
- ورودی T زمان مجاز
- ورودی reset (اکتیو لو)

### خروجی های مدار و نحوه ی طراحی و تحقق آن ها

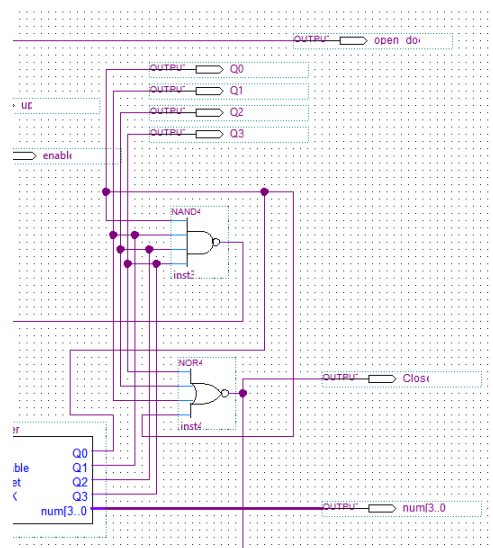
خروجی close بسته بودن در (که هنگامی صفر می شود که حداقل یکی از بیت های عدد نشان) داده شده توسط شمارنده، مقدار داشته باشد؛ در نتیجه، اگر عدد شمارنده صفر باشد (و کسی در اتاق نباشد)، این خروجی یک می شود (در خروج بسته می شود)



خروجی های بیت های شمارنده (Q ها و num)

خروجی open\_door هنگامی یک می شود که تمام عبارت های زیر یک باشند.

- ورودی T
- ورودی ent
- ورودی open
- همچنین عدد شمارنده ۱۵ نباشد. (nand بیت های آ صفر نباشد).



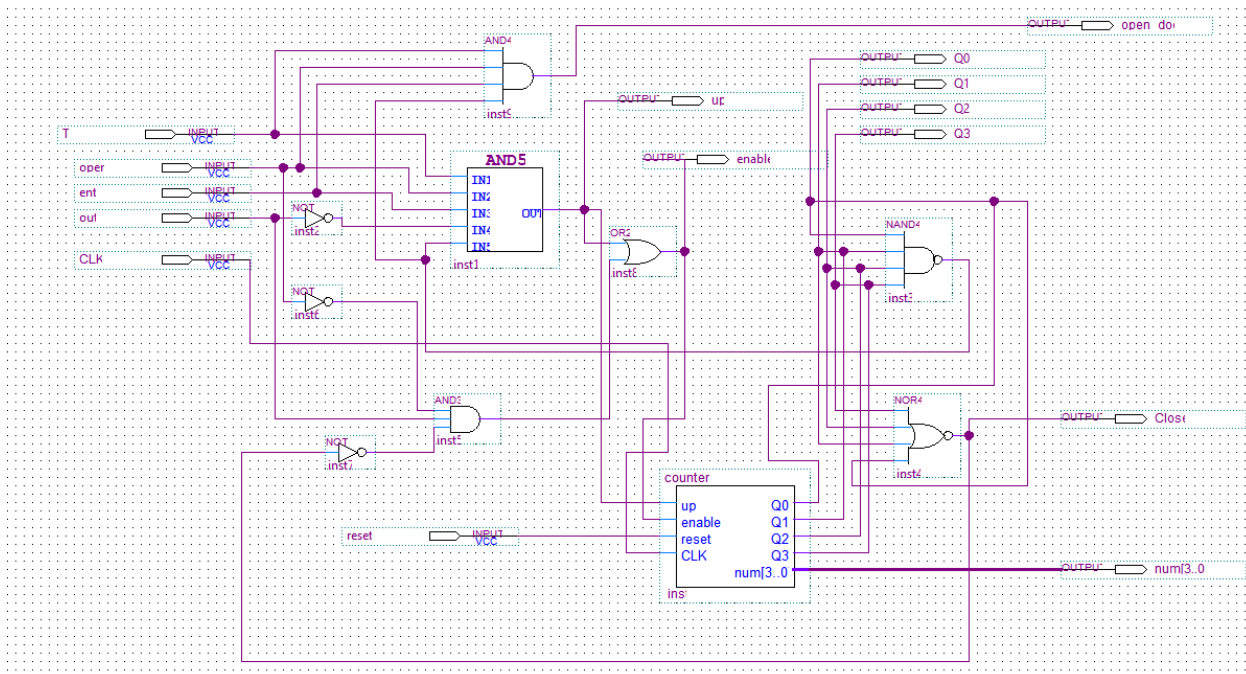
برای بهتر دیدن عملکرد مدار خروجی های enable , up داده شده است.

خروجی up وقتی یک است که هم open و هم out صفر باشد. زیرا اگر out یک باشد و open نیز یک باشد نباید مقدار شمارنده تغییری کند و باید ثابت بماند.

خروجی enable , up طبق جدول زیر هستند.

T	in	ent	out	$(Q_0Q_1Q_2Q_3)'$	$(Q_0+Q_1+Q_2+Q_3)'$	up	en
X	0	X	1	X	0	0	1
1	1	1	0	1	X	1	1
در بقیه حالات						X	0

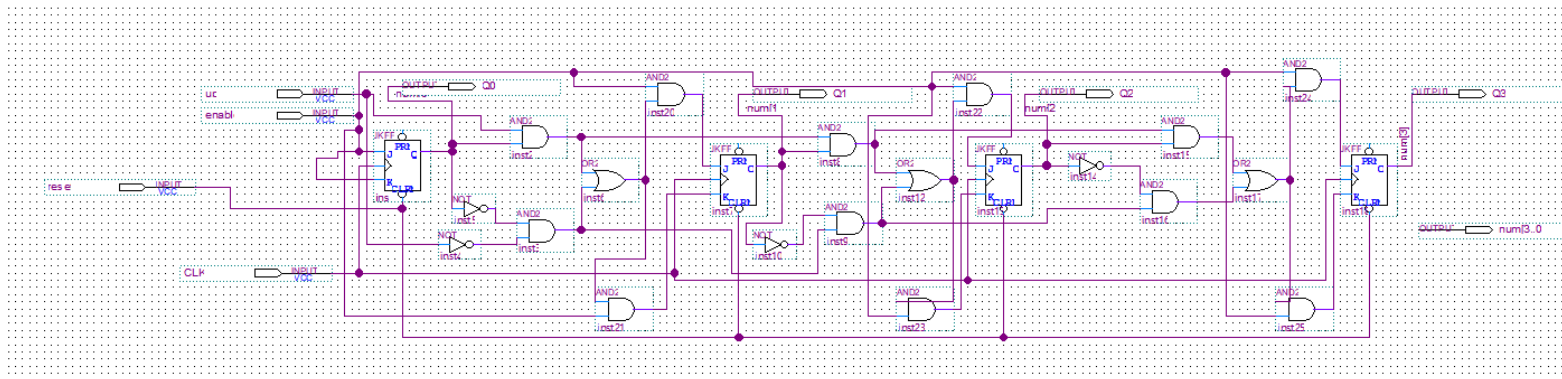
برای این بخش همانطور که شرح داده شد نیازمند طراحی یک مازول کمکی می‌باشیم که بتواند باقی مانده هر رقم را بر ۳ حساب کند.



## طراحی مدار شمارنده

در طراحی شمارنده از ۴ عدد jk flipflop استفاده کرده ایم. خروجی این فلیپ فلاپ ها از چپ به راست بیت های صفر یک دو و سه شمارنده ۴ بیتی هستند. نکته مهم آن است که اگر enable صفر باشد نباید تغییری در مقدار شمارنده رخ دهد و این کار به واسطه and کردن سیگنال enable با ورودی های k , j است تا وقتی که سیگنال صفر است مقدار هر FF ثابت بماند. برای شمارش رو به بالا و پایین باید مقادیر jk متناسب با عمل خواسته شده ست شوند که پیاده سازی آن در زیر آورده شده است.

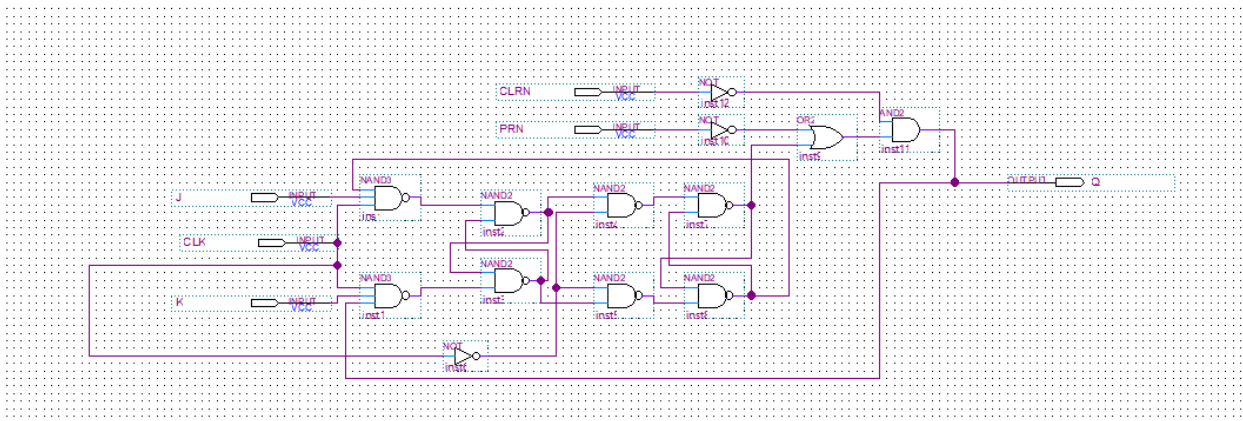
اگر enable یک باشد بیت صفرم همواره تغییر می‌کند اما مقدار بیت یکم دوم و سوم بر حسب مقدار بیت قبلی و جهت شمارش تغییر می‌کند.



ورودی reset نیز به clr آنها متصل است.

## طراحی jk

با استفاده از latch و آنچه در مدار منطقی خوانده ایم یک فلیپ فلاپ jk به شکل زیر طراحی میکنیم.



## محاسبه فرکانس کاری مدار

ابزار کوآرتوس ماکسیمم فرکانس کاری را 388.8 MHz محاسبه کرده است.

Fmax Summary				
	Fmax	Restricted Fmax	Clock Name	Note
1	388.8 MHz	388.8 MHz	CLK	

## Compilation report

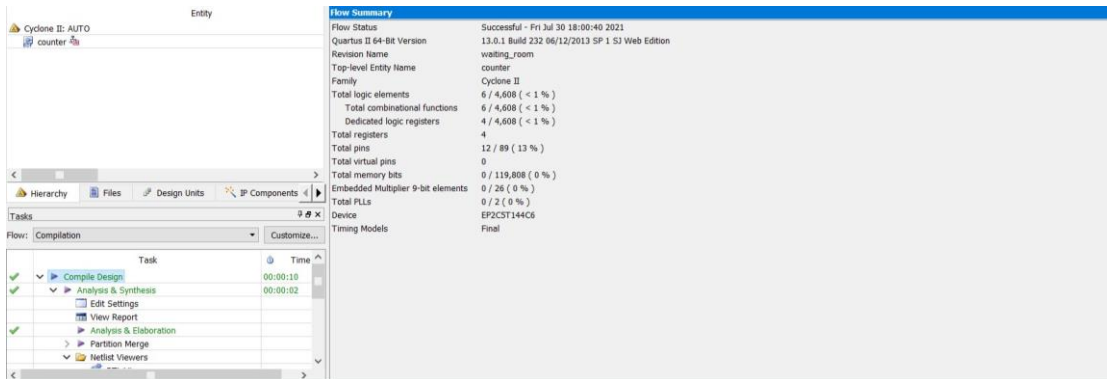


Figure 1 counter report

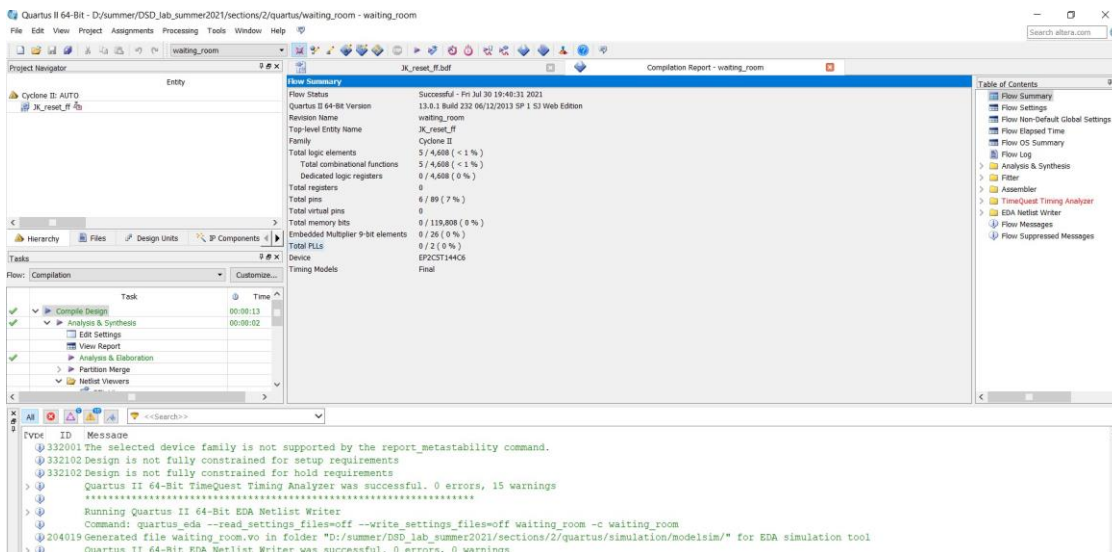


Figure 2 jk report

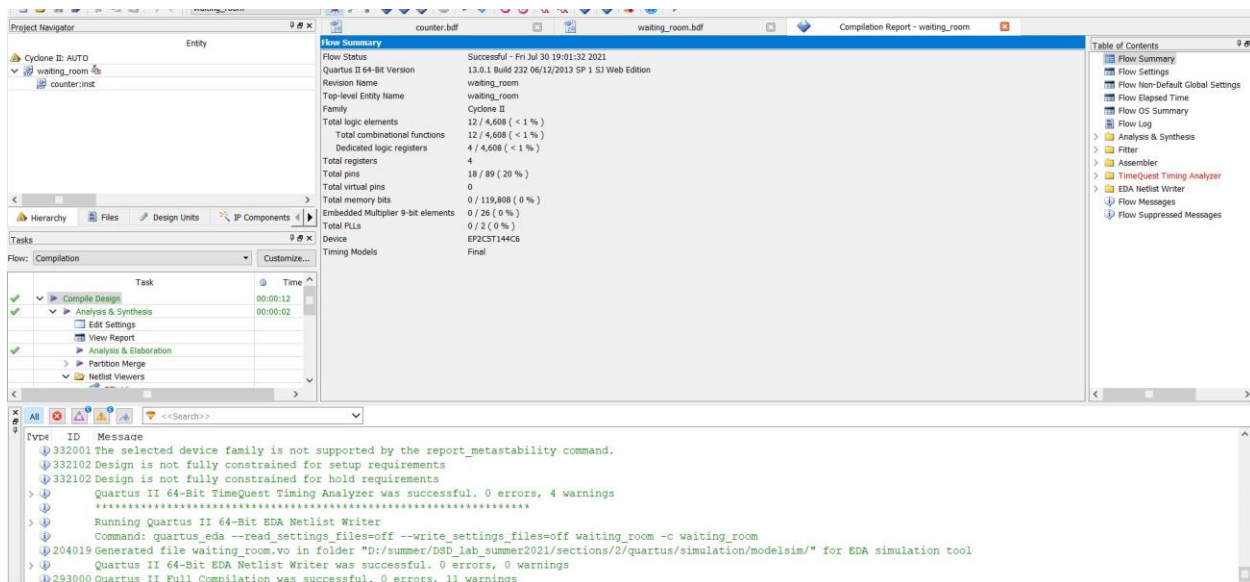
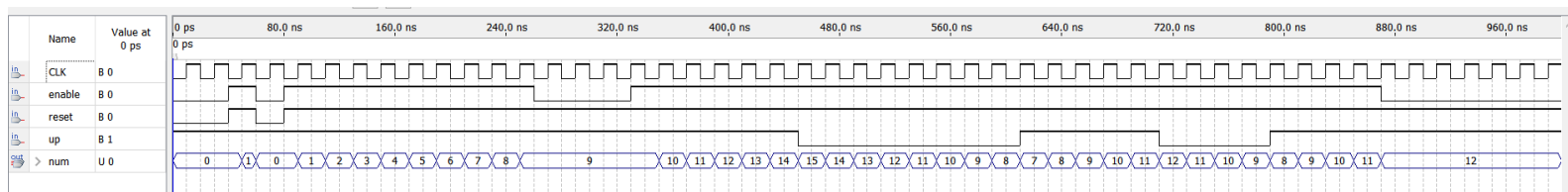


Figure 3 room report

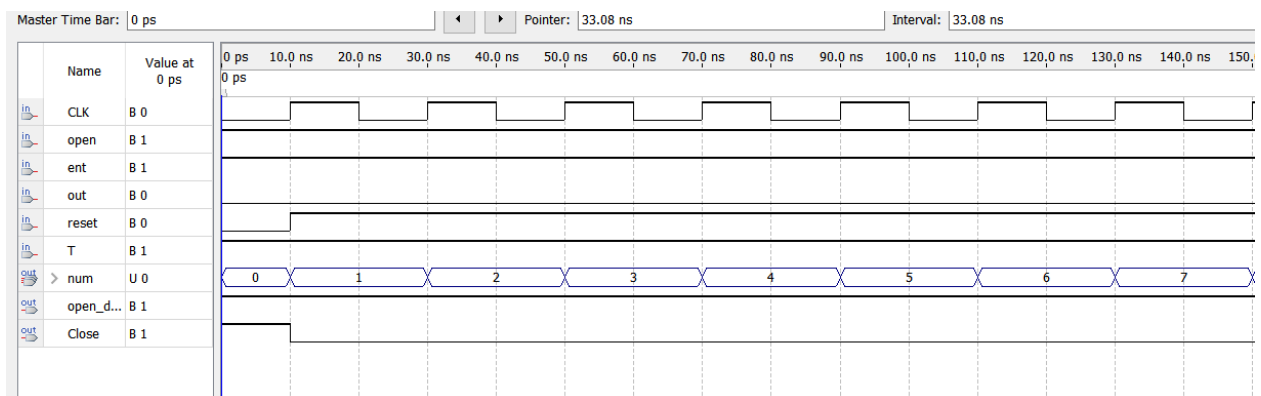
## Waveforms

### Counter test waveform

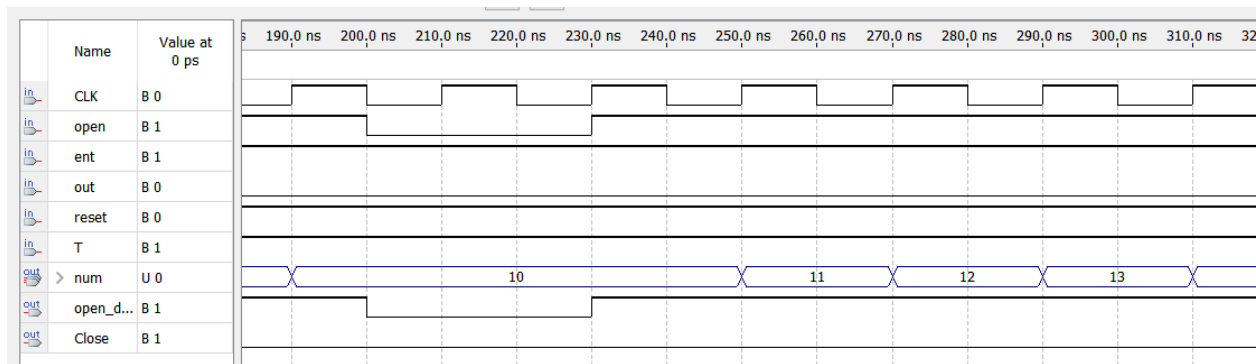


### Room test wave forms

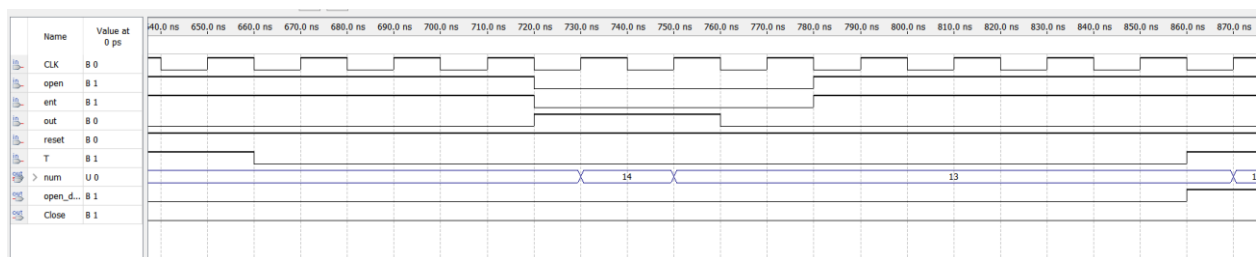
تست سیگنال ریست و ورود



## تست غیر فعال بودن سیگنال open



## تست غیر فعال بودن سیگنال T و خروج



## تست خروج و ورود همزمان و خروج

