

گزارش آزمایش طراحی سیستم های دیجیتال

آزمایش اول:

طراحی مدار ترکیبی با امکانات شماتیک

نگارش :

سید ابوالفضل رحیمی ۹۷۱۰۵۹۴۱

امیرحسین باقری ۹۸۱۰۵۶۲۱

استاد :

دکتر علیرضا اجلالی

دستیار آموزشی :

آقای روزبه سیادت زاده

مقدمه

در این آزمایش به طراحی ۲ ماژول ترکیبی (مستقل از کلاک) می پردازیم که باید بتوانند بخش پذیری یک عدد ۴ رقمی بر ۳ و ۱۱ را با یک سیگنال خروجی تعیین کنند به طوری که اگر عدد ۴ رقمی بر ۳ بخش پذیر بود ماژول مربوطه سیگنال خروجی اش یک شود و در غیر این صورت صفر و همین روال نیز برای ماژول مرتبط با بخش پذیری بر عدد ۱۱ نیز برقرار است.

ورودی ماژول ها ۴ عدد ۴ بیتی هستند که نمایانگر نمایش BCD متناظر با عدد ۴ رقمی در مبنای ۱۰ است بدان صورت که هر ۴ رقم نمایانگر یک رقم صفر تا ۹ است.

ابزار پیاده سازی مدار

مدار به کمک ابزار کوآرتوس کشیده شده اند و همچنین از کد های vhdl و Verilog نیز استفاده نشده است.

شرح کار کلی مدار

در بخش اول یک ماژول برای تشخیص بخش پذیری بر عدد ۳ را طراحی می کنیم به صورتی که ابتدا باقی مانده هر رقم بر ۳ را بدست آورده (یک ماژول کمکی اضافه) سپس آنها را با هم جمع می کنیم که حاصل یک عدد بین صفر تا ۸ است سپس با استفاده از همان ماژول کمکی اگر باقی مانده صفر بود سیگنال یک و اگر غیر صفر بود سیگنال صفر را خروجی می دهیم.

در بخش دوم ابتدا ارقام زوج را با هم و ارقام فرد را با یکدیگر جمع می کنیم. سپس آنها را از یکدیگر کم می کنیم. حاصل یک عدد بین ۱۸- و ۱۸ می باشد که تنها ۳ عدد ۱۱ و ۰ و ۱۱- بر ۱۱ بخش پذیر می باشند بنابراین با استفاده از SOP سیگنال خروجی را می سازیم.

مدار اول بخش پذیری بر ۳

برای این بخش همانطور که شرح داده شد نیازمند طراحی یک ماژول کمکی می باشیم که بتواند باقی مانده هر رقم را بر ۳ حساب کند.

مدار ماژول کمکی که باقی مانده تقسیم هر رقم بر ۳ را محاسبه می کند.

این ماژول یک ۴ بیت ورودی به عنوان رقم ورودی می گیرد و ۲ بیت خروجی برای اعداد ۰ و ۱ و ۲ را دارا می باشد. از بین ارقام صفر تا ۹ اعداد ۱ و ۴ و ۷ بر ۳ باقی مانده یک دارند و اعداد ۲ و ۵ و ۸ باقی مانده ۲ و ارقام ۰ و ۳ و ۶ و ۹ باقی مانده صفر دارند که با تشکیل جدول کارنو می توان عبارت SOP مربوط به هر کدام را بدست آورد.

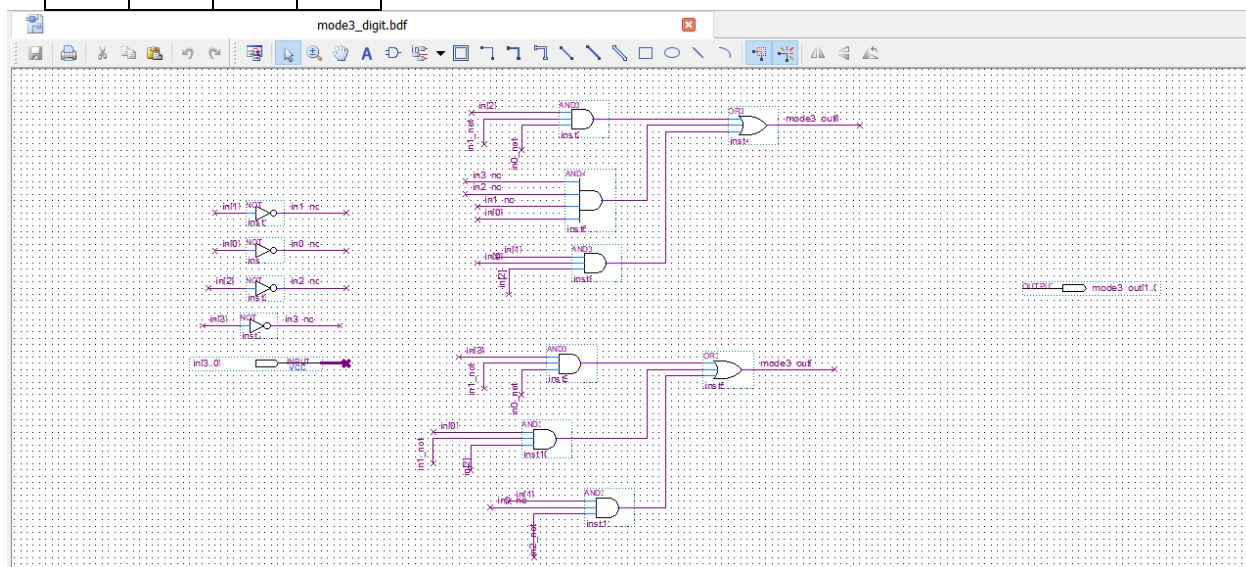
ماژول mode3_digit در پروژه به شرح زیر است که در تصویر آمده است.

0	1	1	0
1	0	x	0
0	1	x	x
0	0	x	x

$$\text{Out0} = \text{in1} \& \text{in1}' \& \text{in2}' \& \text{in3}' + \text{in0} \& \text{in1} \& \text{in2} + \text{in0}' \& \text{in1}' \& \text{in2}$$

0	0	x	1
0	1	x	0
0	0	x	x
	0	x	

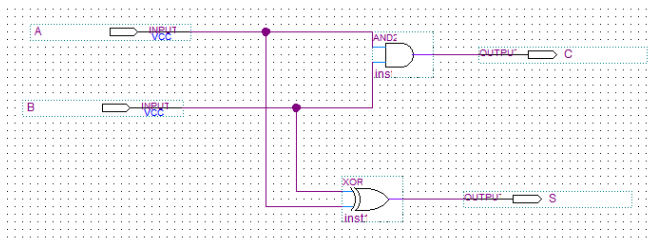
$$\text{Out1} = \text{in1} \& \text{in2}' \& \text{in0}' + \text{in0} \& \text{in1}' \& \text{in2} + \text{in0}' \& \text{in1}' \& \text{in3}$$



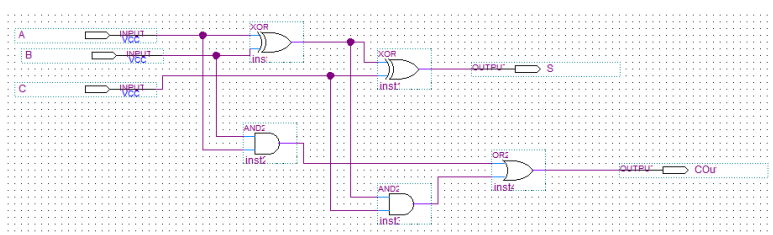
حال به کمک این ماژول و به کمک fulladder مدار اصلی را طراحی می کنیم.

مدارات HA , FA , nbitFA

مدار های FA و HA به سادگی قابل طراحی اند که از گفتن آنها در اینجا صرف نظر می کنیم با استفاده از این مدار ها می توان جمع



شکل HA2

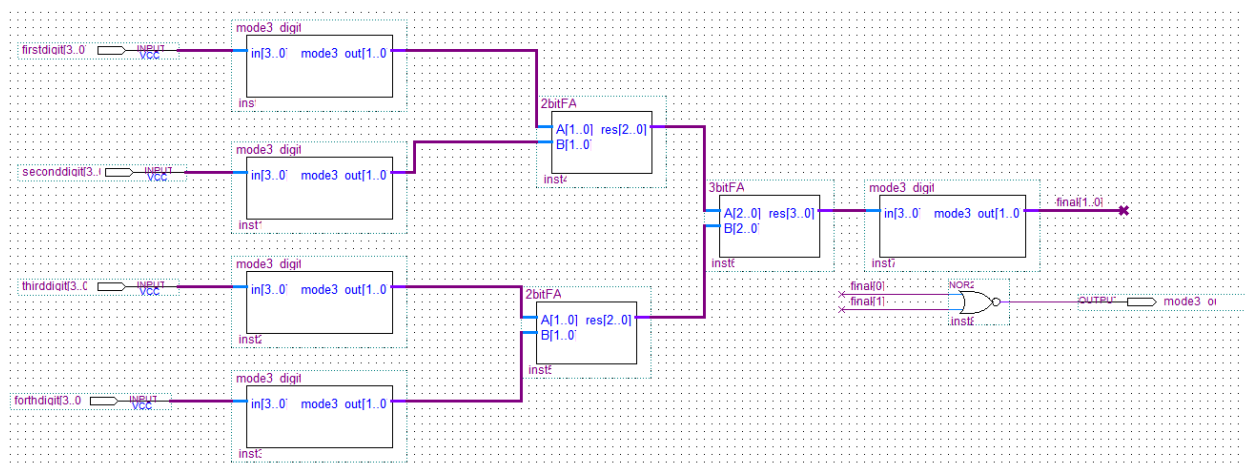


شکل FA1

کننده ها n بیتی طراحی کرد که در ساخت مدار اصلی استفاده می شوند.

مدار اصلی

ابتدا باقی مانده هر رقم به ۳ را محاسبه می‌کنیم سپس آنها را با هم جمع می‌کنیم. عدد نهایی کی عدد بین صفر تا ۸ است که می‌توان مانند یک رقم آنرا در نظر گرفت و باقی مانده آنرا بر ۳ محاسبه نمود در آخر اگر باقی مانده صفر بود سیگنال یک را خروجی می‌دهیم که این امر به کمک به گیت nor قابل انجام است.



برای جمع کردن حال باقی مانده ها ابتدا با استفاده از یک ادر ۲ بیتی که ۳ بیت خروجی دارد (۲ بیت و یک بیت کری) حاصل مرحله اول را بدست می‌آوریم سپس با استفاده از یک ادر ۳ بیتی که ۴ بیت خروجی دارد (۳ بیت و ۱ بیت کری) ۲ عدد مرحله قبل را با هم جمع می‌کنیم سپس حاصل را که یک رقم است بین صفر تا ۸ به ماژول کمکی ورودی می‌دهیم تا باقی مانده آن بر ۳ مشخص گردد سپس با استفاده از یک گیت nor خروجی را تعیین می‌کنیم.

مدار دوم بخش پذیری بر ۱۱

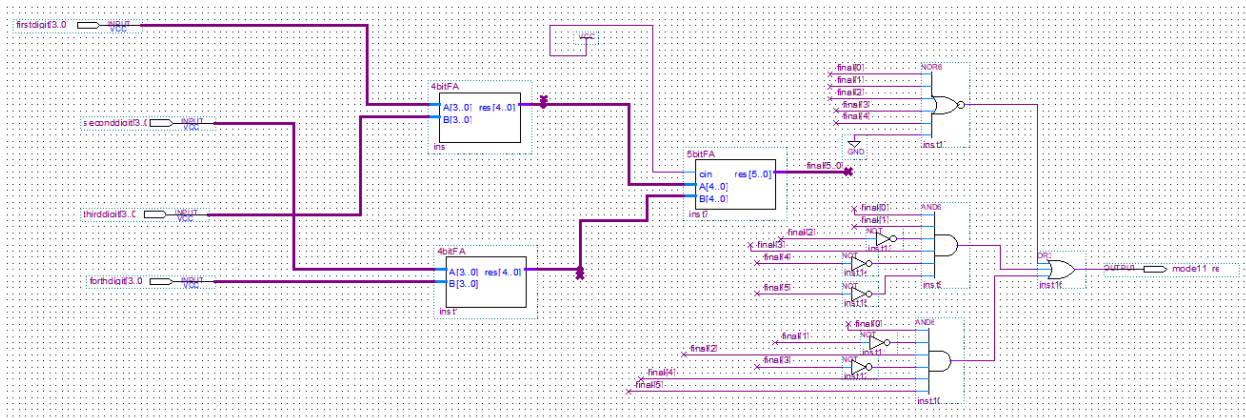
مدار اصلی

برای این بخش ابتدا ارقام اول و سوم را با هم جمع و سپس ارقام دوم و چهارم را با هم جمع می‌کنیم. سپس آن دورا از یکدیگر کم می‌کنیم که حاصل آن یک عدد بین ۱۸- و ۱۸+ است که در این بازه تنها اعداد ۱۱ و ۰ و ۱۱- یعنی اعداد ۰۰۰۰۰۰ و ۱۰۰۰۰۰ و ۰۰۱۰۱۱ و ۱۱۰۱۰۱ که با استفاده از SOP سیگنال خروجی متناظر با اعداد را می‌سازیم:

$$\text{Mode} = \text{in0} \cdot \text{in1} \cdot \text{in2} \cdot \text{in3} \cdot \text{in4} + \text{in0} \cdot \text{in1} \cdot \text{in2} \cdot \text{in3} \cdot \text{in4} \cdot \text{in5} + \text{in0} \cdot \text{in1} \cdot \text{in2} \cdot \text{in3} \cdot \text{in4} \cdot \text{in5}$$

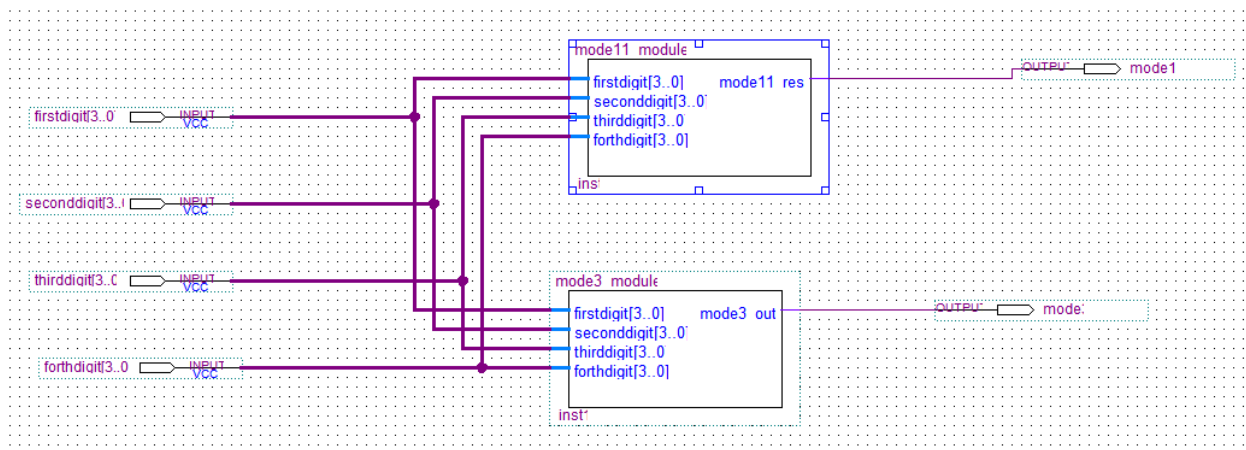
$$\text{Mode} = \text{nor}(\text{in0}, \text{in1}, \text{in2}, \text{in3}, \text{in4}) + \text{in0} \cdot \text{in1} \cdot \text{in2} \cdot \text{in3} \cdot \text{in4} \cdot \text{in5} + \text{in0} \cdot \text{in1} \cdot \text{in2} \cdot \text{in3} \cdot \text{in4} \cdot \text{in5}$$

دقت کنید که برای عمل تفریق از یک FA ۵ بیتی استفاده می‌کنیم که مقدار cin ورودی آن یک است و مقادیر ورودی دوم نیز نات می‌شوند که همان تفریق به شیوه مکمل دو است.



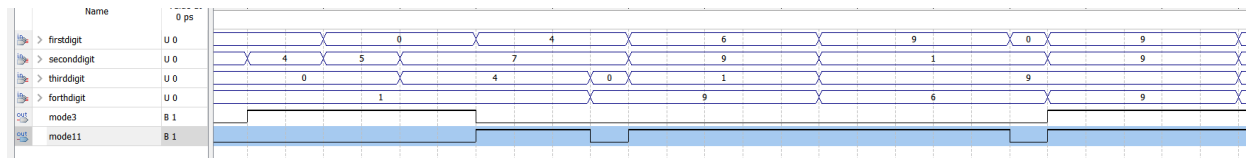
استفاده دو ماژول در یک ماژول به نام mode برای تست و همچنین سنتز مدار
برای تست ۲ مدار همزمان دو ماژول را در یک مدار دیگر بکار میبریم. و قابلیت سنتز و test waveform انرا مورد بررسی قرار
می دهیم.

مدار mode



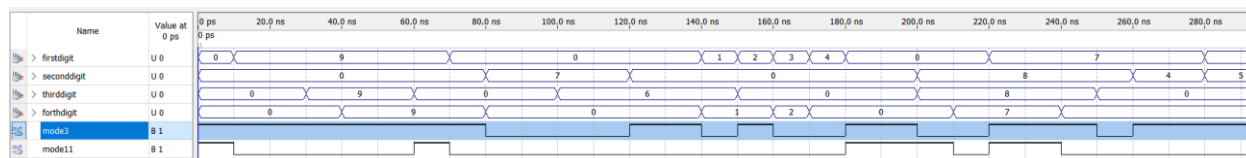
یک ورودی ۱۶ بیتی که نمایانگر ۴ عدد ۴ بیتی (۴ رقمی) است و دو خروجی که نشان می دهند آن عدد بر ۳ و ۱۱ بخش پذیر
است یا خیر.

بررسی waveform برای بخش پذیری بر ۱۱



همانطور که مشخص است برای اعداد ۹۹۹۹ و ۶۹۱۹ و ۹۱۹۶ و ۱۴۷۴ سیگنال یک و برای بقیه حالت ها صفر است.(دقت کنید
که اعداد نام برده هر ۳ حالت ۰ و ۱۱ و ۱۱- را کاور می کنند).

بررسی waveform برای بخش پذیری بر ۳



بدون نیاز به توضیحات اضافه برای اعداد بخش پذیر بر ۳ یک و برای اعداد با باقی مانده ۱ و ۲ مقدار صفر را دارد.

Compilation report

Flow Summary

Flow Status	Successful - Fri Jul 23 23:55:58 2021
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	mode
Top-level Entity Name	mode
Family	Cyclone II
Total logic elements	43 / 4,608 (< 1 %)
Total combinational functions	43 / 4,608 (< 1 %)
Dedicated logic registers	0 / 4,608 (0 %)
Total registers	0
Total pins	18 / 89 (20 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)
Device	EP2CST144C6
Timing Models	Final

Tasks

Task	Time
Compile Design	00:00:14
Analysis & Synthesis	00:00:05
Edit Settings	
View Report	
Analysis & Elaboration	
Partition Merge	
Netlist Viewers	

Messages

```

332001 The selected device family is not supported by the report_metastability command.
332102 Design is not fully constrained for setup requirements
332102 Design is not fully constrained for hold requirements
> Quartus II 64-Bit TimeQuest Timing Analyzer was successful. 0 errors, 4 warnings
*****
> Running Quartus II 64-Bit EDA Netlist Writer
Command: quartus_eda --read_settings_files=off --write_settings_files=off mode -c mode
204019 Generated file mode.vo in folder "D:/summer/DSD_lab_summer2021/sections/1/quartus/simulation/modelsim/" for EDA simulation tool
> Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 0 warnings
293000 Quartus II Full Compilation was successful. 0 errors, 13 warnings
  
```

مدار سنتر می شود بنابراین هر دو ماژول برای بخش پذیری بر ۱۱ و ۳ قابل سنتز اند.

فایل پروژه فایل mode است.

همچنین فایل waveform برای بخش پذیری هر دو فایل test_main است.