**گزارش آزمایش طراحی سیستم های دیجیتال**

آزمایش اول:

**طراحی مدار ترکیبی با امکانات شماتیک**

نگارش **:**

**سید ابوالفضل رحیمی ۹۷۱۰۵۹۴۱**

**امیرحسین باقری ۹۸۱۰۵۶۲۱**

استاد **:**

**دکتر علیرضا اجلالی**

دستیار آموزشی :

**آقای روزبه سیادت زاده**

# مقدمه

در این آزمایش به طراحی ۲ ماژول ترکیبی(مستقل از کلاک) می‌پردازیم که باید بتوانند بخش پذیری یک عدد ۴ رقمی بر ۳ و ۱۱ را با یک سیگنال خروجی تعیین کنند به طوری که اگر عدد ۴ رقمی بر ۳ بخش پذیر بود ماژول مربوطه سیگنال خروجی اش یک شود و در غیر این صورت صفر و همین روال نیز برای ماژول مرتبط با بخش پذیری برا عدد ۱۱ نیز برقرار است.

ورودی ماژول ها ۴ عدد ۴ بیتی هستند که نمایانگر نمایش BCD متناظر با عدد ۴ رقمی در مبنای ۱۰ است بدان صورت که هر ۴ رقم نمایانگر یک رقم صفر تا تا ۹ است.

# ابزار پیاده سازی مدار

مدار به کمک ابزار کوارتوس کشیده شده اند و همچنین از کد های vhdl و Verilog نیز استفاده نشده است.

# شرح کار کلی مدار

در بخش اول یک ماژول برای تشخیص بخش پذیری بر عدد ۳ را طراحی می‌کنیم به صورتی که ابتدا باقی مانده هر رقم بر ۳ را بدست آورده(یک ماژول کمکی اضافه) سپس آنها را با هم جمع می‌کنیم که حاصل یک عدد بین صفر تا ۸ است سپس با استفاده از همان ماژول کمکی اگر باقی مانده صفر بود سیگنال یک و اگر غیر صفر بود سیگنال صفر را خروجی می‌دهیم.

در بخش دوم ابتدا ارقام زوج را با هم و ارقام فرد را با یکدیگر جمع می‌کنیم. سپس آنها را از یکدیگر کم می‌کنیم. حاصل یک عدد بین ۱۸- و ۱۸ می‌باشد که تنها ۳ عدد ۱۱ و ۰ و ۱۱- بر ۱۱ بخش پذیر می‌باشند بنابراین با استفاده از SOP سیگنال خروجی را می‌سازیم.

# مدار اول بخش پذیری بر ۳

برای این بخش همانطور که شرح داده شد نیازمند طراحی یک ماژول کمکی می‌باشیم که بتواند باقی مانده هر رقم را بر ۳ حساب کند.

## مدار ماژول کمکی که باقی مانده تقسیم هر رقم بر ۳ را محاسبه می‌کند.

این ماژول یک ۴ بیت ورودی به عنوان رقم ورودی می‌گیرد و ۲ بیت خروجی برای اعداد ۰ و ۱ و۲ را دارا می‌باشد. از بین ارقام صفر تا ۹ اعداد ۱و۴و۷ بر ۳ باقی مانده یک دارند و اعداد ۲و۵و۸ باقی مانده ۲ و ارقام ۰ و ۳و۶و۹ باقی مانده صفر دارند که با تشکیل جدول کارنو می‌توان عبارت SOP مربوط به هر کدام را بدست آورد.

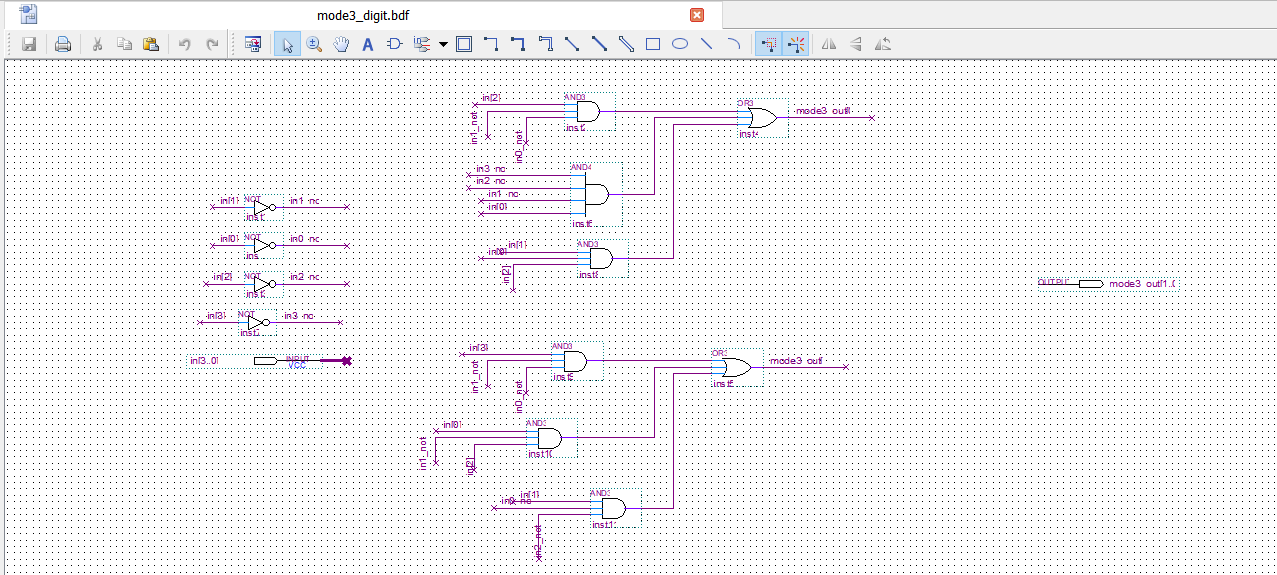
ماژول mode3\_digit در پروژه به شرح زیر است که در تصویر آمده است.

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | x | 1 | 0 |
| 0 | x | 0 | 1 |
| x | x | 1 | 0 |
| x | x | 0 | 0 |

Out0 = in1&in1`&in2`&in3` + in0&in1&in2 + in0`&in1`&in2

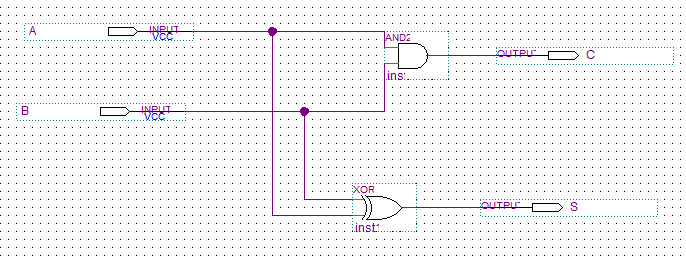
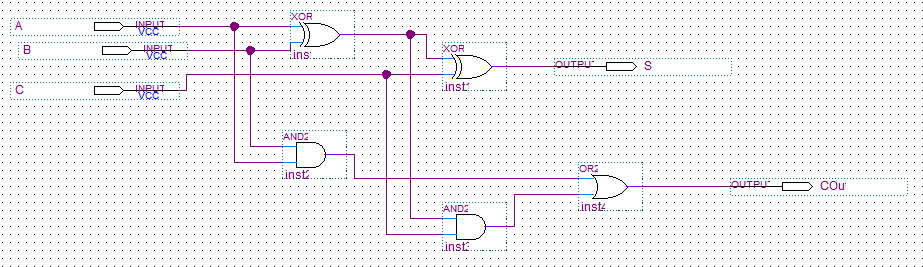
|  |  |  |  |
| --- | --- | --- | --- |
| 1 | x | 0 | 0 |
| 0 | x | 1 | 0 |
| x | x | 0 | 0 |
| x | x | 0 | 1 |

Out1 = in1&in2`&in0` + in0&in1`&in2 + in0`&in1`&in3



حال به کمک این ماژول و به کمک fulladder مدار اصلی را طراحی می‌کنیم.

## مدارات HA , FA , nbitFA

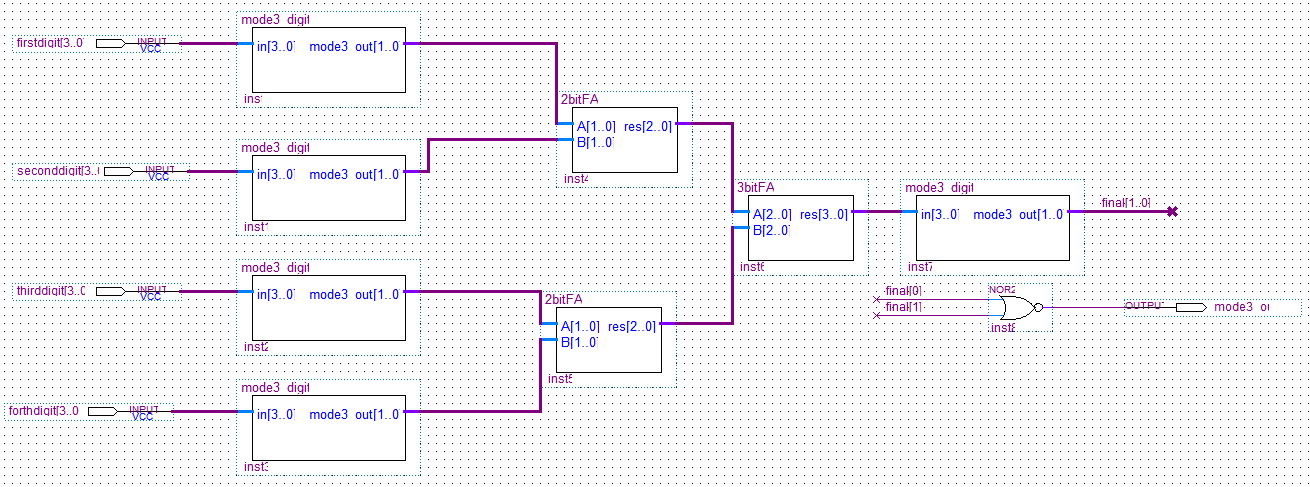
مدار های FA و HA به سادگی قابل طراحی اند که از گفتن آنها در اینجا صرف نظر می‌کنیم با استفاده از این مدار ها می توان جمع کننده ها n بیتی طراحی کرد که در ساخت مدار اصلی استفاده می‌شوند.

شکل 1FA

شکل 2HA

## مدار اصلی

ابتدا باقی مانده هر رقم به ۳ را محاسبه می‌کنیم سپس آنها را با هم جمع می‌کنیم. عدد نهایی کی عدد بین صفر تا ۸ است که می‌توان مانند یک رقم آنرا در نظرگرفت و باقی مانده آنرا بر ۳ محاسبه نمود در اخر اگر باقی مانده صفر بود سیگنال یک را خروجی می‌دهیم که این امر به کمک یه گیت nor قابل انجام است.



برای جمع کردن حال باقی مانده ها ابتدا با استفاده از یک ادر ۲ بیتی که ۳ بیت خروجی دارد (۲ بیت و یک بیت کری) حاصل مرحله اول را بدست می‌اوریم سپس با استفاده از یک ادر ۳ بیتی که ۴ بیت خروجی دارد (۳ بیت و ۱ بیت کری)‌ ۲ عدد مرحله قبل را با هم جمع می ‌کنیم سپس حاصل را که یک رقم است بین صفر تا ۸ به ماژول کمکی ورودی می‌دهیم تا باقی مانده آن بر ۳ مشخص گردد سپس با استفاده از یک گیت nor خروجی را تعیین می‌کنیم.

# مدار دوم بخش پذیری بر۱۱

## مدار اصلی

برای این بخش ابتدا ارقام اول و سوم را با هم جمع و سپس ارقام دوم و چهارم را با هم جمع می‌کنیم. سپس آن دورا از یکدیگر کم می‌کنیم که حاصل آن یک عدد بین ۱۸- و ۱۸ است که در این بازه تنها اعداد ۱۱ و ۰ و ۱۱- یعنی اعداد ۰۰۰۰۰۰ و ۱۰۰۰۰۰ و ۰۰۱۰۱۱ و ۱۱۰۱۰۱ که با استفاده از SOP سیگنال خروجی متناظر با اعداد را میسازیم:

Mode = in0`&in1`&in2`&in3`&in4`+in0&in1&in2`&in3&in4`&in5`+ in0&in1`&in2&in3`&in4&in5

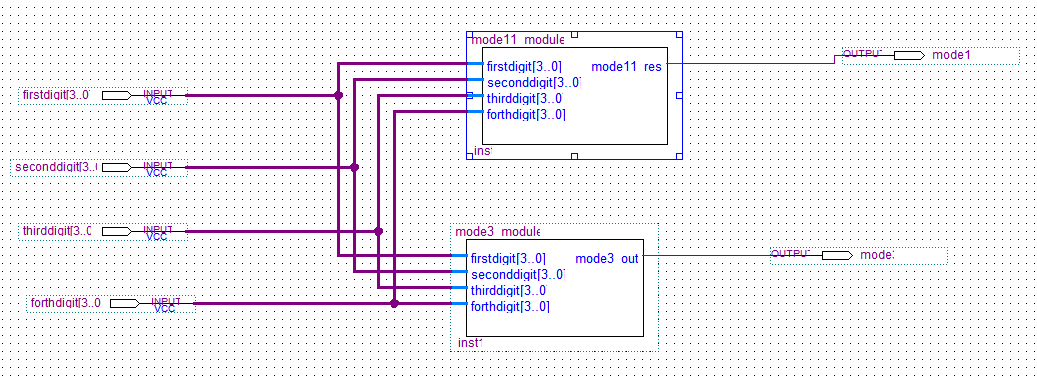
Mode = nor(in0,in1,in2,in3,in4)+in0&in1&in2`&in3&in4`&in5`+ in0&in1`&in2&in3`&in4&in5

دقت کنید که برای عمل تفریق از یکFA ۵ بیتی استفاده می‌کنیم که مقدار cin ورودی آن یک است و مقادیر ورودی دوم نیز نات می‌شوند که همان تفریق به شیوه مکمل دو است.

# استفاده دو ماژول در یک ماژول به نام mode برای تست و همچنین سنتز مدار

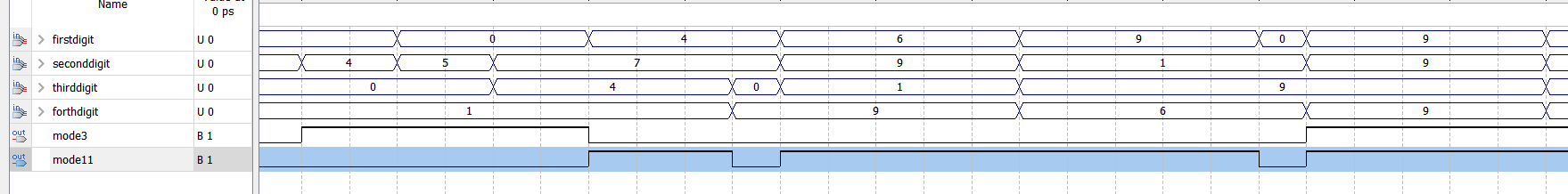
برای تست ۲ مدار همزمان دو ماژول را در یک مدار دیگر بکار میبریم. و قابلیت سنتز و test waveform انرا مورد بررسی قرار می‌دهیم.

## مدار mode



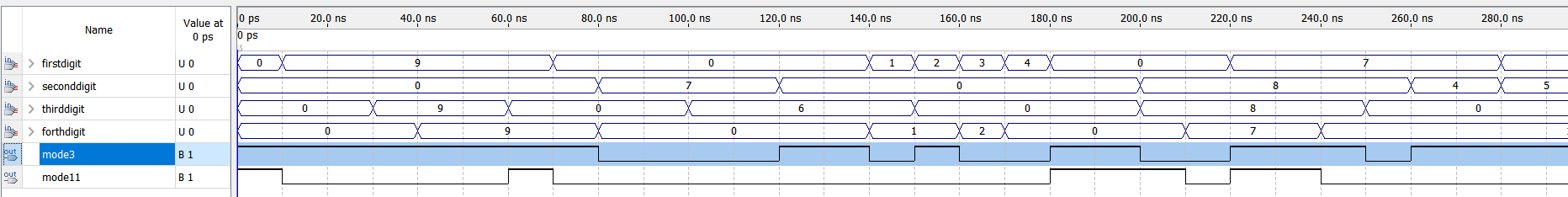
یک ورودی ۱۶ بیتی که نمایانگر ۴ عدد ۴ بیتی (۴ رقمی )‌ است و دو خروجی که نشان می‌دهند آن عدد بر ۳ و ۱۱ بخش پذیر است یا خیر.

# بررسی waveform برای بخش پذیری بر ۱۱



همانطور که مشخص است برای اعداد ۹۹۹۹ و ۶۹۱۹ و ۹۱۹۶ و ۱۴۷۴ سیگنال یک و برای بقیه حالت ها صفر است.(دقت کنید که اعداد نام برده هر ۳ حالت ۰ و ۱۱ و ۱۱- را کاور می‌کنند.)

# برررسی waveform برای بخش پذیری بر ۳



بدون نیاز به توضیحات اضافه برای اعداد بخش پذیر بر ۳ یک و برای اعداد با باقی مانده ۱ و ۲ مقدار صفر را دارد.

## Compilation report

مدار سنتر می‌شود بنابراین هر دو ماژول برای بخش پذیری بر ۱۱ و ۳ قابل سنتز اند.

فایل پروژه فایل mode است.

همچنین فایل waveform برای بخش پذیری هر دو فایل test\_main است.