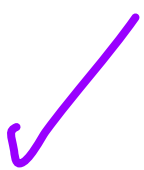


Plan de Proyecto

Demodulador IQ para FPGA

Índice

Índice.....	2
Project Charter.....	3
Justificación del proyecto	4
Objetivos	5
Interesados.....	6
Requerimientos.....	7
Alcance	8
Alcance	8
Supuestos	8
Restricciones	8
Criterio de aceptación.....	8
Análisis de factibilidad técnica	8
Análisis de factibilidad financiera.....	8
WBS.....	9
Diagrama Activity On Note	10
Diagrama de Gantt del proyecto	12
Gestión del costo.....	13
Matriz de recursos materiales.....	13
Presupuesto	13
Gestión de Riesgos	14
Gestión de calidad.....	15
Calidad.....	15
Grado de Calidad	15
Costos de la Calidad.....	15
Verificación y Validación.....	16
Gestión de la comunicación.....	17
Matriz de Comunicación	17
Gestión de los recursos humanos.....	18
Autoridad y responsabilidad	18
Matriz de asignación de responsabilidades (RACI)	18
Micromanagement	18
Gestión de compras.....	18
Procesos de control y seguimiento.....	18
Procesos de cierre	18



Project Charter

Buenos Aires 19 de abril de 2015

Mediante la presente acta se constituye el proyecto de migración del demodulador IQ del software a la FPGA del sistema. Con tal fin se plantea la implementación de un demodulador IQ escrito en VHDL que posea todas las prestaciones que posee el actualmente programado en software sumando la capacidad de poder aumentar la frecuencia de muestro de entrada para llevarla a cuarenta mega muestras por segundo.

Su implementación se llevará a cabo en el hardware existente suministrado por la empresa y de ser posible el proyecto no deberá exceder la capacidad libre de la FPGA que se está utilizando actualmente (cyclone 3 EP3C55F848C8).

Dado que ya se dispone del hardware el proyecto no requiere en principio ningún presupuesto monetario. En el caso de que el proyecto exceda el límite de capacidad libre de la FPGA actual y este exceso sea justificado y aprobado por la empresa, la misma podrá asignar una partida presupuestaria para el armado de una placa con la FPGA requerida. Se estima como presupuesto máximo en tal caso, el importe de 1000 Dólares.

Para su validación el proyecto deberá permitir su estimulación con señales conocidas desde la computadora, y de esta forma poder comparar los resultados obtenidos con los resultados esperados. Se deberá entregar toda la documentación necesaria para su incorporación en el sistema actual.

La fecha límite de entrega del proyecto se pauta para el 15 de diciembre de 2015. El trabajo deberá ser aprobado por el Gerente de Ingeniería de la empresa. Se pacta que desarrollador del proyecto dispondrá de 8 horas semanales para realizar el proyecto.

Queda establecido que las dos partes acuerdan todo lo aquí estipulado.

Presidente de la empresa

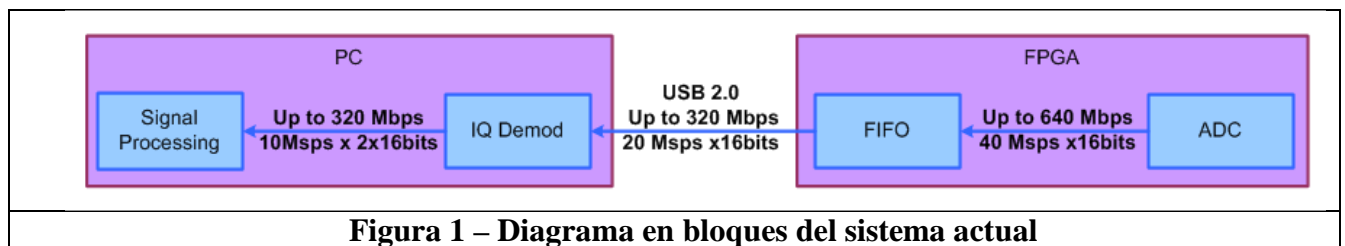
Nicolás Dassieu Blanchet



Justificación del proyecto

El propósito de este proyecto es fundamentalmente agregar una nueva funcionalidad a un producto, que llamaremos sistema actual, para aumentar el market share del mismo. Dicha funcionalidad consiste en aumentar la frecuencia de muestro del proyecto padre de 20 Msps a 40 Msps.

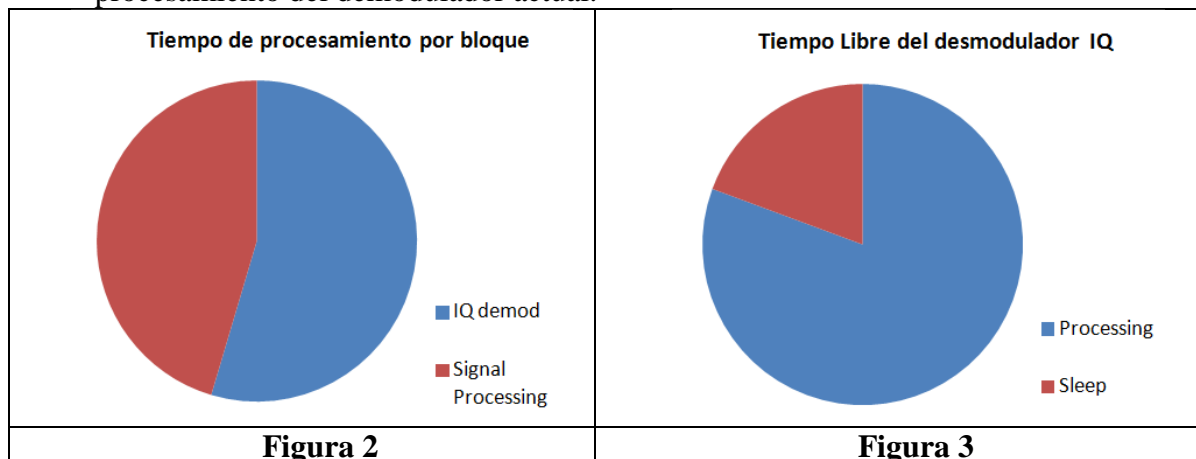
La figura 1 ilustra un diagrama en bloques del sistema actual. Como podemos ver en la misma, incrementar la frecuencia de muestro está limitado por la velocidad de la comunicación USB 2.0 existente entre la FPGA y la PC. En esta misma figura podemos ver que ancho de banda máximo de la salida del demodulador IQ puede ser transferido por la comunicación USB 2.0 actual.



Existen entonces dos opciones claras para poder aumentar la frecuencia de muestreo del ADC. La primera consistiría en modificar el protocolo de comunicación FPGA-PC, utilizando por ejemplo USB 3.0 u otro protocolo capaz de alcanzar una tasa de transferencia mayor a 640Mbps. La segunda posibilidad es migrar el demodulador IQ dentro de la FPGA.

Si consideramos seguir adelante con la opción 1 esto implicaría los siguientes pasos:

- 1) Modificar el hardware actual para soportar el nuevo protocolo de comunicación (el hardware actual solo soporta USB 2.0).
- 2) Realizar modificaciones de firmware para soportar el nuevo protocolo de comunicación.
- 3) Optimizar fuertemente el software. Si miramos la figura 3, podemos ver que el proceso encargado de la demodulación IQ tiene menos de un 20% de tiempo libre. Duplicar la frecuencia de muestro duplicaría el tiempo del proceso no cumpliendo entonces con el tiempo que dispone para procesar cada bloque. Habría entonces que disminuir aproximadamente a la mitad el tiempo de procesamiento del demodulador actual.



Si consideramos seguir adelante con la opción 2 esto implicaría los siguientes pasos:

- 1) Implementar el demodulador IQ en la FPGA.

- 2) Cambio menor de software. Se modifica únicamente el lugar de origen de los datos que ingresan bloque de signal processing (figura 4 vs figura 1).

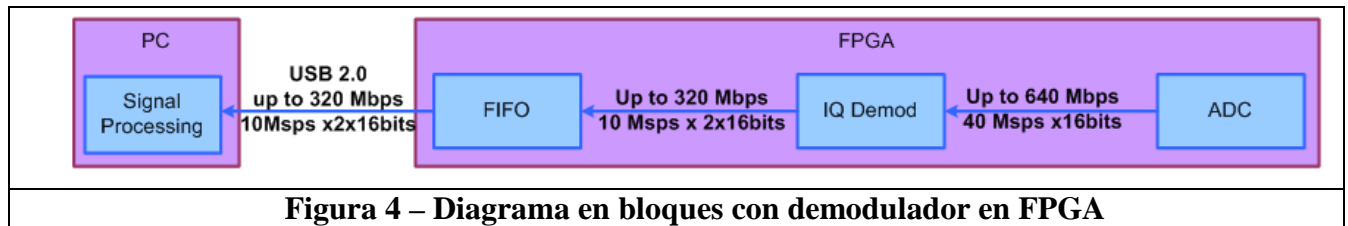


Figura 4 – Diagrama en bloques con demodulador en FPGA

La opción 1 es más costosa dado que requiere rediseño de hardware lo que extremadamente costoso en este proyecto. Además requiere rediseño del bloque de comunicación que ya ha sido testeado y validado y cuya versión de firmware es estable. Por último requiere importantes optimizaciones de software.

En contrapartida la opción puede reducir el costo dado que el demodulador IQ ocupa más del 50% del tiempo de procesamiento y por ende quitándolo del software se puede disminuir fuertemente los requerimientos de la computadora del sistema.

En conclusión se elige la opción 2, es decir migrar el demodulador IQ a la FPGA, por ser la más económica y poseer mayores potencialidades futuras dado que permite imaginarnos el reemplazo de la computadora por un sistema embebido.

Objetivos

Realizar un demodulador IQ en una FPGA que cumpla con todos los requerimientos expresados en este documento. Cuya validación sea exitosa y esto permita su posterior incorporado al proyecto padre mejorando las prestaciones del mismo. Terminar el proyecto antes de 15 diciembre de 2015.

Interesados

Client (Quien aprobará el producto, servicio o resultado del proyecto)

Gerente de Ingeniería y desarrolladores de sistema actual: aprobarán el proyecto para su incorporación en el proyecto padre.

Sponsor (Quien financia el proyecto y por lo tanto es la máxima autoridad)

El presidente de la empresa: Aportará tanto hardware para el desarrollo del proyecto como las horas hombre necesarias del Project manager y los de los team members para llevar a cabo el proyecto.

End-user (Quién utilizará realmente el producido del proyecto)

Desarrolladores del sistema actual: quienes deberán incorporar este proyecto en el suyo.

Usuarios del sistema actual: que obtendrán un producto con mayores prestaciones.

Champion (Una alta autoridad que hará campaña por el proyecto)

Gerente de ventas de la empresa: fue el champion del sistema actual y espera con esta mejora, la ampliación del market share del sistema actual.

Drivers (Participan en definir los objetivos del proyecto)

Gerente de Ventas: Aporta los requerimientos del mercado para sistema actual.

Desarrolladores del sistema actual: Ayudarán a definir los requerimientos del proyecto para que sea incorporable al sistema actual.

Supporters (Colaboran en la realización del proyecto y aportan recursos)

El presidente de la empresa: Aportará tanto hardware para el desarrollo del proyecto como las horas hombre necesarias del Project manager y los de los team members para llevar a cabo el proyecto.

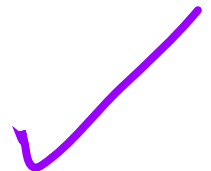
Desarrolladores del sistema actual: Aportarán toda su experiencia y darán soporte de todos los bloques que puedan ser utilizados del sistema actual.

Project manager (La persona con la autoridad para gestionar el proyecto)





Nicolás Dassieu Blanchet: Estará a cargo de gestionar el proyecto.

Team members (Las personas que harán el trabajo cotidiano del proyecto)

Nicolás Dassieu Blanchet: Estará a cargo de trabajo cotidiano del proyecto



Requerimientos

- 1) El demodulador IQ deberá contar con las siguientes etapas:
 - a. Etapa promediadora, puede o no estar activada. En caso de estar desactivada las muestras pasarán directo a la etapa b.
 - b. Filtro pasabanda programable.
 - c. Demodulador IQ propiamente dicho.
 - d. Filtro pasabajos en ambas señales I y Q.
 - e. Downsampler entero programable.
- 2) La etapa promediadora deberá ser capaz de promediar dos bloques de información consecutivos. Es decir el primer bloque deberá ser almacenado en una memoria interna y no será enviado a las siguientes etapas de procesamiento. Al llegar el segundo bloque se generará un promedio entre las muestras del segundo bloque y las del primero y ese promedio será enviado a las siguientes etapas de procesamiento. El tamaño máximo de los bloques es de 16384 muestras de 16 bits.
- 3) El filtro pasabanda programable deberá tener al menos 27 coeficientes configurables en tiempo de ejecución.
- 4) Los filtros pasabajos de las señales I y Q podrán compartir coeficientes y deberá poderse programar al menos 27 coeficientes en tiempo de ejecución.
- 5) La señal de entrada a ser demodulada tendrá una frecuencia máxima de 40 mega muestras por segundo y dichas muestras serán de 16 bits.
- 6) Las señales de salida I y Q tendrán una frecuencia máxima de salida de 10 mega muestras por segundo y dichas muestras serán de 16 bits.
- 7) Para su validación el sistema debe poder ser estimulado con una señal conocida programada desde la PC. Comparando la respuesta obtenida con la respuesta esperada se podrá validar que el resultado es el correcto.
- 8) Mantener compatibilidad con el sistema de comunicación actual entre la FPGA y la computadora. Se asignará un valor de encabezado para los paquetes que sean procesados por el demodulador IQ que será distinto de los encabezados de paquete ya utilizados por el sistema actual.

Alcance


Alcance

El desarrollo del firmware constará de una primera etapa donde se analizará la mejor forma de implementar cada parte del demodulador IQ en la FPGA.

Luego se implementarán los bloques por separado y se los simulará en la computadora.

Por último incorporarán todos los bloques generados a una versión reducida del sistema actual que contenga lo mínimo necesario para comunicarnos con la PC y se agregará un sistema de simulación (una memoria) que pueda programarse desde la PC.

Una vez terminado el desarrollo del firmware se desarrollará un test que genere datos conocidos para excitar al sistema, los transfiera al mismo, compute la respuesta y compare los resultados con los recibidos de la FPGA.




Supuestos

Se cuenta con el hardware necesario y con disponibilidad horaria para su utilización en los momentos que el proyecto lo requiera.

El equipo de desarrollo dispone de la experiencia suficiente trabajando con FPGA's como para permitirle realizar el proyecto.

Se dispone de los bloques complementarios de software y firmware para incorporarlos al proyecto a la hora de validarlo.




Restricciones

Todo bloque de software o firmware no desarrollado específicamente para este proyecto (es decir reutilizado del sistema actual) es confidencial y no debe brindarse información alguna en el informe del proyecto.

Criterio de aceptación

La tasa de error al procesar señales conocidas durante 5 minutos debe ser nula para una frecuencia de muestreo simulada de 40 Msps y una frecuencia de salida del demodulador de 10 Msps.

Entregar toda la documentación del proyecto que permita la incorporación del demodulador en el sistema actual.




Análisis de factibilidad técnica

Dada la experiencia obtenida durante el desarrollo del sistema actual, donde se realizaron bloques similares a los requeridos para este proyecto, se puede afirmar que cada bloque del que proyecto es técnicamente realizable.

Los argumentos aportados en la justificación del proyecto muestran que todo el proyecto también es técnicamente viable.

Análisis de factibilidad financiera

La empresa dispone actualmente de los fondos para pagar los sueldos de los desarrolladores del proyecto durante el tiempo que se estipula durará el proyecto.



WBS

Name	Work	Predecessors
Demodulador IQ	418 hours	
1 Project Management	74 hours	
1.1 Procesos de iniciación	4 hours	
1.1.1 Indetificar los interezados	2 hours	
1.1.2 Redactar el Project Charter	2 hours	
1.2 Procesos de Planeamiento	22 hours	
1.2.1 Identificar los requerimientos	2 hours	
1.2.2 Redactar el Project Scope Statement	2 hours	
1.2.3 Crear el WBS	6 hours	7
1.2.4 Realizar el diagrama de Activity on Node	2 hours	9
1.2.5 Realizar la Gestion del Costo	2 hours	9
1.2.6 Realizar la Gestion de Calidad	2 hours	9
1.2.7 Relizar la Gestión de los recursos humanos	2 hours	9
1.2.8 Realizar la Comunicaciones del proyecto	2 hours	9
1.2.9 Realizar la Gestión del riesgo del proyecto	2 hours	9
1.3 Procesos de Control	32 hours	
1.4 Procesos de Cierre	8 hours	
2 Diseño	114 hours	
2.1 Diagrama en bloques general	2 hours	7
2.2 Diseño detallado	112 hours	20
2.2.1 Diseño del promediador	24 hours	
2.2.2 Diseño de filtros	24 hours	
2.2.3 Diseño del demodulador IQ	32 hours	
2.2.4 Diseño del downsampler	16 hours	
2.2.5 Diseño de memoria de configuraciones	16 hours	
3 Implementación	166 hours	7
3.1 Implementación del promediador	25 hours	22
3.1.1 Codificación	16 hours	
3.1.2 Codificación del test Unitario	8 hours	
3.3.3 Correr el Test Unitario y debugear codificación	1 hour	30;29
3.2 Implementación de los filtros	25 hours	23
3.2.1 Codificación	16 hours	
3.2.2 Codificación del test Unitario	8 hours	
3.2.3 Correr el Test Unitario y debugear codificación	1 hour	33;34
3.3 Implementación del demodulador IQ	33 hours	24
3.3.1 Codificación	24 hours	
3.3.2 Codificación del test Unitario	8 hours	
3.3.3 Correr el Test Unitario y debugear codificación	1 hour	37;38
3.4 Implementacion del downsampler	25 hours	25
3.4.1 Codificación	16 hours	
3.4.2 Codificación del test Unitario	8 hours	
3.4.3 Correr el Test Unitario y debugear codificación	1 hour	41;42
3.5 Implementación de la memoria de configuracion	25 hours	26
3.5.1 Codificación	16 hours	
3.5.2 Codificación del test Unitario	8 hours	
3.5.3 Correr el Test Unitario y debugear codificación	1 hour	45;46
3.6 Integración de todos los modulos	33 hours	
3.6.1 Codificación	16 hours	28;32;36;40;44
3.6.2 Codificación del test de integracion	16 hours	20
3.6.3 Correr el Test Integracion y debugear codificación	1 hour	49;50
4 Validación	40 hours	7
4.1 Implementar el test	24 hours	7
4.2 Correr el test de Validacion y debugear codificación	16 hours	27;53
5 Documentación	32 hours	
5.1 Realizar el informe del proyecto	24 hours	52
5.2 Realizar documentacion de utilización (datasheet)	8 hours	7

En las siguientes tablas se pueden ver las actividades de los caminos crítico y semicríticos y el tiempo total de cada uno de ellos en horas.

Camino Crítico										
Actividad	1.2.1	2.1	2.2.3	3.3.1	3.3.3	3.6.1	3.6.3	4.2	5.1	Total
Tiempo	2	2	32	24	1	16	8	8	24	117

Camino semi crítico 1										
Actividad	1.2.1	2.1	2.2.3	3.3.2	3.3.3	3.6.1	3.6.3	4.2	5.1	Total
Tiempo	2	2	32	8	1	16	8	8	24	101

Camino semi crítico 2										
Actividad	1.2.1	2.1	2.2.1	3.1.1	3.1.3	3.6.1	3.6.3	4.2	5.1	Total
Tiempo	2	2	24	16	1	16	8	8	24	101

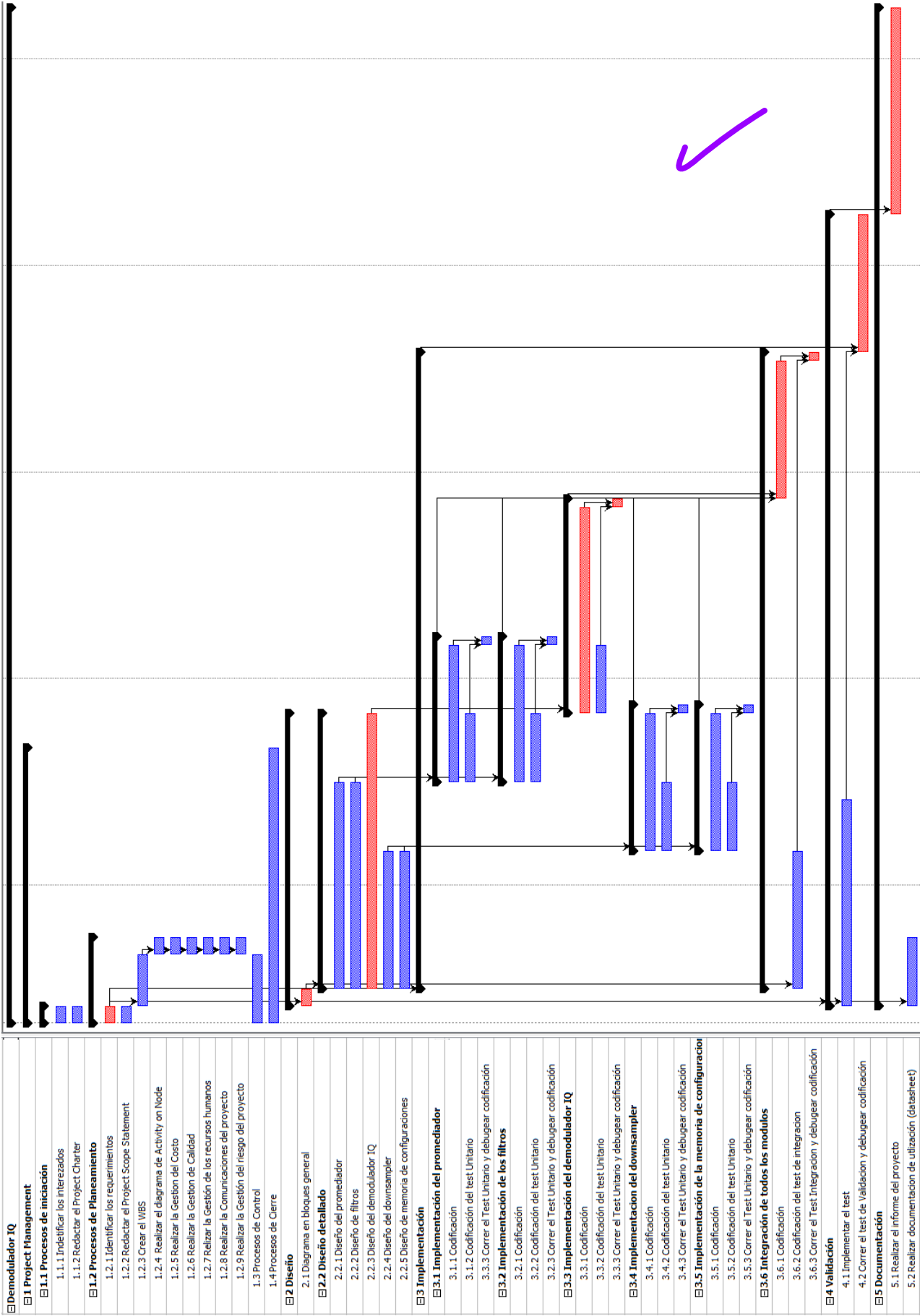
Camino semi crítico 3										
Actividad	1.2.1	2.1	2.2.2	3.2.1	3.2.3	3.6.1	3.6.3	4.2	5.1	Total
Tiempo	2	2	24	16	1	16	8	8	24	101

Para poder obtener mayores beneficios de este ejercicio, tanto para el camino AON como para el camino crítico y para la realización del Gantt del proyecto se asumió que se dispone de los recursos humanos para poder realizar en paralelo todas las tareas que así lo permitieran.

Sin embargo este proyecto será llevado adelante por un único desarrollador a cargo de realizar todas las tareas y por ende no es posible paralelizar absolutamente nada. Por ende el camino critico real es el paso por todas y cada una de las actividades detalladas anteriormente, respetando haber completado sus predecesoras, en forma secuencial sencilla. Realizando este tipo de análisis el tiempo de proyecto será realmente de 418 horas de trabajo.



Diagrama de Gantt del proyecto



Gestión del costo

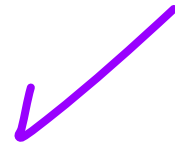
Matriz de recursos materiales

El proyecto requiere únicamente de dos recursos materiales, una computadora (PC) y el hardware del equipo. La siguiente tabla ilustra el tiempo que se utilizará cada recurso material.

Actividad	Recursos requeridos (horas)	
Tarea WBS	PC	Hardware
3.6.3 Correr el Test Integración y debugear codificación		1
4.2 Correr el test de Validación y debugear codificación		16
1 Project Management	74	
2 Diseño	114	
3 Implementación	166	
4 Validación	40	
5 Documentación	32	
Total	426	17

Presupuesto

Categoría	Detalle	Costo [\$]
Costos Directos	418hs de trabajo (190\$/hr)	79420
Costos Indirectos	60% de costos Directos	47652
Reserva para contingencias	15% de gastos directos e indirectos	19060
	Total	146132



Gestión de Riesgos

La siguiente tabla ilustra los riesgos que se determinaron para el proyecto. Se considera inaceptable todo riesgo con RPN mayor o igual a 100. Se muestran en esta tabla las acciones correctivas realizadas para cada riesgo que supere este límite, excepto para el riesgo número 6 que aún dando un RPN bajo se toman acciones correctivas dado que el costo de realizarlas es extremadamente bajo.

N°	Riesgo	Descripción	O	S	D	RPN	Acción tomada	O	S	D	RPN
1	No cumplir los requerimientos	Por mala implementación y mala programación del código	5	10	10	500	Utilización de un ciclo de Vida Unit Testing de cada módulo Revisiones del código por el equipo de desarrollo Test de Validación	1	10	1	10
2	No entregar en fecha	Por mala estimación de la duración de las tareas	1	10	10	100	Tareas de control de avance del proyecto que permitan detectar el problema lo antes posible Prever la asignación de horas suplementarias para el proyecto	1	2	5	10
3	Falta de recursos Humanos	Indisponibilidad del desarrollador para realizar las tareas en tiempo y forma.	2	10	10	200	Disponibilidad de un segundo desarrollador con experiencia en proyectos similares.	2	2	10	40
4	Perdida de los dos Hardwares	Por robo de los equipos Por incendio de las oficinas Por inundación Por descarga eléctrica Por sobre tensión	1	10	10	100	No permitir que los equipos se encuentre en el mismo lugar físico	0.1	10	10	10
5	Perdida de un Hardware	Por robo de los equipos Por incendio de las oficinas Por inundación	0.9	5	10	45					
6	Perdida de un Hardware	Por descarga eléctrica Por sobre tensión	0.1	5	10	5	Desenchufar el equipo cuando no se lo esté utilizando	0.01	8	10	0.8
7	Falla de Firmware	El código generado supera la capacidad de la FPGA más grande soportada por el sistema	1	10	2	20					

O: Ocurrencia [1(muy baja) : 10(muy alta)]

S: Severidad [1(muy baja) : 10(muy alta)]

D: Detectabilidad [1(muy alta) : 10(muy baja)]



Gestión de calidad

Calidad

La calidad de este proyecto se medirá en función del grado de cumplimiento de los requerimientos pactados para el proyecto. Por ejemplo que el sistema sea validable mediante la estimulación del mismo cargando una señal conocida o que los filtros tengan al menos 27 coeficientes configurables.

Grado de Calidad

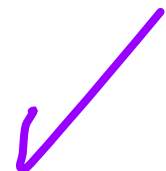
El grado de calidad de este proyecto estará dado por la forma de codificación con buena documentación y la aplicación de un ciclo de vida. Esto permitirá la verificación del producto y facilitará su posterior mantenimiento y mejora.

En cuanto a las prestaciones el grado de calidad estará dado por el nivel de superación de aquellos parámetros donde se especifica un valor mínimo. Por ejemplo los filtros deberán tener al menos 27 coeficientes, una implementación que permita únicamente 27 coeficientes (hardcodeado) será de menor calidad que una que permita un número de coeficientes mayor a 27, o una donde el aumento de este número no requiera un rediseño total del módulo.

Costos de la Calidad

La siguiente tabla ilustra los costos de la calidad del proyecto.

	Detalle	Costo [\$]
Costo de Conformidad		38182
De Prevención	Diseño modular detallado antes de implementar	21280
	Documentación	1702
De Evaluación	Programación de tests Unitarios de cada módulo	7600
	Programación de tests de Integración	3040
	Programación de tests de Validación	4560
Costo de no Conformidad		4180
De fallas Internas	Reprogramación y corrección de bugs	4180
Costo Total de la Calidad		42362



La estimación de estos costos se realizó tomando ciertas tareas del WBS y aplicando un factor que indica cuanto tiempo de la tarea corresponde con el trabajo de calidad realizado. La siguiente tabla detalla el cálculo realizado para cada costo.

	Work [hr]	Factor [%]	Costo [\$]
Diseño modular detallado antes de implementar			21280
Tarea 2.2 del WBS	112	100	21280
Documentación			1702
Tarea 3.1.1 del WBS	16	10	304
Tarea 3.2.1 del WBS	16	10	304
Tarea 3.3.1 del WBS	24	10	456
Tarea 3.4.1 del WBS	16	10	304
Tarea 3.5.1 del WBS	16	10	304
Tarea 3.6.1 del WBS	16	1	30
Programación de tests Unitarios de cada módulo			7600
Tarea 3.1.2 del WBS	8	100	1520
Tarea 3.2.2 del WBS	8	100	1520
Tarea 3.3.2 del WBS	8	100	1520
Tarea 3.4.2 del WBS	8	100	1520
Tarea 3.5.2 del WBS	8	100	1520
Programación de tests de Integración			3040
Tarea 3.6.2 del WBS	16	100	3040
Programación de tests de Validación			4560
Tarea 4.1 del WBS	24	100	4560
Reprogramación y corrección de bugs			4180
Tarea 3.1.3 del WBS	1	100	190
Tarea 3.2.3 del WBS	1	100	190
Tarea 3.3.3 del WBS	1	100	190
Tarea 3.4.3 del WBS	1	100	190
Tarea 3.5.3 del WBS	1	100	190
Tarea 3.6.3 del WBS	1	100	190
Tarea 4.2 del WBS	16	100	3040

Verificación y Validación

Para la verificación del proyecto se utilizarán testeos unitarios de cada módulo implementado y un test de integración del sistema completo. Los primeros serán simulaciones del código VHDL generado y su objetivo es garantizar que cada módulo cumpla con sus requerimientos. El segundo en cambio será un testeo utilizando el hardware y software y buscará probar que la integración de los módulos funciona correctamente.

En lo que respecta a la validación se realizará un test especialmente diseñado para mostrar que el sistema cumple con todos los requerimientos propuestos.

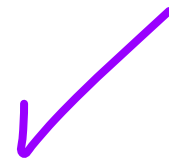


Gestión de la comunicación

Matriz de Comunicación

El responsable de todas las comunicaciones será el Project Manager. La siguiente matriz lista todas las comunicaciones que se realizarán durante el proyecto.

Propósito	Descripción	Medio	Frecuencia	Audiencia
Relevamiento	Identificar los requerimientos	Reunión	Una vez al inicio	Equipo de desarrollo Gerente de Ing.
	Identificar los riesgos			
	Generación del diagrama en bloques			
	Generar el WBS			
Información de inicio	Mostrar resultados de los procesos de planeamiento e iniciación	Reunión	Una vez al inicio	Gerente de Ing. Gerente de Ventas Dueño
Control	Reporte de avance del proyecto	Reunión o email	Una vez por mes	Gerente de Ing.
Verificación	Revisión del diseño detallado de cada módulo	Reunión	Una vez por Módulo	Equipo de desarrollo
	Revisión de la implementación de cada módulo			
Consultas	Consultas de diseño y/o implementación	Reunión o email	Según necesidad	Equipo de desarrollo
Validación	Mostrar resultados de los tests de validación	Reunión	Una vez al final	Equipo de desarrollo Gerente de Ing. Gerente de Ventas Dueño
Documentación	Mostrar la documentación generada	Email	Una vez al final	Equipo de desarrollo Gerente de Ing.



Gestión de los recursos humanos

Autoridad y responsabilidad

La autoridad consiste en la capacidad para tomar decisiones. En este proyecto un ejemplo de autoridad sería la del dueño de la empresa quien tras haber analizado el proyecto lo aprobó y permitió el comienzo del trabajo en el mismo.

La responsabilidad en cambio se define como el compromiso de cumplir con determinados resultados sin tener la capacidad de tomar decisiones. Un claro ejemplo de responsabilidad es la asumida por el project manager de este proyecto quien tiene la responsabilidad de terminarlo a tiempo y cumpliendo con las especificaciones.

Matriz de asignación de responsabilidades (RACI)

Código WBS	Dueño	Gerente de Ventas	Gerente de Ing.	Project Manager	Equipo de Desarrollo
1.1 Procesos de iniciación	A	I	I	R	I/C
1.2 Procesos de Planeamiento	A	I	I	R	I/C
2.1 Diagrama en bloques general			A	R	I/C
2.2 Diseño detallado				R	I/C
3 Implementación				R	I/C
4 Validación	I	I	A	R	I/C
5 Documentación			A	R	I/C

R - Responsable **A – Aprobación** **I – Informado** **C - Consultado**

Micromanagement

El micromanagement consiste en participar excesiva e innecesariamente en una tarea delegada. Dado que el gerente de Ingeniería es también un ingeniero electrónico, se podría dar el caso de que realice un micromanagement sobre el project manager. Sin embargo dado que ya se han realizado varios proyectos con el mismo gerente y el mismo project manager sin que se produzcan casos de Micromangement podemos asumir que este tampoco será el caso.

Gestión de compras

Dado que el proyecto no requiere ninguna compra para la realización del mismo, no es necesario gestionar las compras.

Procesos de control y seguimiento

El desarrollador realizará un seguimiento de cuantas horas utiliza para realizar cada tarea.

Mediante reuniones mensuales se analizará, utilizando el índice shedule variance, el grado de avance del proyecto. Si el proyecto está retrasado se asignaran más horas por semana del desarrollador para poder llegar a la fecha indicada.

Procesos de cierre

Se obtendrá la aprobación formal por parte del cliente.

Se analizará el grado de cumplimiento de los objetivos del proyecto.

Se analizará si las tareas fueron realizadas en el tiempo esperado o no. Se comparará el cronograma original con el cronograma real, y se analizará que tareas fueron mal estimadas y la causa que generara la mala estimación, para evitar cometer el mismo error en futuros proyectos.

Se archivará toda la documentación de la gestión del proyecto de forma de ser fácilmente reutilizada en la planificación de futuros proyectos.