گزارش کار آزمایشگاه مدار منطقی

آزمایش اول

دانشجویان:

امیرحسین قرقانی - ۴۰۴۱۰۶۲۲۵

محمد رجایی – ۴۰۴۱۰۵۸۴۲

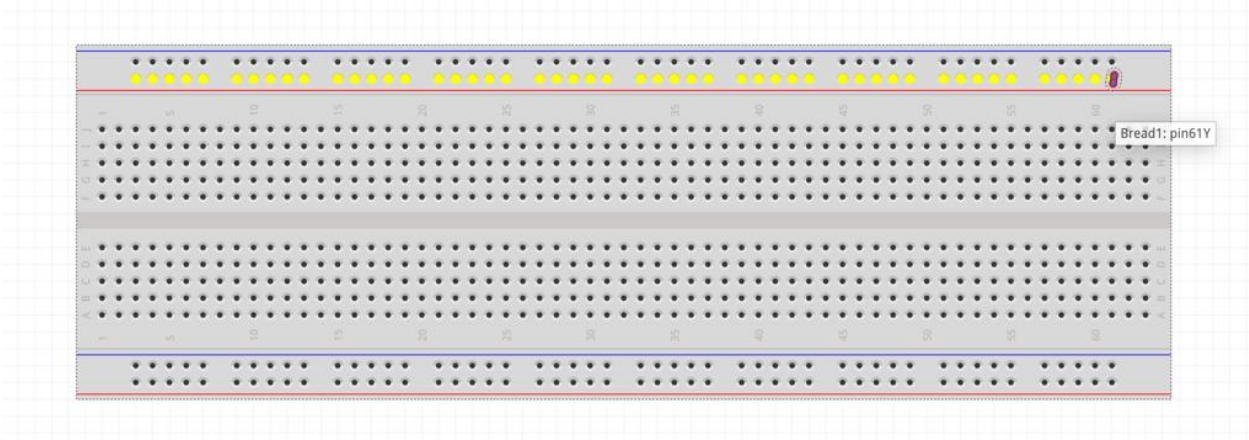
۱ شرح و هدف آزمایش

این آزمایش مقدمه ای برای آزمایشگاه مدار منطقی و آشنایی با ابزار های مورد استفاده در آن است. هدف از این آزمایش این است که چند مدار با پیچیدگی های متفاوت را در سه محیط نرم افزاری مختلف که عمل شبیه سازی مدار های منطقی را انجام می‌دهند پیاده سازی کنیم. در قدم اول برای آشنایی با بردبورد، از نرم افزار Fritzing استفاده خواهیم کرد و نحوه کارکرد بردبورد را بررسی، سپس دو مدار روشن کننده LED را با یک مقاومت و یک تراشه ۷۴۰۴ پیاده خواهیم کرد. سپس برای پیاده سازی یک مدار full adder از Logisim استفاده خواهیم کرد و از آن مدار برای طراحی یک ۴-bit Adder/Subtractor استفاده خواهیم کرد. در نهایت برای نشان دادن یک مدار Carry-Look-Ahead که پیچیدگی بیشتری دارد از نرم افزار Proteus برای پیاده سازی استفاده خواهیم کرد.

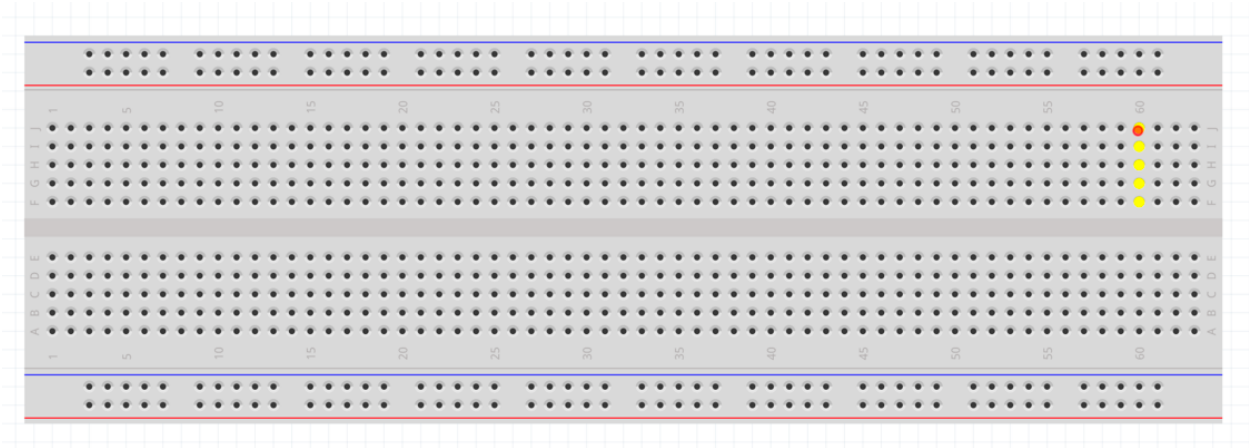
۲ نرم افزار Fritzing

۲/۱ بررسی عملکرد بِردبورد

خانه های یک بردبورد به طور کلی با هم دیگر می‌توانند اتصال افقی یا عمودی داشته باشند که مطابق شکل های زیر، خانه های دو ردیف بالا پایین با هم دیگر در یک اتصال افقی به ازای هر ردیف متصل هستند و باقی خانه های ردیف های دیگر و وسط، در یک اتصال عمودی در ستون خود به هم وصل هستند.



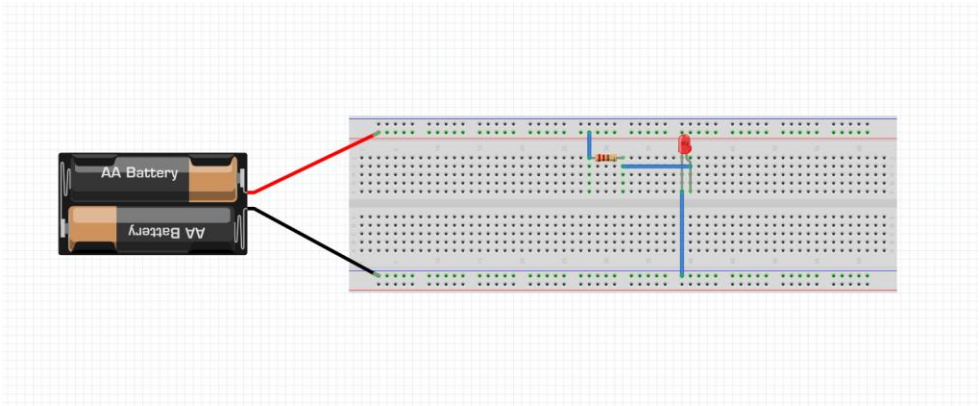
شکل ۱ عملکرد اتصال افقی در بردبورد



شکل2 عملکرد اتصال در راستای عمود بردبورد

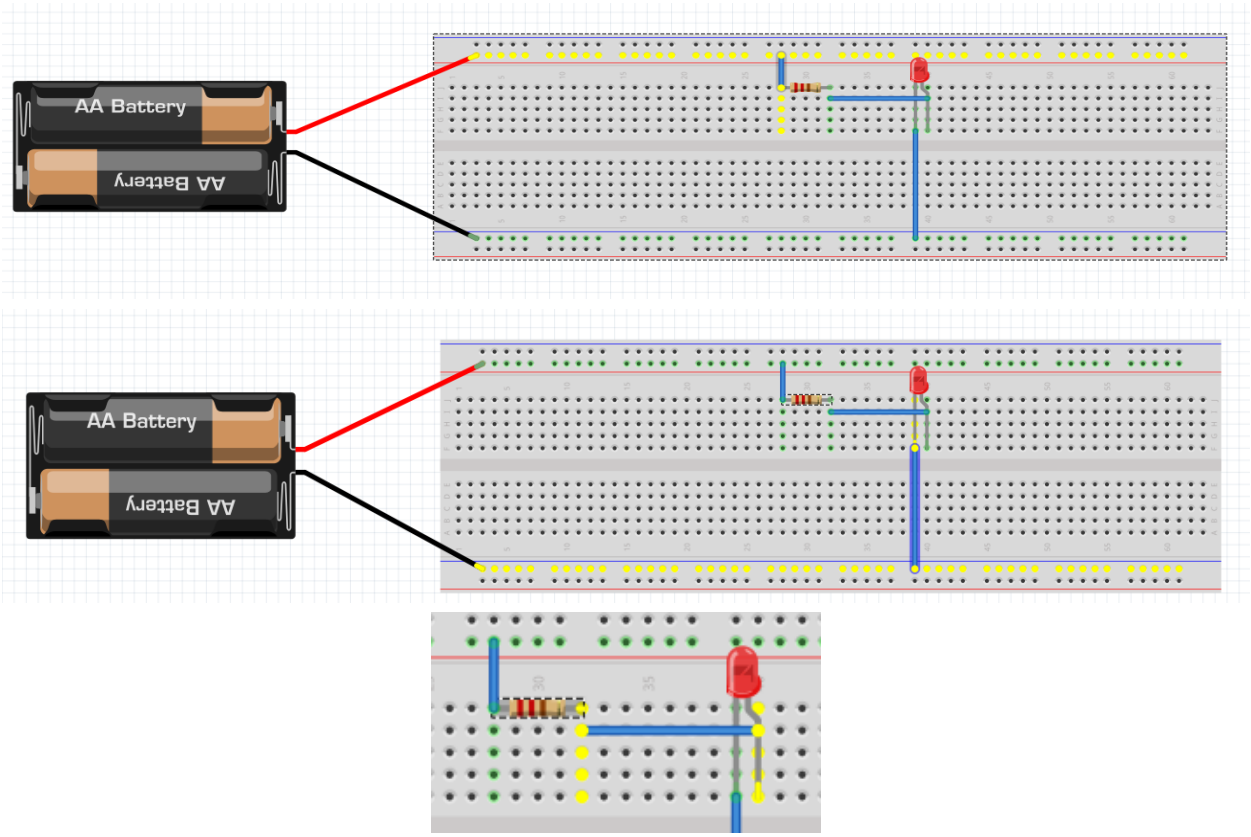
۲,۲ مدار ساده شامل LED

کافی است رابطه توالی اجزای مدار را با استفاده از اتصالات عمودی و افقی بورد که در بخش قبلی ذکر شد روی بردبورد پیاده سازی کنیم.

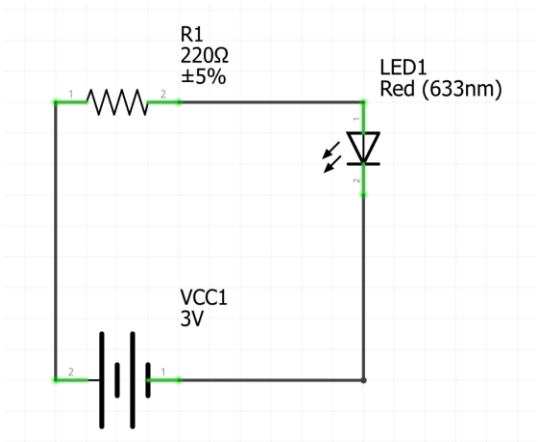


شکل 3 پیاده سازی مدار LED با مقاومت

برای اینکه اتصالات بین اجزا مشهود تر باشد:



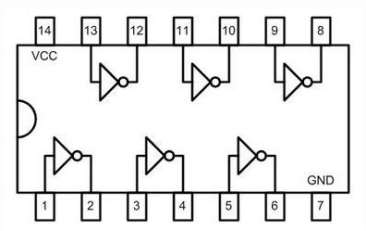
شکل ٤ نحوه اتصالات در مدار LED



شکل ۵شماتیک مدار LED

۲/۳ مدار با تراشه ۷۴۰۴

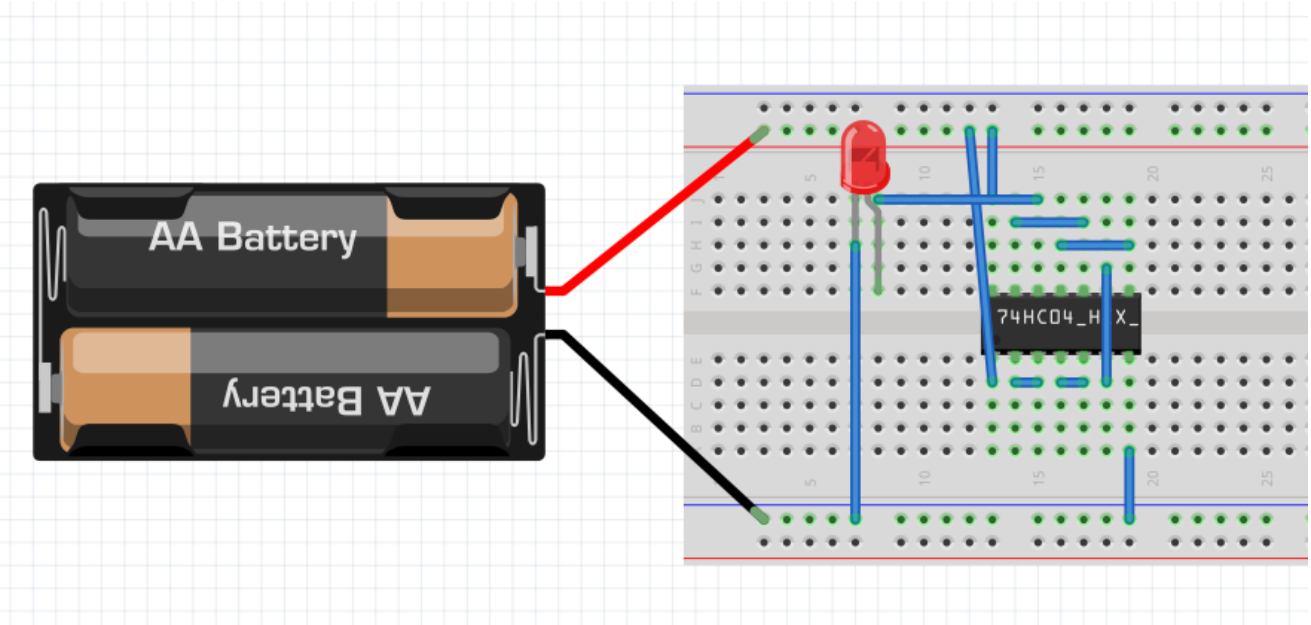
برای این مدار باید یک LED را به وسیله یک تراشه ۷۴۰۴ که در عمل مانند ۶ گیت NOT که به صورت متوال عمل می‌کنند روشن کنیم. در زیر شمای داخلی این تراشه را مشاهده می‌کنیم:



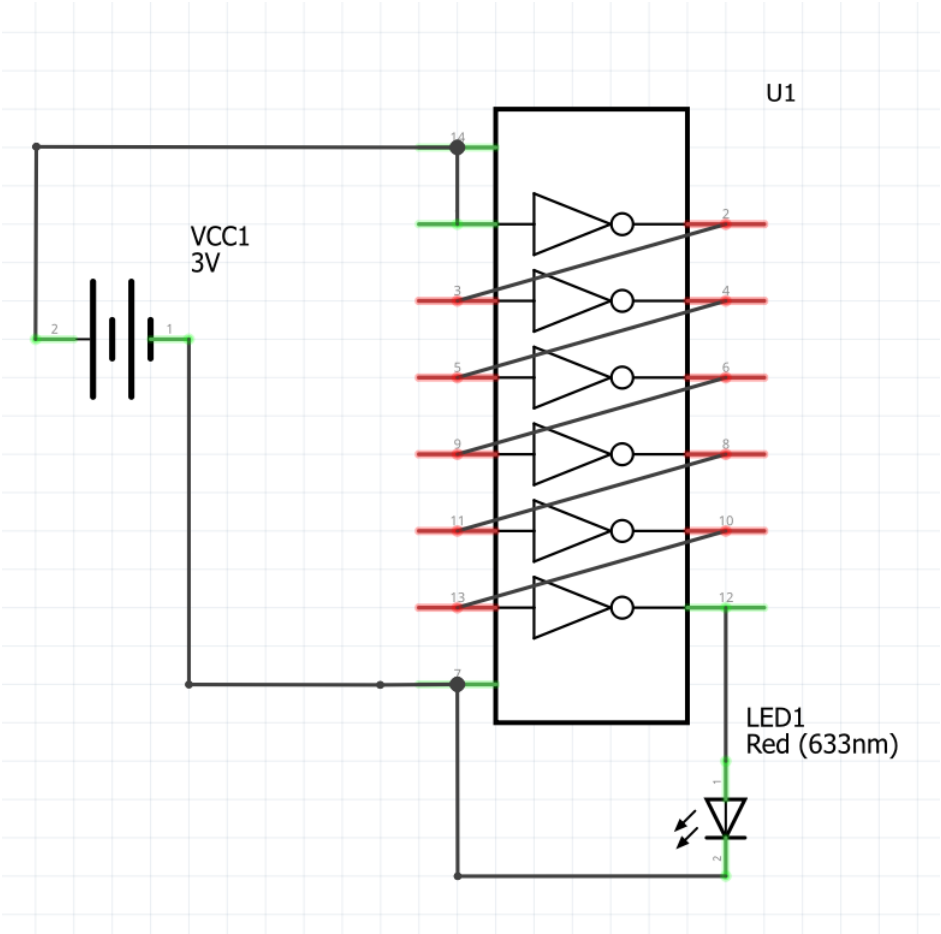
شکل ٦ شمای داخلی تراشه ٧٤٠٤

به طور کلی برای آنکه مدار خواسته شده پیاده شود، لازم است پین خروجی هر گیت را به پین ورودی گیت بعدی وصل کنیم. یعنی اگر ورودی این تراشه را به پین ۱ بدهیم و خروجی آن را از پین ۱۲ بگیریم، باید ۲ را به ۳، ۴ را به ۵، ۶ را به ۹، ۸ را به ۱۱، و ۱۰ را به ۱۳ وصل کنیم. پین های VCC و GND هم به شیوه مقتضی به منبع تغذیه وصل خواهند شد.

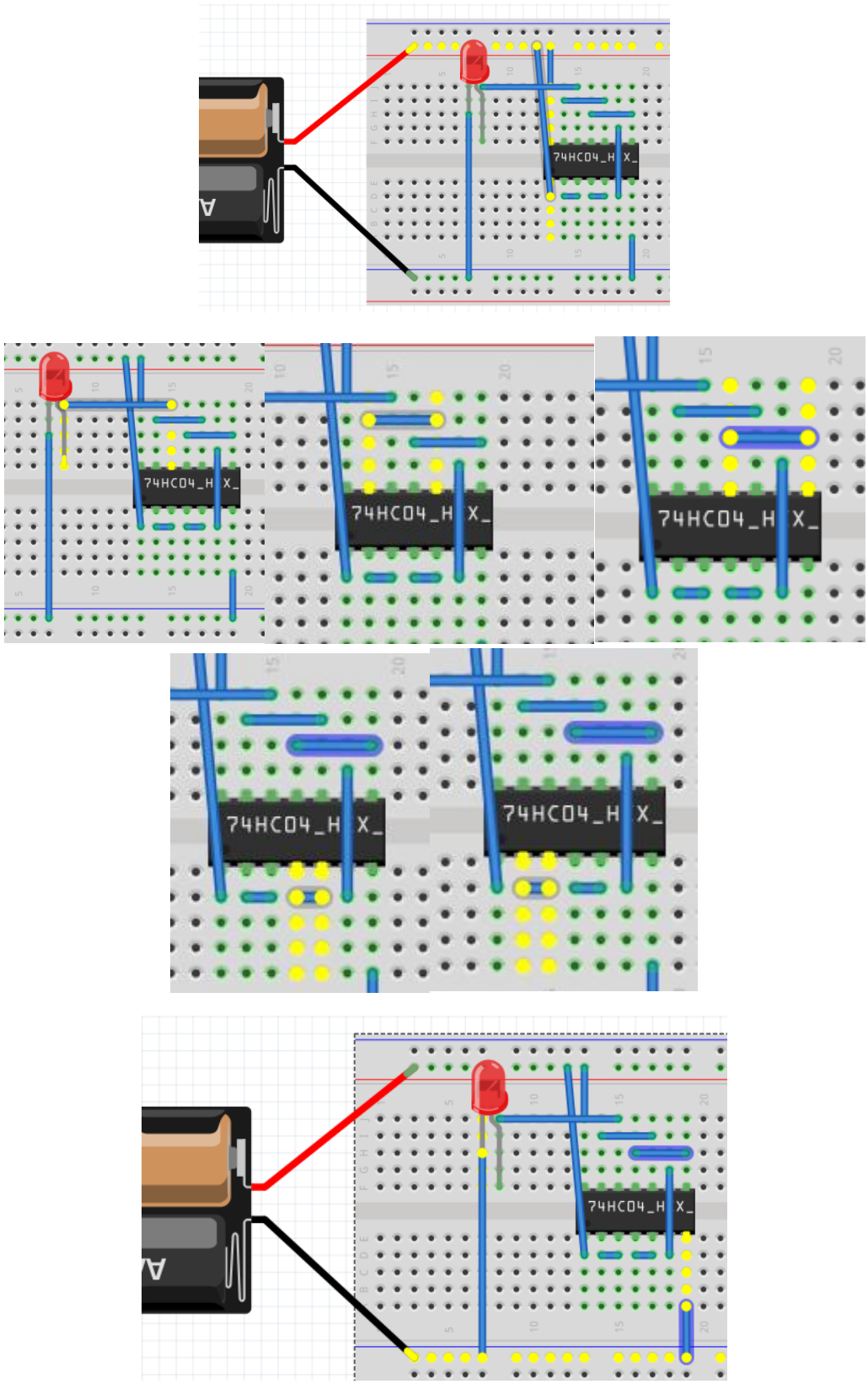
در نهایت، تصویر مدار خواسته شده ضمیمه شده است. (شکل ۷)



شکل ۷مدار فریتزینگ با تراشه ٧٤٠٤



شکل 8 شماتیک مدار فریتزینگ با تراشه ۷۴۰۴



نحوه اتصالات در مدار با تراشه ۷٤۰٤ شکل9

۳ کار با نرم افزار Logisim

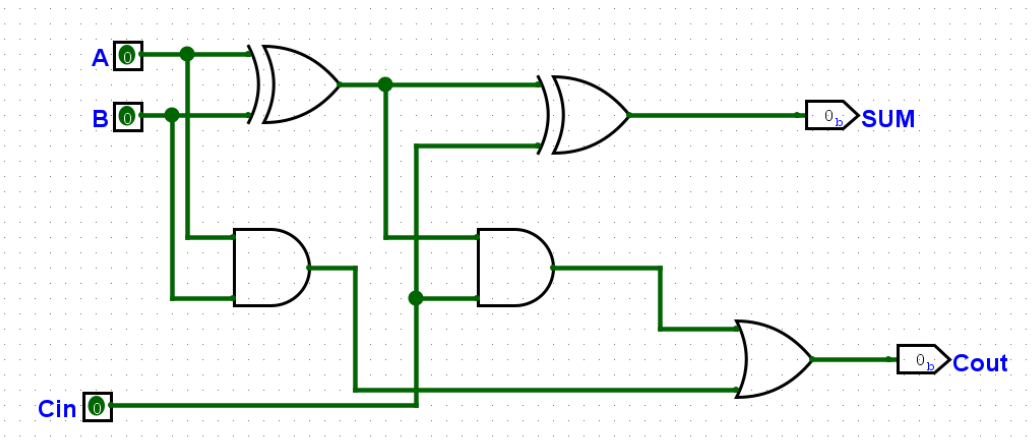
۳/۱ مدار Full Adder

مدار Full Adder سه ورودی A، B، و C_{in} و دو خروجی Sum و C_{out} را دارد، که در آن فرمول جبر بولی به دست آوردن خروجی ها به این صورت است:

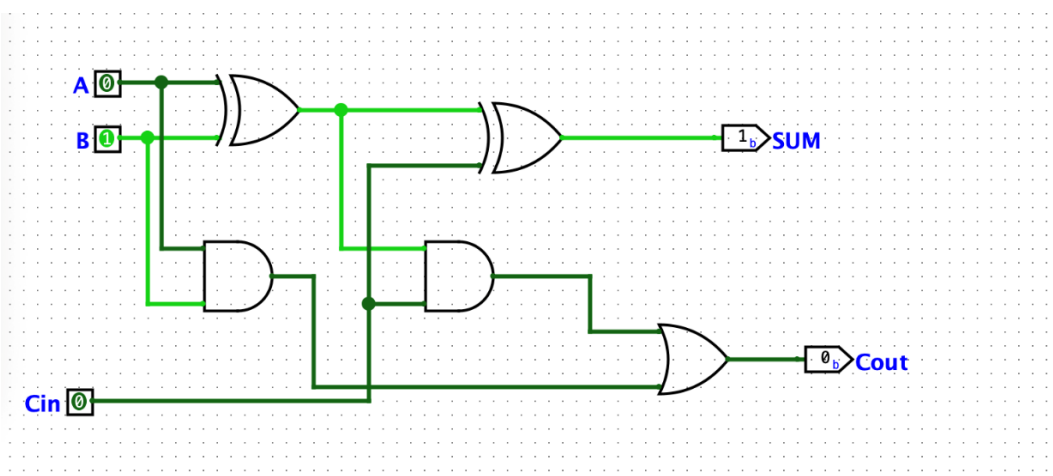
$$Sum = A \oplus B \oplus C_{in}$$

$$C_{out} = C_{in}(A \oplus B) + A \cdot B$$

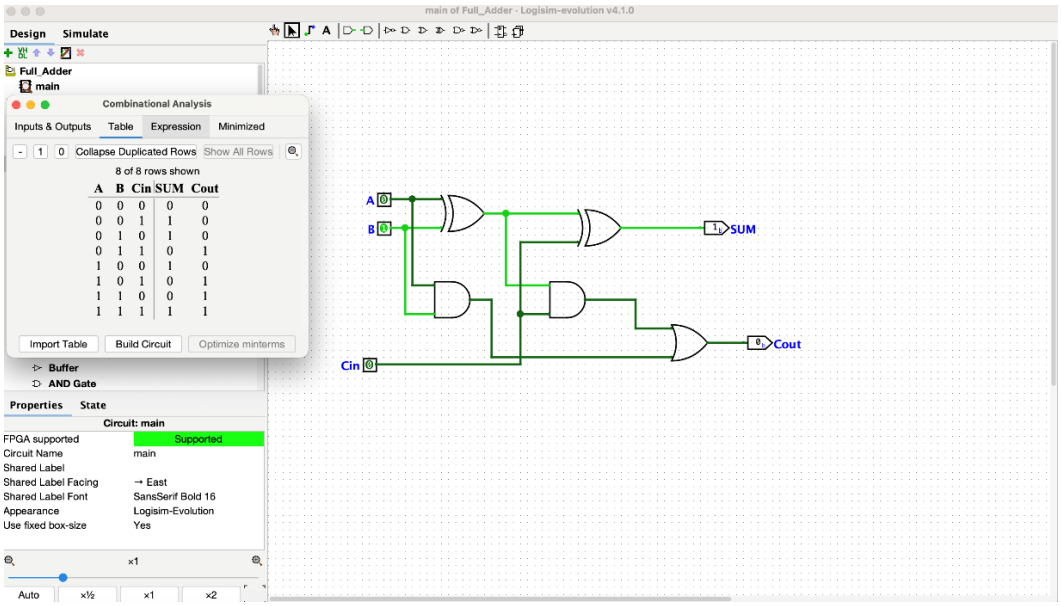
که نمایش عملی آن در Logisim به این شکل است:



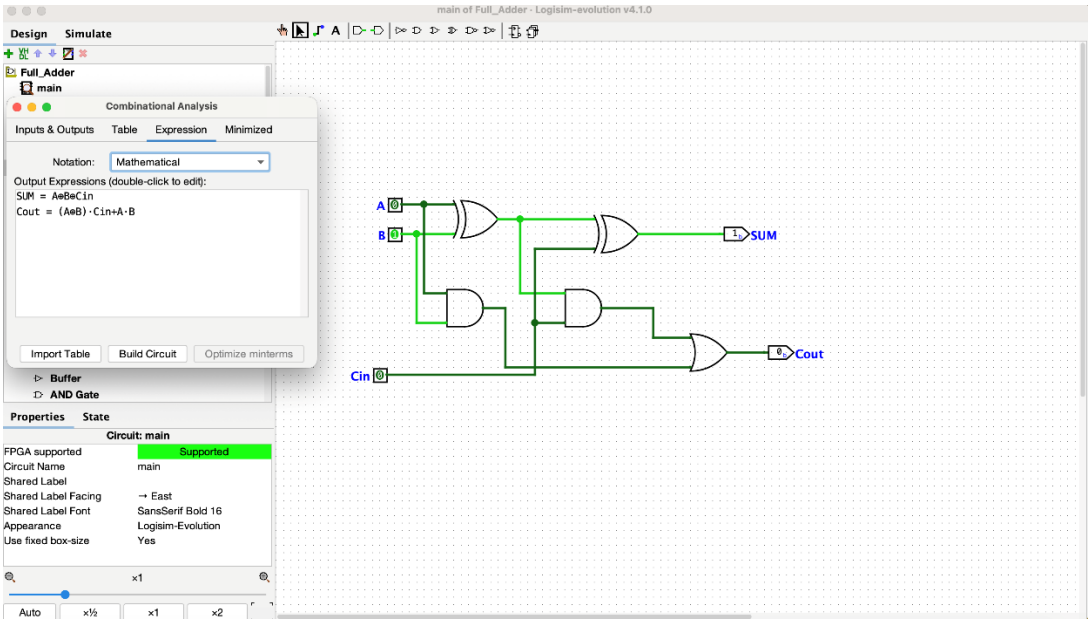
شکل ۱۰ پیاده سازی مدار Full-Adder



شکل 11 تست کیس نمونه



شکل ۱۲ نمایش جدول درستی مدار



شکل ۱۳ نمایش فرمول خروجی های مدار

۳,۲ مدار جمع‌کننده/تفریق‌کننده چهار بیتی

در این مدار به ازای $C_{in} = ۱$ باید عمل تفریق اتفاق بیفتد و در غیر این صورت عمل جمع. می‌دانیم که برای تفریق دو عدد در مبنای ۲ کافی است به جای $A - B$، A را با ۲'s compliment عدد B جمع کنیم. پس در این مدار کافی است زمانی که C_{in} مساوی یک بود، آن را با تمام بیت های B یای انحصاری ($\oplus$) بگیریم و در نهایت خودش مطابق فرمول مکمل ۲ به جمع بیت اول اضافه می‌شود.

شکل کلی مدار (شکل ۱٤) در صفحه بعد درج شده است.

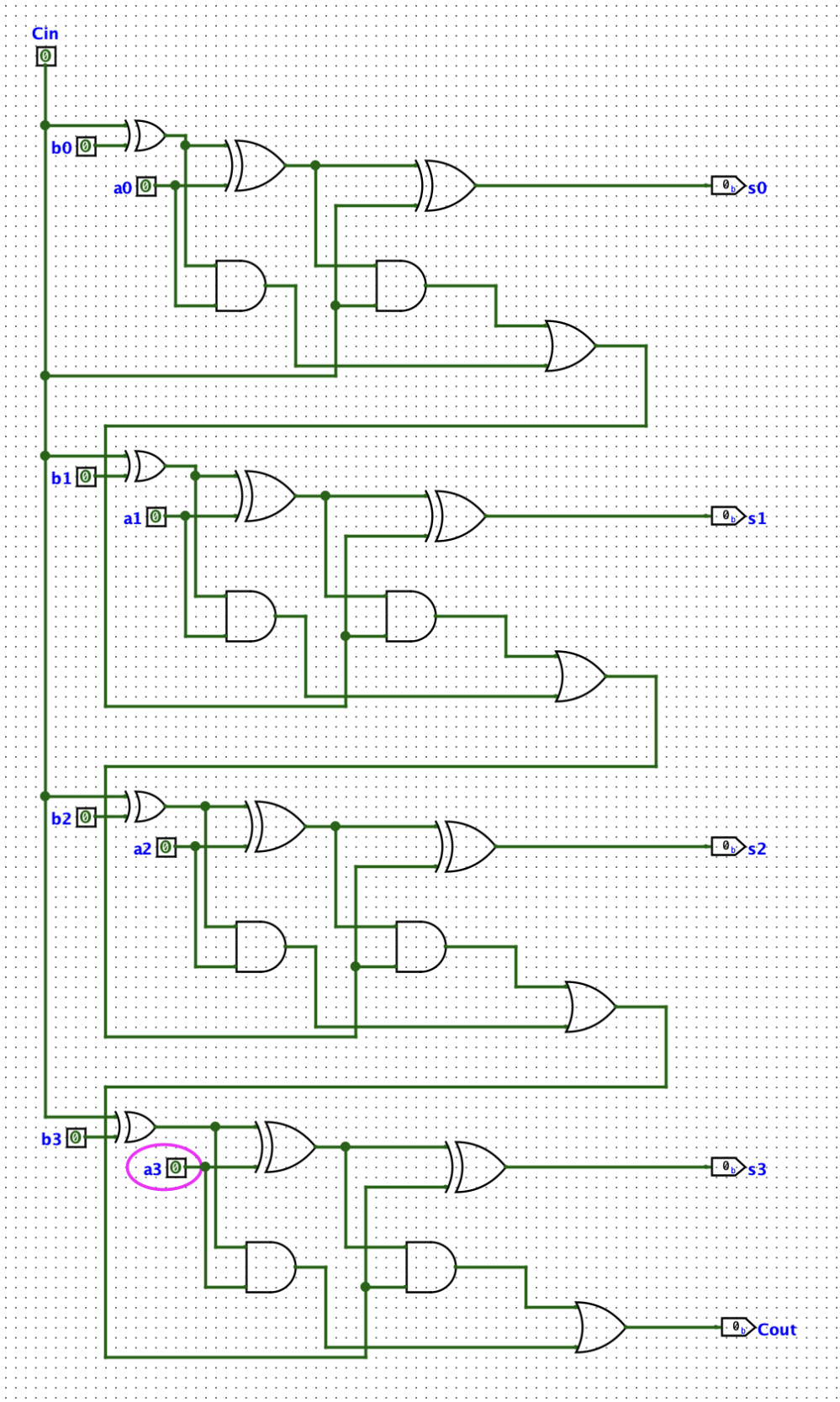
تست کیس نمونه $(۰۱۰۱)_۲ = (۰۰۱۰)_۲ + (۰۰۱۱)_۲$ با $C_{out} = ۰$

و تست کیس تفریق $(۰۰۱۰)_۲ = (۰۱۰۱)_۲ - (۰۰۱۱)_۲$ با $C_{out} = ۱$

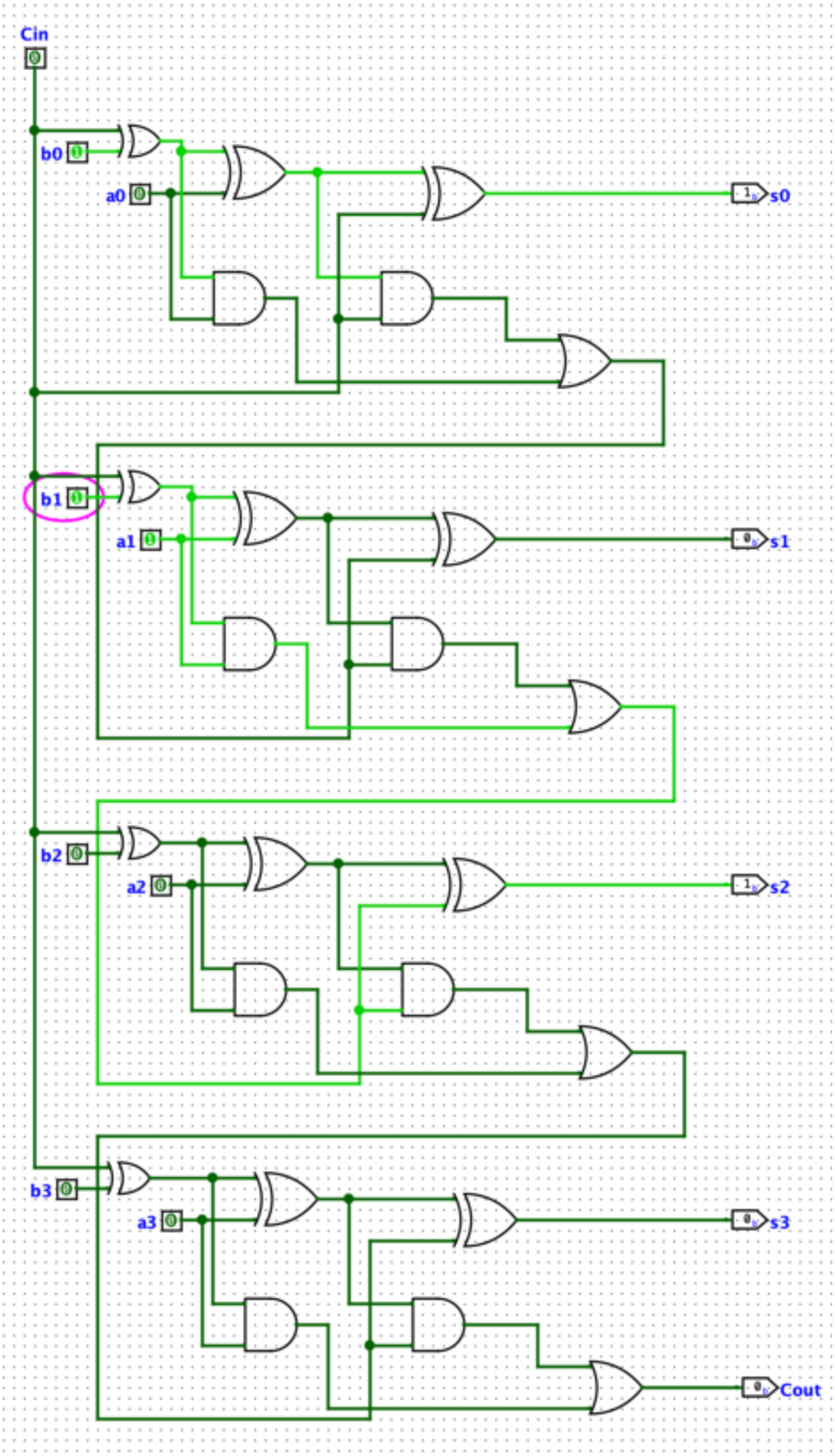
در صفحات بعدی (شکل ۱۵و شکل ۱٦) ضمیمه شده اند.

شایان ذکر است که در عمل تفریق، C_{out} برابر ۱ به معنی عدم وقوع اورفلو است (برخلاف عمل جمع).

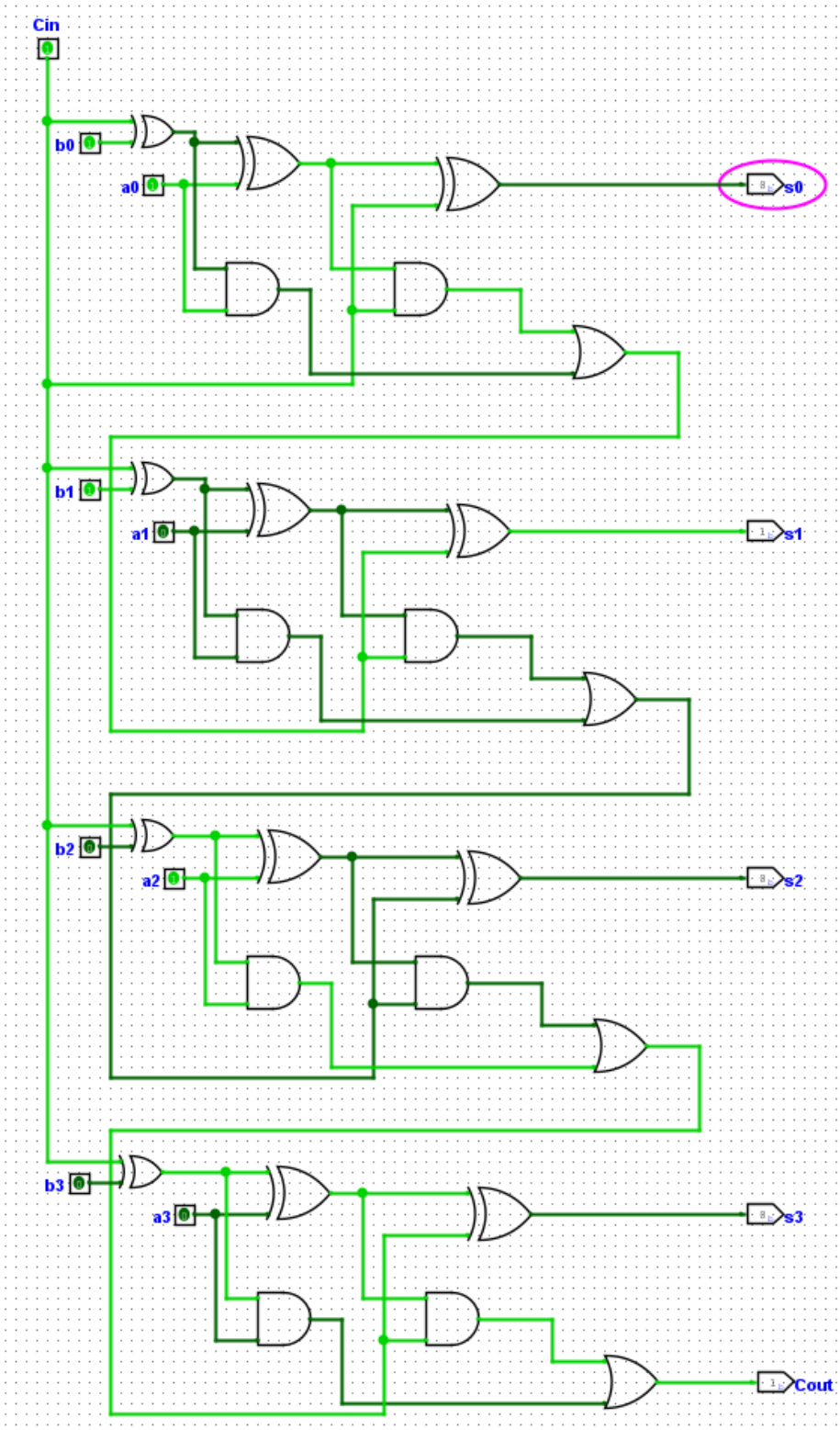
نمایی از جدول درستی این مدار (شکل ۱۷) نیز ضمیمه شده است که نسخه کامل آن به همراه سایر فایل های این آزمایش همراه با این گزارش ارسال می‌شود. همچنین معادله خروجی های این مدار نیز ضمیمه شده است. (شکل ۱۸)



شکل ۱۴ پیاده سازی مدار جمع‌کننده تفریق‌کننده



شکل ۱۵ تست کیس جمع



شکل ۱۶ تست کیس تفریق

512 of 512 rows shown

Cin	a3	b3	a2	b2	a1	b1	a0	b0	Cout	s3	s2	s1	s0
0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0	0	0	1
0	0	0	0	0	0	0	1	1	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	0	0	1	0
0	0	0	0	0	0	1	0	1	0	0	0	1	1
0	0	0	0	0	0	1	1	0	0	0	0	1	1
0	0	0	0	0	0	1	1	1	0	0	1	0	0
0	0	0	0	0	1	0	0	0	0	0	0	1	0
0	0	0	0	0	1	0	0	1	0	0	0	1	1
0	0	0	0	0	1	0	1	0	0	0	0	1	1
0	0	0	0	0	1	0	1	1	0	0	1	0	0
0	0	0	0	0	1	1	0	0	0	0	1	0	0
0	0	0	0	0	1	1	0	1	0	0	1	0	1
0	0	0	0	0	1	1	1	0	0	0	1	0	1
0	0	0	0	0	1	1	1	1	0	0	1	1	0
0	0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	1	0	0	1	0	1
0	0	0	0	1	0	0	1	0	0	0	1	0	1
0	0	0	0	1	0	0	1	1	0	0	1	1	0
0	0	0	0	1	0	1	0	0	0	0	1	1	0
0	0	0	0	1	0	1	0	1	0	0	1	1	1
0	0	0	0	1	0	1	1	0	0	0	1	1	1
0	0	0	0	1	0	1	1	1	0	1	0	0	0
0	0	0	0	1	1	0	0	0	0	0	1	1	0
0	0	0	0	1	1	0	0	1	0	0	1	1	1
0	0	0	0	1	1	0	1	0	0	0	1	1	1
0	0	0	0	1	1	0	1	1	0	1	0	0	0
0	0	0	0	1	1	1	0	0	0	1	0	0	0
0	0	0	0	1	1	1	0	1	0	1	0	0	1
0	0	0	0	1	1	1	1	0	0	1	0	0	1
0	0	0	0	1	1	1	1	1	0	1	0	1	0
0	0	0	1	0	0	0	0	0	0	0	1	0	0
0	0	0	1	0	0	0	0	1	0	0	1	0	1
0	0	0	1	0	0	0	1	0	0	0	1	0	1
0	0	0	1	0	0	0	1	1	0	0	1	1	0
0	0	0	1	0	0	1	0	0	0	0	1	1	0

شکل ۱۷ نمایی از جدول درستی مدار جمع کننده/تفریق کننده

```
s0 = Cin⊕b0⊕a0⊕Cin
s1 = Cin⊕b1⊕a1⊕((Cin⊕b0⊕a0)·Cin+(Cin⊕b0)·a0)
s2 = Cin⊕b2⊕a2⊕((Cin⊕b1⊕a1)·((Cin⊕b0⊕a0)·Cin+(Cin⊕b0)·a0)+(Cin⊕b1)·a1)
s3 = Cin⊕b3⊕a3⊕((Cin⊕b2⊕a2)·((Cin⊕b1⊕a1)·((Cin⊕b0⊕a0)·Cin+(Cin⊕b0)·a0)+(Cin⊕b1)·a1)+(Cin⊕b2)·a2)
Cout = (Cin⊕b3⊕a3)·((Cin⊕b2⊕a2)·((Cin⊕b1⊕a1)·((Cin⊕b0⊕a0)·Cin+(Cin⊕b0)·a0)+(Cin⊕b1)·a1)+(Cin⊕b2)·a2)+(Cin⊕b3)·a3
```

شکل ۱۸ معادلات خروجی های مدار جمع کننده/تفریق کننده

٤ کار با نرم افزار Proteus

٤/١ پیاده سازی مدار Carry Lookahead

مزیت این مدار این است که محاسبه Carry ها وابسته به محاسبه شدن Carry بیت قبل نبوده و تنها وابسته به ورودی های مدار هستند. پس می‌توان Carry های هر بیت را در این مدار به صورت موازی محاسبه نمود. برای این کار، در هر بیت از محاسبه دو مقدار G_i و P_i برای محاسبه $C_{i+۱}$ استفاده می‌شود.

$$G_i = a_i \cdot b_i$$

$$P_i = a_i \oplus b_i$$

$$C_{i+۱} = G_i + P_i \cdot C_i$$

اگر این رابطه بازگشتی را برای همه Carry ها ساده کنیم:

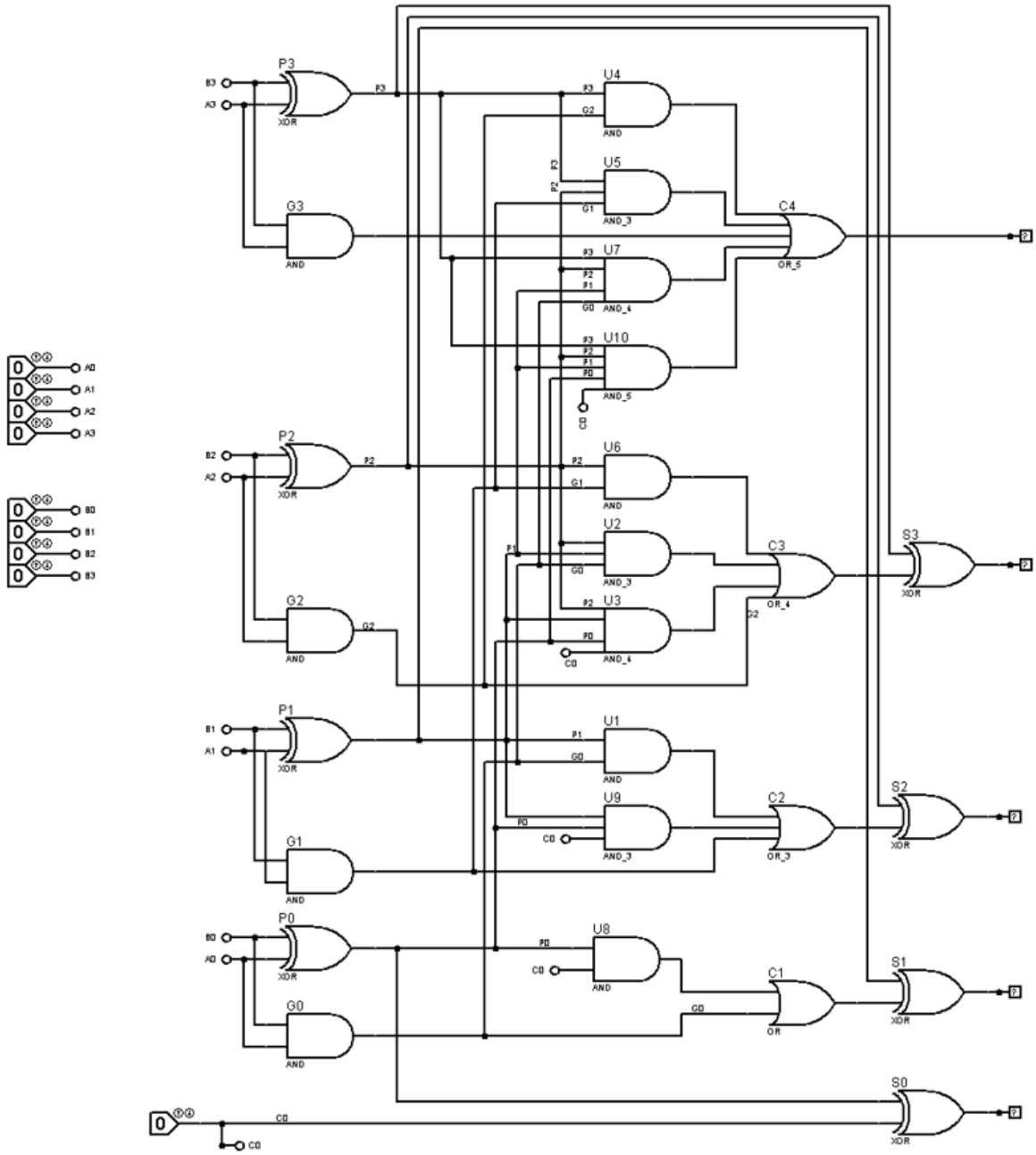
$$C_۱ = G_۰ + P_۰ C_۰$$

$$C_۲ = G_۱ + P_۱ G_۰ + P_۱ P_۰ C_۰$$

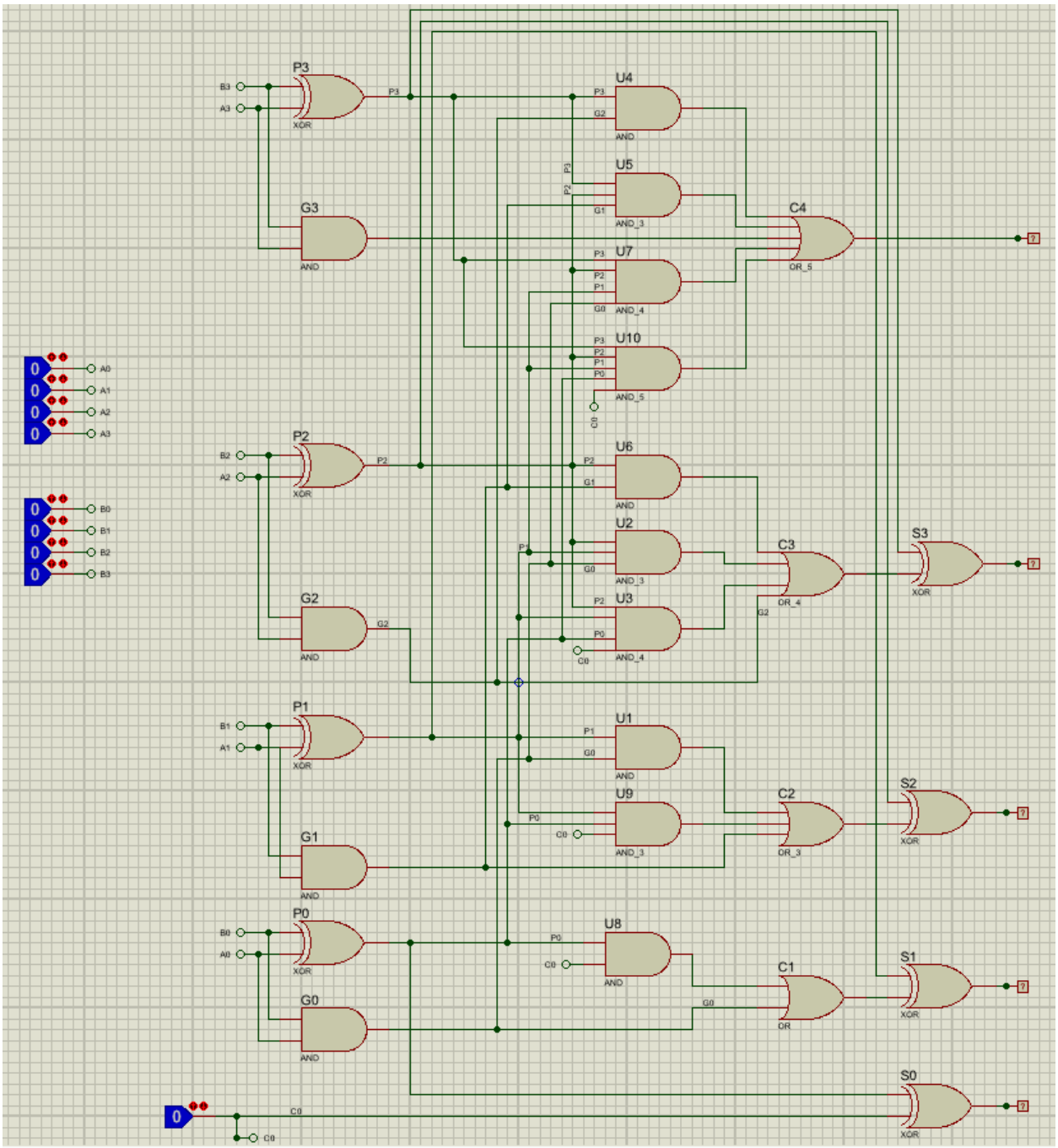
$$C_۳ = G_۲ + P_۲ G_۱ + P_۲ P_۱ G_۰ + P_۲ P_۱ P_۰ C_۰$$

$$C_۴ = G_۳ + P_۳ G_۲ + P_۳ P_۲ G_۱ + P_۳ P_۲ P_۱ G_۰ + P_۳ P_۲ P_۱ P_۰ C_۰$$

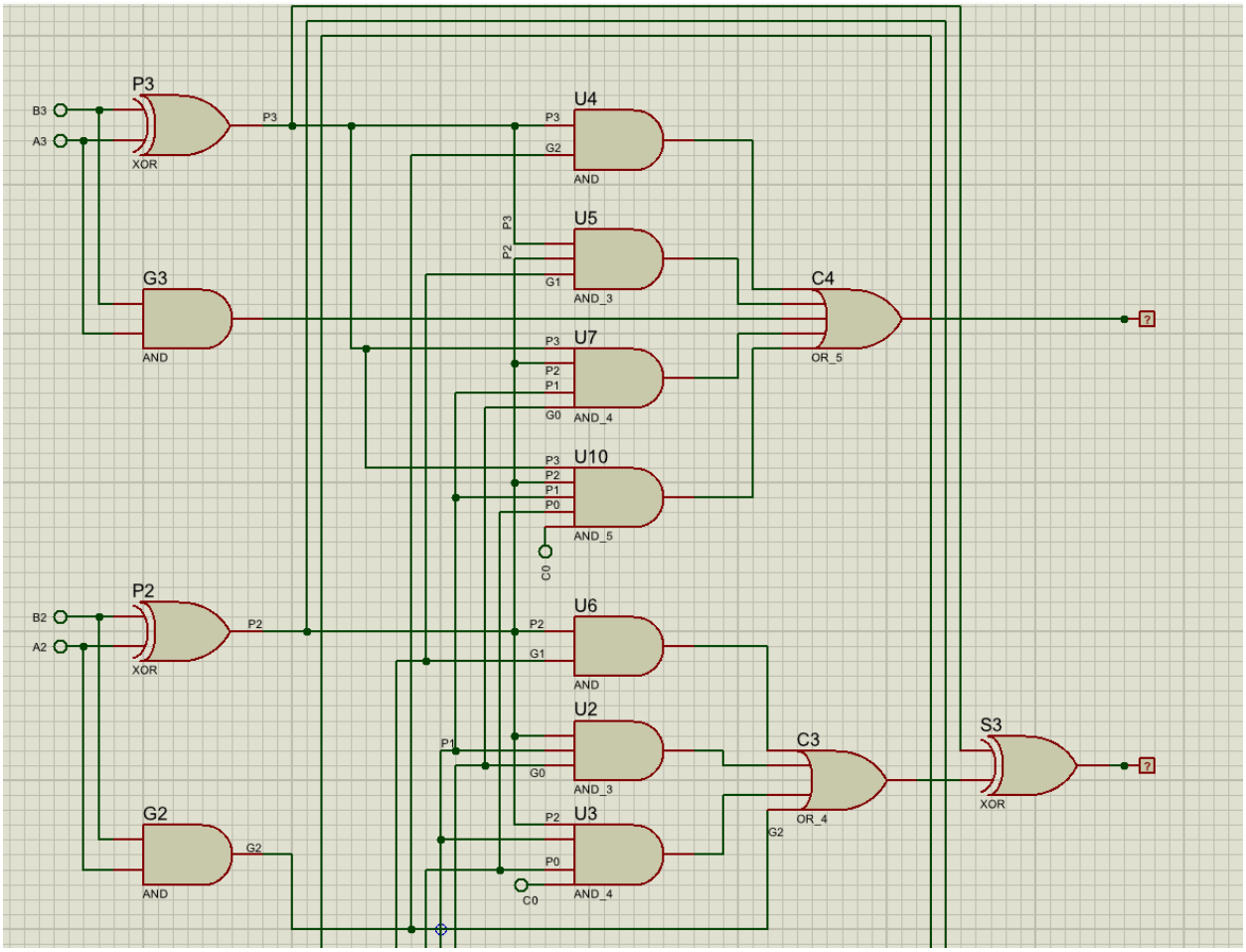
حالا کافی است این معادلات را در عمل با گیت ها بسازیم. تصاویر آن در صفحات بعدی ضمیمه شده اند.



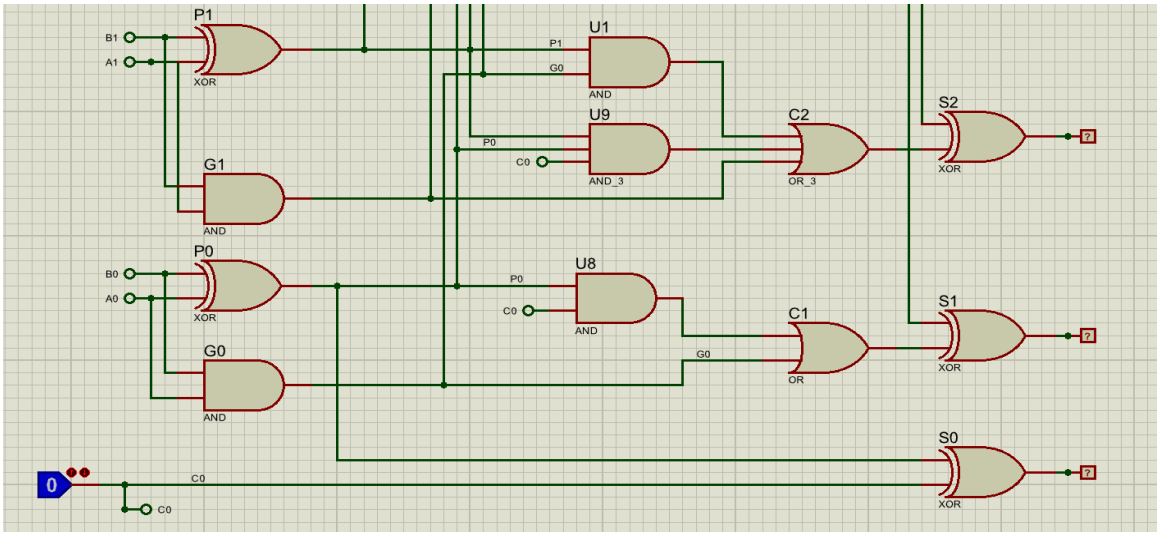
شکل ۱۹ شماتیک مدار Carry Lookahead



شکل ۲۰ نمای درون برنامه

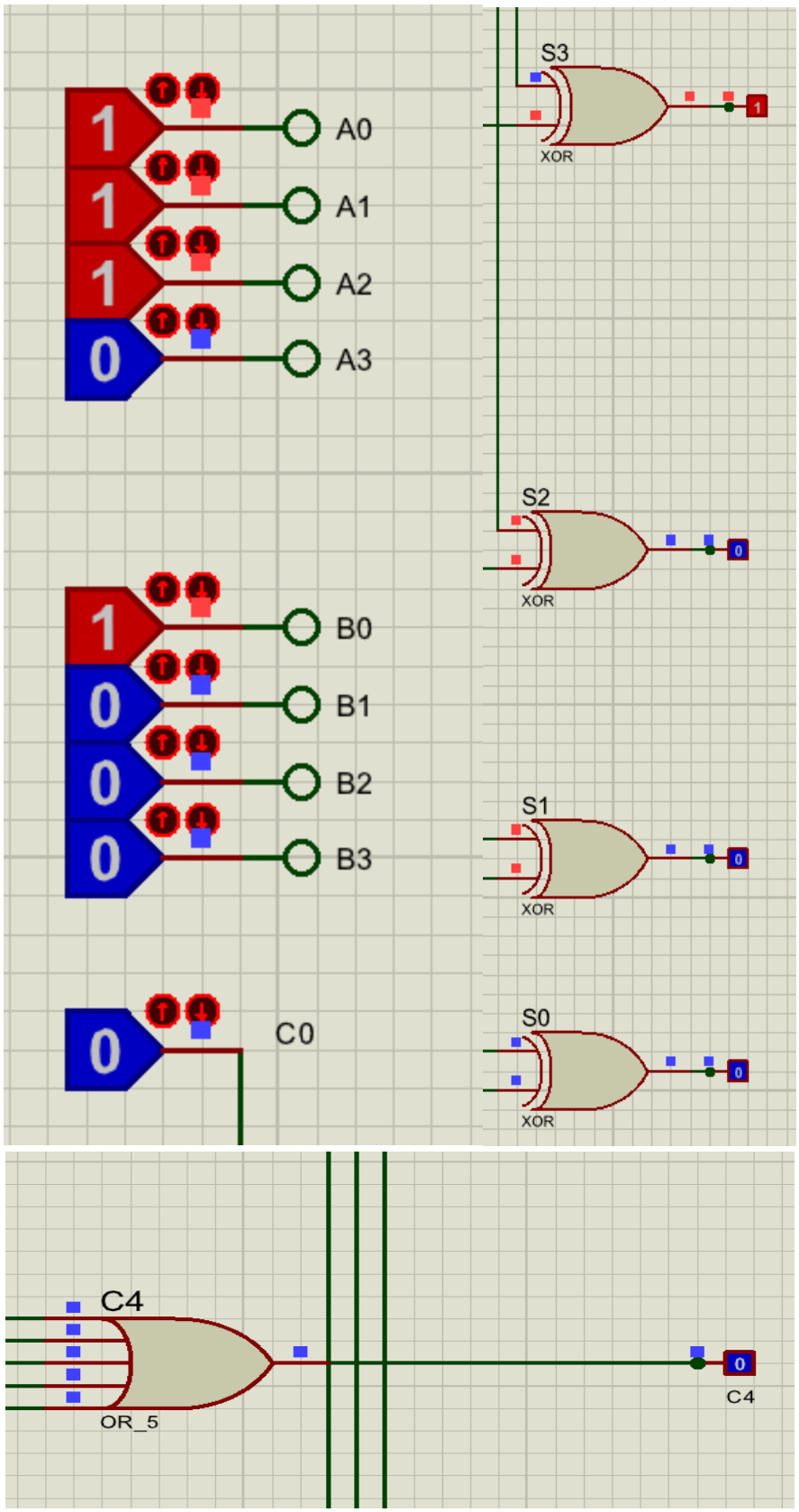


شکل21 نمای نزدیک نیمه بالا

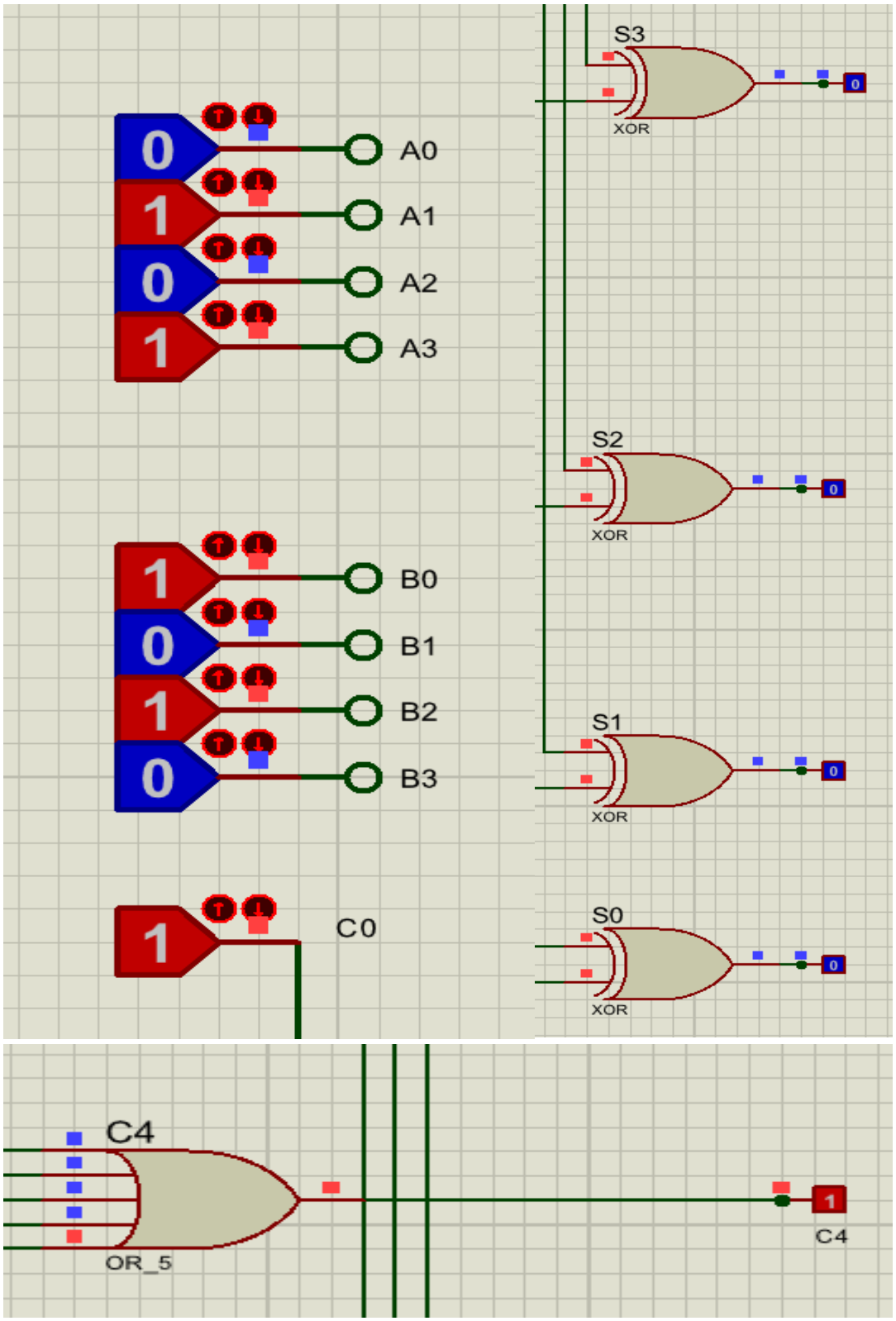


شکل ۲۲ نمای نزدیک نیمه پایین

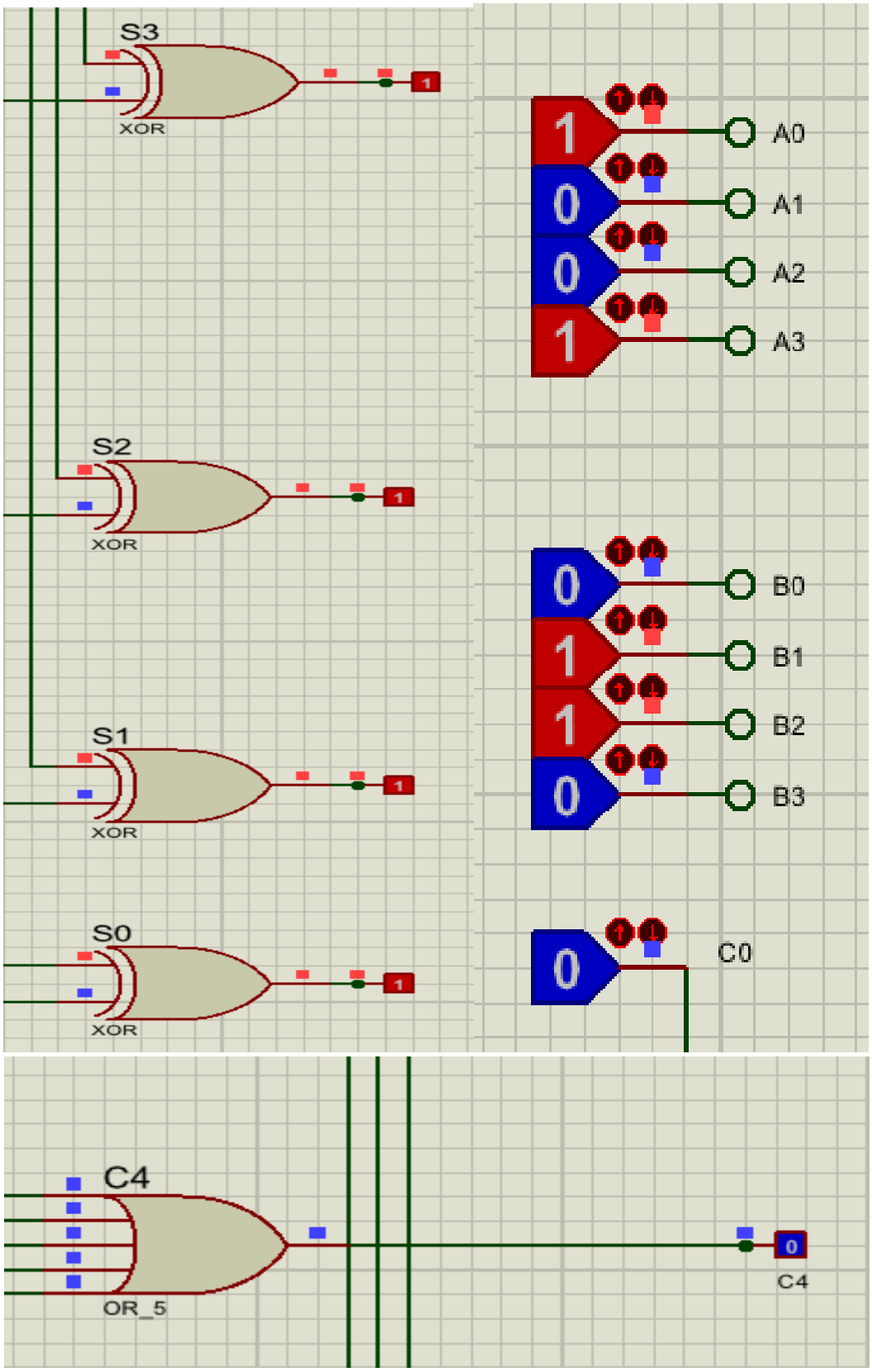
در ادامه تعدادی تست کیس نمونه را با ورودی ها و خروجی هایشان نشان داده ایم.



شکل ۲۳ $C_{out} = ۰$ و $(۰۱۱۱)_۲ + (۰۰۰۱)_۲ = (۱۰۰۰)_۲$



شكل ٢٤ $(١٠١٠)_٢ + (٠١٠١)_٢$ و $C_{in} = ١$



شکل ۲۵ $(1111)_2 = (1001)_2 + (0110)_2$