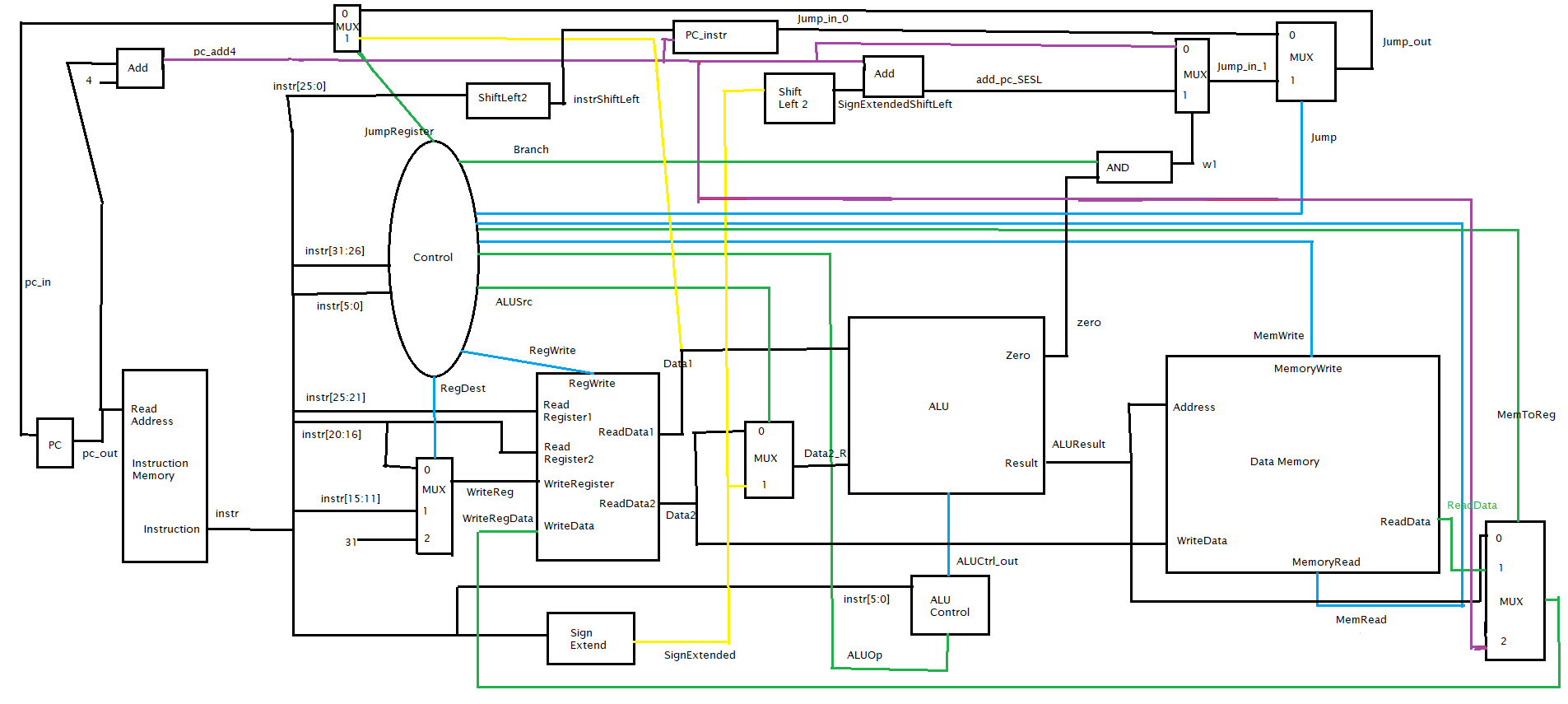
**Computer Organization Lab3**

**Architecture diagrams:**

****

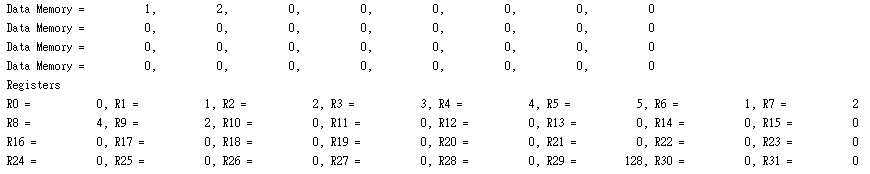
**電路設計如上圖所示。**

**Hardware module analysis:**

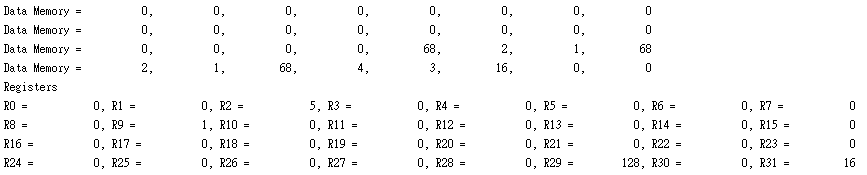
**這次的設計與上次的電路圖大致相同，比較不同之處為decoder增加了許多新的output，用於控制此次新增的operation(多數為jal/jr/beq)。在控制program counter上我也新增了一個MUX來決定是否為JR。**

**參考資料： https://goo.gl/fWmXaY**

**Finished part:**

****

**上圖為測資一之截圖。**

****

**上圖為測資二之截圖。**