



## Program Studi Teknik Elektro ITB

Nama Kuliah (Kode) : Praktikum Arsitektur Sistem Komputer (EL3111)  
Tahun / Semester : 2022-2023 / Ganjil  
Modul : SYNTHESIZABLE MIPS32® MICROPROCESSOR BAGIAN II :  
ARITHMETIC AND LOGICAL UNIT (ALU) DAN CONTROL  
UNIT (CU)  
Nama Asisten / NIM :  
Nama Praktikan / NIM : Ahmad Aziz / 13220034

### Tugas Pendahuluan

1. Buatlah komponen 2-to-1 multiplexer dengan lebar data 32-bit dalam bahasa VHDL lalu simulasikan dalam simulasi fungsional dan timing. Jangan lupa untuk melampirkan kode VHDL dan hasil simulasinya dalam lembar jawaban.

```
library IEEE;
use IEEE.std_logic_1164.all;

ENTITY mux_2to1_32bit IS
    PORT (
        D1 : IN std_logic_vector (31 DOWNTO 0); -- Data Input 1
        D2 : IN std_logic_vector (31 DOWNTO 0); -- Data Input 2
        Y : OUT std_logic_vector (31 DOWNTO 0); -- Selected Data
        S : IN std_logic -- Selector
    );
END mux_2to1_32bit;

ARCHITECTURE Structural OF mux_2to1_32bit IS
    COMPONENT mux IS
        PORT (
            D1_in : IN std_logic_vector;
            D2_in : IN std_logic_vector;
            S_s : IN STD_LOGIC;
            Y_out : OUT std_logic_vector
        );
    END COMPONENT;
END ARCHITECTURE;
```

2. Buatlah komponen 4-to-1 multiplexer dengan lebar data 32-bit dalam bahasa VHDL lalu simulasikan dalam simulasi fungsional dan timing. Jangan lupa untuk melampirkan kode VHDL dan hasil simulasinya dalam lembar jawaban.

```
library IEEE;
use IEEE.std_logic_1164.all;

ENTITY mux_4to1_32bit IS
    PORT (
        D1 : IN std_logic_vector (31 DOWNTO 0); -- Data Input 1
        D2 : IN std_logic_vector (31 DOWNTO 0); -- Data Input 2
        D3 : IN std_logic_vector (31 DOWNTO 0); -- Data Input 3
        D4 : IN std_logic_vector (31 DOWNTO 0); -- Data Input 4
        Y : OUT std_logic_vector (31 DOWNTO 0); -- Selected Data
        S : IN std_logic_vector (1 DOWNTO 0); -- Selector
    );
END mux_4to1_32bit;

ARCHITECTURE Structural OF mux_4to1_32bit IS
```

```

COMPONENT mux IS
  PORT (
    D1_in : IN std_logic_vector;
    D2_in : IN std_logic_vector;
    D3_in : IN std_logic_vector;
    D4_in : IN std_logic_vector;
    S_s : IN STD_LOGIC;
    Y_out : OUT std_logic_vector
  );
END COMPONENT;

```

3. Buatlah komponen 4-to-1 multiplexer dengan lebar data 5-bit dalam bahasa VHDL lalu simulasikan dalam simulasi fungsional dan timing. Jangan lupa untuk melampirkan kode VHDL dan hasil simulasinya dalam lembar jawaban.

```

library IEEE;
use IEEE.std_logic_1164.all;

ENTITY mux_4to1_5bit IS
  PORT (
    D1 : IN std_logic_vector (4 DOWNTO 0); -- Data Input 1
    D2 : IN std_logic_vector (4 DOWNTO 0); -- Data Input 2
    D3 : IN std_logic_vector (4 DOWNTO 0); -- Data Input 3
    D4 : IN std_logic_vector (4 DOWNTO 0); -- Data Input 4
    Y : OUT std_logic_vector (4 DOWNTO 0); -- Selected Data
    S : IN std_logic_vector (1 DOWNTO 0); -- Selector
  );
END mux_4to1_5bit;

ARCHITECTURE Structural OF mux_4to1_5bit IS
  COMPONENT mux IS
    PORT (
      D1_in : IN std_logic_vector;
      D2_in : IN std_logic_vector;
      D3_in : IN std_logic_vector;
      D4_in : IN std_logic_vector;
      S_s : IN STD_LOGIC;
      Y_out : OUT std_logic_vector
    );
  END COMPONENT;

```

4. Buatlah komponen komparator dengan dua buah input dengan lebar data 32-bit dalam bahasa VHDL lalu simulasikan dalam simulasi fungsional dan timing. Komparator akan menghasilkan output high saat kedua input sama. Komparator akan menghasilkan output low saat kedua input berbeda. Jangan lupa untuk melampirkan kode VHDL dan hasil simulasinya dalam lembar jawaban.

```

library IEEE;
use IEEE.std_logic_1164.all;

ENTITY comparator IS
  PORT (
    D_1 : IN STD_LOGIC_VECTOR (31 DOWNTO 0);
    D_2 : IN STD_LOGIC_VECTOR (31 DOWNTO 0);
    EQ : OUT STD_LOGIC -- Hasil Perbandingan EQ
  );
END comparator;

ARCHITECTURE Structural OF comparator IS
  COMPONENT comp IS
    PORT (

```

```

        D1_in : IN std_logic_vector;
        D2_in : IN std_logic_vector;
        EQ_out : OUT STD_LOGIC;
    );
END COMPONENT;

```

5. Buatlah program dalam bahasa assembly untuk dieksekusi dalam MIPS32® dengan fungsionalitas yang sama dengan program dalam bahasa C berikut ini. Simulasikan program ini dalam PCSpim dan screenshot hasil yang ditampilkan dalam console. (Petunjuk: gunakan bne, beq, atau j untuk merealisasikan loop.

```

library IEEE;
use IEEE.std_logic_1164.all;

ENTITY bus_merger IS
    PORT (
        DATA_IN1 : IN STD_LOGIC_VECTOR (3 DOWNTO 0);
        DATA_IN2 : IN STD_LOGIC_VECTOR (27 DOWNTO 0);
        DATA_OUT : OUT STD_LOGIC_VECTOR (31 DOWNTO 0)
    );
END bus_merger;

ARCHITECTURE Structural OF bus_merger IS
    COMPONENT bus_merg IS
        PORT (
            in_1 : IN std_logic_vector;
            in_2 : IN std_logic_vector;
            data_out : OUT STD_LOGIC;
        );
    END COMPONENT;

```