**Program Studi Teknik Elektro ITB** Nama Kuliah (Kode) : Praktikum Arsitektur Sistem Komputer (EL3111)

Tahun / Semester : 2022-2023 / Ganjil

**Modul** : SYNTHESIZABLE MIPS32® MICROPROCESSOR BAGIAN II : ARITHMETIC AND LOGICAL UNIT (ALU) DAN CONTROL UNIT (CU)

**Nama Asisten / NIM** :

**Nama Praktikan / NIM** : Ahmad Aziz / 13220034

**Tugas Pendahuluan**

|  |
| --- |
| 1. **Buatlah komponen 2-to-1 multiplexer dengan lebar data 32-bit dalam bahasa VHDL lalu simulasikan dalam simulasi fungsional dan timing. Jangan lupa untuk melampirkan kode VHDL dan hasil simulasinya dalam lembar jawaban.**   **library** IEEE**;**  **use** IEEE**.**std\_logic\_1164**.all;**  **ENTITY** mux\_2to1\_32bit **IS**  **PORT** **(**  D1 **:** **IN** std\_logic\_vector **(**31 **DOWNTO** 0**);** -- Data Input 1  D2 **:** **IN** std\_logic\_vector **(**31 **DOWNTO** 0**);** -- Data Input 2  Y **:** **OUT** std\_logic\_vector **(**31 **DOWNTO** 0**);** -- Selected Data  S **:** **IN** std\_logic -- Selector  **);**  **END** mux\_2to1\_32bit**;**  **ARCHITECTURE** Structural **OF** mux\_2to1\_32bit **IS**  **COMPONENT** mux **IS**  **PORT** **(**  D1\_in **:** **IN** std\_logic\_vector**;**  D2\_in **:** **IN** std\_logic\_vector**;**  S\_s **:** **IN** STD\_LOGIC**;**  Y\_out **:** **OUT** std\_logic\_vector  **);**  **END** **COMPONENT;**     1. **Buatlah komponen 4-to-1 multiplexer dengan lebar data 32-bit dalam bahasa VHDL lalu simulasikan dalam simulasi fungsional dan timing. Jangan lupa untuk melampirkan kode VHDL dan hasil simulasinya dalam lembar jawaban.**   **library** IEEE**;**  **use** IEEE**.**std\_logic\_1164**.all;**  **ENTITY** mux\_4to1\_32bit **IS**  **PORT** **(**  D1 **:** **IN** std\_logic\_vector **(**31 **DOWNTO** 0**);** -- Data Input 1  D2 **:** **IN** std\_logic\_vector **(**31 **DOWNTO** 0**);** -- Data Input 2  D3 **:** **IN** std\_logic\_vector **(**31 **DOWNTO** 0**);** -- Data Input 3  D4 **:** **IN** std\_logic\_vector **(**31 **DOWNTO** 0**);** -- Data Input 4  Y **:** **OUT** std\_logic\_vector **(**31 **DOWNTO** 0**);** -- Selected Data  S **:** **IN** std\_logic\_vector **(**1 **DOWNTO** 0**);** -- Selector  **);**  **END** mux\_4to1\_32bit**;**  **ARCHITECTURE** Structural **OF** mux\_4to1\_32bit **IS**  **COMPONENT** mux **IS**  **PORT** **(**  D1\_in **:** **IN** std\_logic\_vector**;**  D2\_in **:** **IN** std\_logic\_vector**;**  D3\_in **:** **IN** std\_logic\_vector**;**  D4\_in **:** **IN** std\_logic\_vector**;**  S\_s **:** **IN** STD\_LOGIC**;**  Y\_out **:** **OUT** std\_logic\_vector  **);**  **END** **COMPONENT;**     1. **Buatlah komponen 4-to-1 multiplexer dengan lebar data 5-bit dalam bahasa VHDL lalu simulasikan dalam simulasi fungsional dan timing. Jangan lupa untuk melampirkan kode VHDL dan hasil simulasinya dalam lembar jawaban.**   **library** IEEE**;**  **use** IEEE**.**std\_logic\_1164**.all;**  **ENTITY** mux\_4to1\_5bit **IS**  **PORT** **(**  D1 **:** **IN** std\_logic\_vector **(**4 **DOWNTO** 0**);** -- Data Input 1  D2 **:** **IN** std\_logic\_vector **(**4 **DOWNTO** 0**);** -- Data Input 2  D3 **:** **IN** std\_logic\_vector **(**4 **DOWNTO** 0**);** -- Data Input 3  D4 **:** **IN** std\_logic\_vector **(**4 **DOWNTO** 0**);** -- Data Input 4  Y **:** **OUT** std\_logic\_vector **(**4 **DOWNTO** 0**);** -- Selected Data  S **:** **IN** std\_logic\_vector **(**1 **DOWNTO** 0**);** -- Selector  **);**  **END** mux\_4to1\_5bit**;**  **ARCHITECTURE** Structural **OF** mux\_4to1\_5bit **IS**  **COMPONENT** mux **IS**  **PORT** **(**  D1\_in **:** **IN** std\_logic\_vector**;**  D2\_in **:** **IN** std\_logic\_vector**;**  D3\_in **:** **IN** std\_logic\_vector**;**  D4\_in **:** **IN** std\_logic\_vector**;**  S\_s **:** **IN** STD\_LOGIC**;**  Y\_out **:** **OUT** std\_logic\_vector  **);**  **END** **COMPONENT;**     1. **Buatlah komponen komparator dengan dua buah input dengan lebar data 32- bit dalam bahasa VHDL lalu simulasikan dalam simulasi fungsional dan timing. Komparator akan menghasilkan output high saat kedua input sama. Komparator akan menghasilkan output low saat kedua input berbeda. Jangan lupa untuk melampirkan kode VHDL dan hasil simulasinya dalam lembar jawaban.**   **library** IEEE**;**  **use** IEEE**.**std\_logic\_1164**.all;**  **ENTITY** comparator **IS**  **PORT** **(**  D\_1 **:** **IN** STD\_LOGIC\_VECTOR **(**31 **DOWNTO** 0**);**  D\_2 **:** **IN** STD\_LOGIC\_VECTOR **(**31 **DOWNTO** 0**);**  EQ **:** **OUT** STD\_LOGIC -- Hasil Perbandingan EQ  **);**  **END** comparator**;**  **ARCHITECTURE** Structural **OF** comparator **IS**  **COMPONENT** comp **IS**  **PORT** **(**  D1\_in **:** **IN** std\_logic\_vector**;**  D2\_in **:** **IN** std\_logic\_vector**;**  EQ\_out **:** **OUT** STD\_LOGIC**;**  **);**  **END** **COMPONENT;**     1. **Buatlah program dalam bahasa assembly untuk dieksekusi dalam MIPS32® dengan fungsionalitas yang sama dengan program dalam bahasa C berikut ini. Simulasikan program ini dalam PCSpim dan screenshot hasil yang ditampilkan dalam console. (Petunjuk: gunakan bne, beq, atau j untuk merealisasikan loop.**   **library** IEEE**;**  **use** IEEE**.**std\_logic\_1164**.all;**  **ENTITY** bus\_merger **IS**  **PORT** **(**  DATA\_IN1 **:** **IN** STD\_LOGIC\_VECTOR **(**3 **DOWNTO** 0**);**  DATA\_IN2 **:** **IN** STD\_LOGIC\_VECTOR **(**27 **DOWNTO** 0**);**  DATA\_OUT **:** **OUT** STD\_LOGIC\_VECTOR **(**31 **DOWNTO** 0**)**  **);**  **END** bus\_merger**;**  **ARCHITECTURE** Structural **OF** bus\_merger **IS**  **COMPONENT** bus\_merg **IS**  **PORT** **(**  in\_1 **:** **IN** std\_logic\_vector**;**  in\_2 **:** **IN** std\_logic\_vector**;**  data\_out **:** **OUT** STD\_LOGIC**;**  **);**  **END** **COMPONENT;** |