



**ÇİP TASARIM YARIŞMASI
ANALOG TASARIM KATEGORİSİ
ÖN TASARIM RAPORU ŞABLONU**

**TAKIM ADI: MİTAGET ÇİP
BAŞVURU ID: #1949927**

2024

İçindekiler

İçindekiler	3
1. Giriş	3
1. 1.1	3
1. 1.2	3
1. 1.2.1	3
1. 1.2.2	3
1. 1.2.3	3
1. 1.2.4	3
2. Tasarım İsterleri	4
2. 2.1.1	4
2. 2.1.2	4
2. 2.1.3	4
2. 2.1.4	4
2. 2.1.5	4
2. 2.1.6	4
2. 2.1.7	4
2. 2.1.8	4
2. 2.1.9	4
2. 2.2	4
3. Tasarım Detayları	5-8
3. 3.1	5
3. 3.2	6
3. 3.3	6
3. 3.4	7
3. 3.5	8
3. 3.6	8
4. Takım Organizasyonu ve İş Planı	9
5. Kaynakça ve Ekler	9

1. Giriş

1.1. Biyo-Empedans Spektroskopisi (BIS), tıpta giderek daha fazla kullanılan potansiyel bir teşhis aracıdır. Tipik bir BIS sistemi, bir numuneye yüksek frekanslı bir AC akımının enjeksiyonunu içerir ve bunun üzerinden biyo-modüle edilmiş voltajın çıkarılması veya bunun tersi işlemleri içerir.

BIS sisteminin tipik bir konfigürasyonunda, yüksek çıkış empedanslı bir akım kaynağı (CS), Test Altındaki Örnek'e (SUT) yüksek frekanslı bir AC akım enjekte eder. Yüksek çıkış empedansı, uyarma akımının çoğunluğunun SUT'a yönlendirilmesini ve CS tarafından dağıtılmamasını sağlar. Akım kaynağı genellikle Howland Devresi veya Döngü İçinde Yük yapısı (LL-CS) şeklini alır. Örnekten elde edilen voltajı tespit etmek için yüksek bir Ortak Mod Reddetme Oranı (CMRR) ve yüksek giriş empedanslı bir Enstrümantasyon Amplifikatörü (IA) kullanılır. IA'nın yüksek giriş empedansı, girişte çıkarılan biyo-modülasyonlu voltaj üzerinde parazitik elektrot empedanslarının minimum etkisi olmasını sağlar. Aynı zamanda IA'nın yüksek CMRR'si, ofset voltajlarını azaltır, elektrotun parazitik empedansının getirdiği hataları azaltır ve elektromanyetik girişim (EMI), güç kaynağı uğultusu ve yarı hücre potansiyelleri gibi gürültü sinyallerini minimize eder.

1.2. Biyo-Empedans Spektroskopisi (BIS) üzerine yapılan bir çalışmanın tasarım, uygulama ve sonuçları hakkında detaylı bilgiler verilmektedir. Bu çalışmanın ana hedefleri ve raporun genel yapısı özetlenmiştir.

1.2.1. Bu bölüm, BIS'in ne olduğu ve tıpta nasıl kullanıldığına dair genel bir arka plan bilgisi sunmaktadır. Ayrıca, tipik BIS sistemlerinin bileşenleri ve uygulama alanları üzerinde durulmuştur. Yapılan klinik çalışmaların çoğunun alfa ve beta dağılım bant genişliklerini kullanma eğiliminde olduğu belirtilmiştir.

1.2.2. Tipik bir BIS sisteminin bileşenleri ve çalışma prensipleri detaylı olarak burada açıklanmaktadır. Yüksek çıkış empedanslı bir akım kaynağı, test altındaki örnek üzerindeki etkileşimleri belirlemek için kullanılır. Yüksek giriş empedanslı bir Enstrümantasyon Amplifikatörü (IA) ve farklı akım modu enstrümantasyon amplifikatörleri üzerinde durulmuştur. Ayrıca, çıkış empedansını artırmak için kullanılan Döngü İçi Yükleme CS (LL-CS) topolojisi ve bu tasarımın avantajları ele alınmıştır.

1.2.3. Bu bölümde, geliştirilen BIS sisteminin uygulama sonuçları sunulmaktadır. Çeşitli çözeltiler ve idrar numuneleri üzerinde yapılan iletkenlik ölçümleri ve elde edilen veriler ayrıntılı bir şekilde açıklanmıştır. Ayrıca, HSPICE simülasyon sonuçları da değerlendirilmiştir.

1.2.4. Tasarımın bu bölümü sonudur, elde edilen sonuçların değerlendirilmesi ve gelecek çalışma önerileri üzerine odaklanmaktadır. Bu kısımda, tasarımın güçlü yanları ve potansiyel geliştirmeler üzerinde konuşulmuştur. Bu bölümde yürütülen çalışmanın amacından ve rapor anahatlarından kısaca bahsedilmelidir.

2. Tasarım İsterleri

2.1.1. Doğrudan Dijital Sentez Sinüs Dalgası Jeneratörü (DDS-SWG) çipi olan AD9837 tarafından üretilen sinyal kullanılmaktadır. Bu sinyalin frekansları, FPGA tarafından kontrol edilerek 10k, 50k, 100k ve 250 kHz değerlerine ayarlanabilmektedir.

2.1.2. İki adet INA128 çipi kullanılmaktadır. IA_REF, V_REF'yi çıkarmak üzere kullanılırken; IA_IMP, V_IMP'yi dört noktalı prob arayüzü üzerinden çıkarmak için kullanılmaktadır. Her iki IA çipi, 120 dB CMRR, 20 MHz bant genişliği ve 1 ila 10.000 arasında ayarlanabilen bir kazançla sahiptir.

2.1.3. Diferansiyel Gerilim-Akım Taşıyıcısı (DVCC) kullanılarak tek bir enstrümantasyon amplifikatörü ile gerçekleştirilir. DVCC, yüksek giriş empedansına sahiptir ve elektrot ve elektrolit arayüzü kusurlarının etkilerini azaltır. ASIC, DDS-SWG, ADC (ADS7841-12-bit SAR) ve DVCC'nin kontrolünü sağlar.

2.1.4. Akım kaynağı, geri besleme döngüsü boyunca PMOS PR'lerin kaskod dizisi ile oluşturulur. Çıkış empedansını artırmak amacıyla İkinci Nesil Akım Taşıyıcı (CCII+) kullanılır.

2.1.5. Sistem, 1,8 V besleme ile çalıştırılacak olup, bu nedenle analog zemin 0,9 V'a kaydırılır. Bu amacı gerçekleştirmek için bir LDO kullanılmaktadır.

2.1.6. DDS-SWG: AD9837 çipi, doğrudan dijital sentez için kullanılır ve FPGA tarafından kontrol edilir. AD9837 çipi, doğrudan dijital sentez için kullanılır ve FPGA tarafından kontrol edilir.

2.1.7. Tek bir enstrümantasyon amplifikatörü kullanılır ve elektrot ve elektrolit arayüzü kusurlarının etkilerini azaltmak için DVCC formu kullanılır.

2.1.8. 1,8 V besleme için LDO kullanılır ve analog zemin 0,9 V'a kaydırılır.

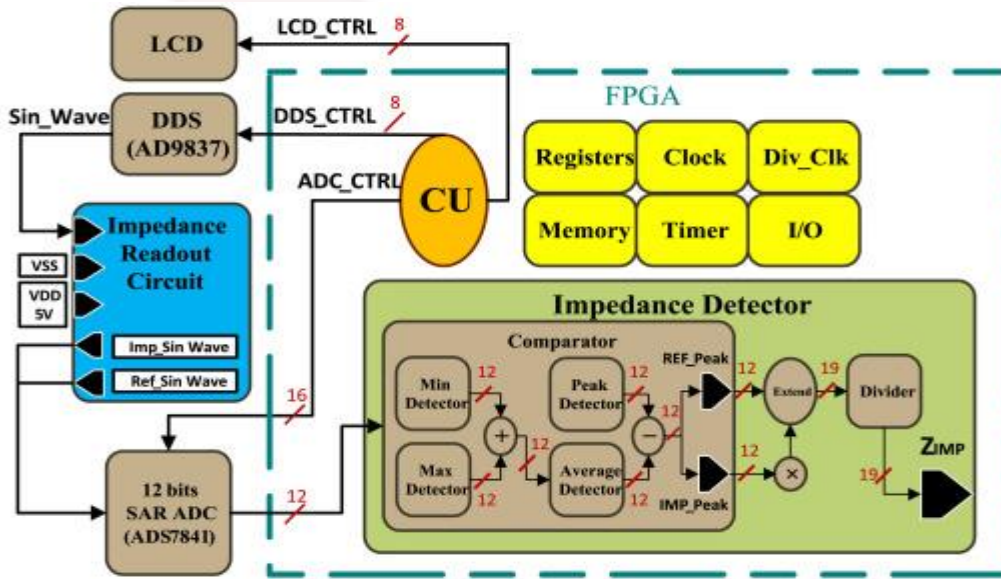
2.1.9. FPGA tabanlı bir ASIC kullanılarak, DDS-SWG ve ADC kontrol edilir, DVCC çalıştırılır ve referans/empedans sinyalleri işlenir.

2.2. Hedeflenen performans değerleri aşağıdaki tabloda belirtilmiştir.

Teknoloji	TSMC 0,18 μm 1P6M
Güç kaynağı	1,8 V
Frekans aralığı	1 MHz
Yük empedansı aralığı	10 Ω –10 k Ω
Akım çıkışı (maks)	83,3 μA ila 65,6 μA
IA diferansiyel kazancı	10 V/V (maks)
IA CMRR (@60Hz)	114,7 dB
IA girişi ortak mod aralığı	146 mV ila 1,59 V
Akım kaynağı çıkış empedansı (@50 kHz)	900k Ω
Akım kaynağı yük düzenleme katsayısı	0,877 sayfa/dakika
Çip güç dağılımı	~200 μW
Özellikler	Çip üzerinde önyargı üretici
Boş Hücre	9 Çip üzerinde diferansiyel elektrot arayüzleri
Boş Hücre	Çip üzerinde DC engelleme kapasitörleri
Çip alanı	1,2 mm×1,2 mm

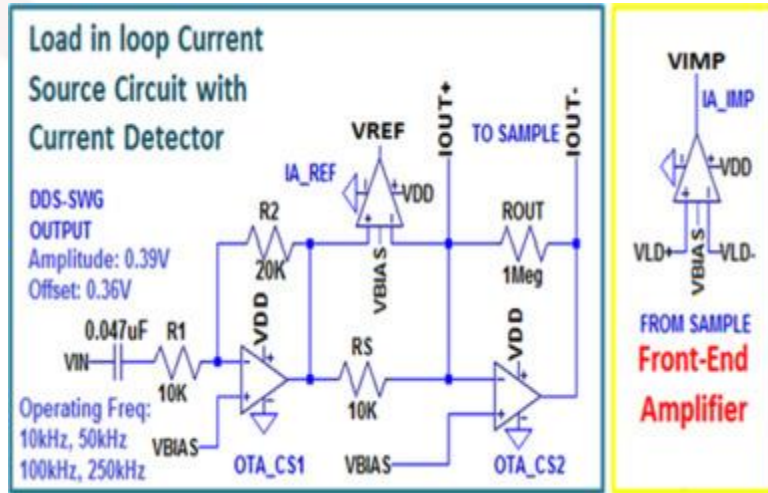
3. Tasarım Detayları

Şekil 1 (Mimarisi FPGA (Altera II Duo) üzerinde sentezlendi.)



3.1. Tasarıma ait blok diyagramı Şekil 1 (Mimarisi FPGA (Altera II Duo) üzerinde sentezlendi.) 'de verilmiştir. ASIC, DDS-SWG yongasını sürerek LL-CS devresini çalıştıran uyarım sinüs dalgası sinyallerini üretir ve ADC çipini (ADS7841-12-bit SAR) kontrol ederek V_{IMP} ve V_{REF} sinyallerini elde eder. İki sinyalin ortalamasını çıkarır, dijital çıkarma yapar, 19 bitlik bir bölücü kullanarak bölme yapar ve Denklem biri izleyerek bir sabitle ($R_S = 10\text{ k}\Omega$) çarpır. Z_{MAG} empedans büyüklüğünü elde eder ve LCD'yi kontrol eder. ASIC, DDS-SWG'ye hedef frekansı ayarlamak için 8 bitlik kontrol sinyalleri gönderir. Daha sonra saat ve senkronizasyon dahil olmak üzere ADC'ye 16 bitlik kontrol sinyalleri gönderir. Verilerin el sıkışması üzerine, 12 bitlik dönüştürülmüş dijital veriler ASIC'e aktarılır. Daha sonra bir dizi matematiksel işlem gerçekleştirir: minimum ve maksimum tespit, bu iki veri değerinin dijital olarak toplanması, ortalama tespit, hesaplanan ortalamanın dijital olarak çıkarılması ve DC ofset iptali için maksimum sinyal ve tepe sinyal çıkarımı. Bu dijital hesaplama adımları hem referans hem de yük empedans sinyalleri için yapılır. Referans ve empedans sinyalleri için saklanan değerler, dijital çarpma ve dijital bölmenin ardından 19 bit'e genişletilir. SUT'un hesaplanan bilinmeyen empedansı 19 bitlik dijital kelime olarak saklanır ve Altera Duo II FPGA üzerinde sentezlenen ASIC mimarisi yine **Şekil 1 (Mimarisi FPGA (Altera II Duo) üzerinde sentezlendi.)**'de gösterilmektedir.

Şekil 2 (BIS-AFE'nin yerleşik uygulaması.)



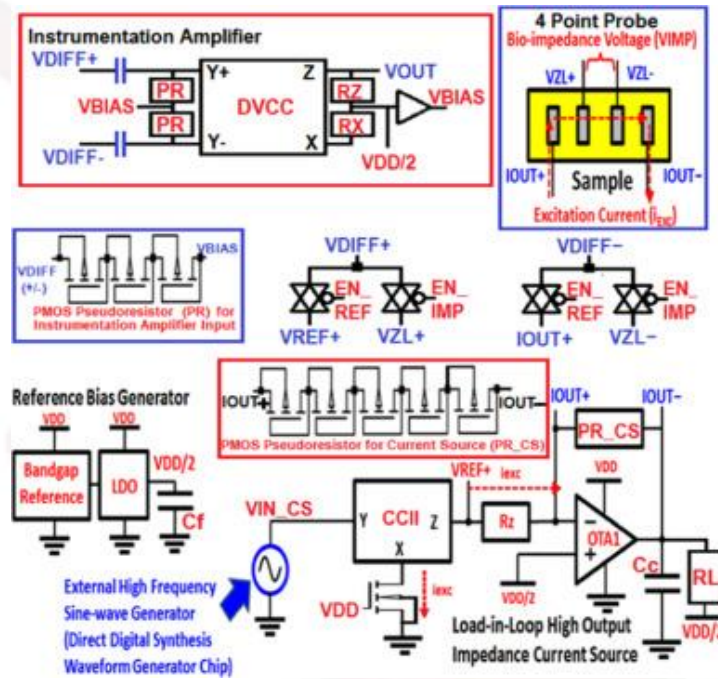
3.2. IS-AFE (izole Stimülasyon Analog Ön Uç) yerleşik uygulamasının işlevsel blok diyagramı, Şekil 2 (BIS-AFE'nin yerleşik uygulaması.)'de gösterilmiştir. Giriş sinyali, AD9837 çipi tarafından üretilen Doğrudan Dijital Sentez Sinüs Dalgası Jeneratörü (DDS-SWG) çipinden gelir. Bu çip, 10k, 50k, 100k ve 250 kHz frekanslarını üretmek için FPGA tarafından kontrol edilir. DDS-SWG'nin çıkışı, bir yüksek geçiş filtresine ve bir kazanç aşamasına (OTA_CS1) bağlanarak DC ofsetini kaldırmak ve x2 amplifikasyonu sağlamak üzere işlenir. Daha sonra, bu işlenmiş sinyal, büyük bir direnç geri beslemesine (1 MΩ) sahip bir ters çevirici amplifikatör (OTA_CS2) tarafından oluşturulan LL-CS'ye yönlendirilir. Çıkış uyarma akımı, amplifikatörün geri besleme döngüsünden I OUT + ve I OUT – aracılığıyla çıkarılır.

Bu amplifikasyon ve işleme süreçleri için AD4891 çipi kullanılmıştır. Bu çip, yüksek hızlı bir CMOS ray-ray çipidir ve 170 V/ μ S dönüş hızına, 220 MHz'lik -3 dB bant genişliğine ve 25 MHz'e kadar 0,1 dB kazanç düzlüğüne sahiptir.

3.3. Çip üzerindeki BIS-AFE'nin blok diyagramı, Şekil 3 (BIS-AFE Çip Üzerinde Uygulama) Şekil 3 (BIS-AFE Çip Üzerinde Uygulama)'de görülmektedir. Bu sistem, tasarımı BIS platformuna doğru bir adım olarak yapılan bir SoC (Sistem üzerinde) devresidir. Devrede, elektrot ve elektrolit arayüzü kusurlarını azaltmak amacıyla tek bir enstrümantasyon amplifikatörü olarak Diferansiyel Gerilim-Akım Taşıyıcısı (DVCC) kullanılmıştır. Bu amplifikatör, iletim kapısı anahtarlarıyla kontrol edilir. EN_REF sinyali DVCC'nin girişlerini RZ üzerinden bağlarken, EN_IMP sinyali bunları dört noktalı prob konfigürasyonu üzerinden test altındaki numuneye (SUT) bağlar. Bu düzenleme, yarı hücre potansiyelleri, elektrot-elektrolit polarizasyonu ve elektrot bozulması gibi faktörleri etkili bir şekilde minimize eder.

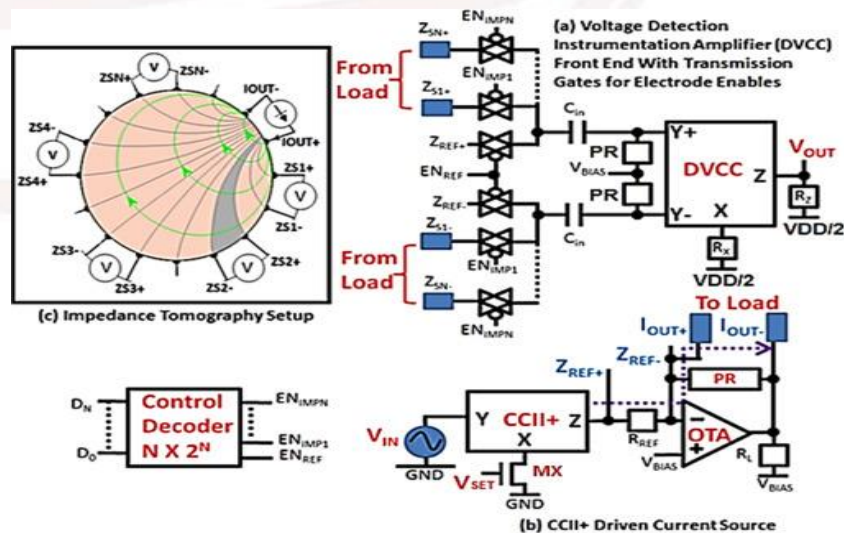
Dijital ASIC, programlanabilir anahtarlar kullanılarak empedans veya referans sinyallerinin genliğini ve ortalamalarını elde etmek üzere tasarlanmıştır. Bu tasarım, yanlış okumaları veya anahtarlama gürültüsünü önlemek için optimize edilmiştir.

Şekil 3 (BIS-AFE Çip Üzerinde Uygulama)



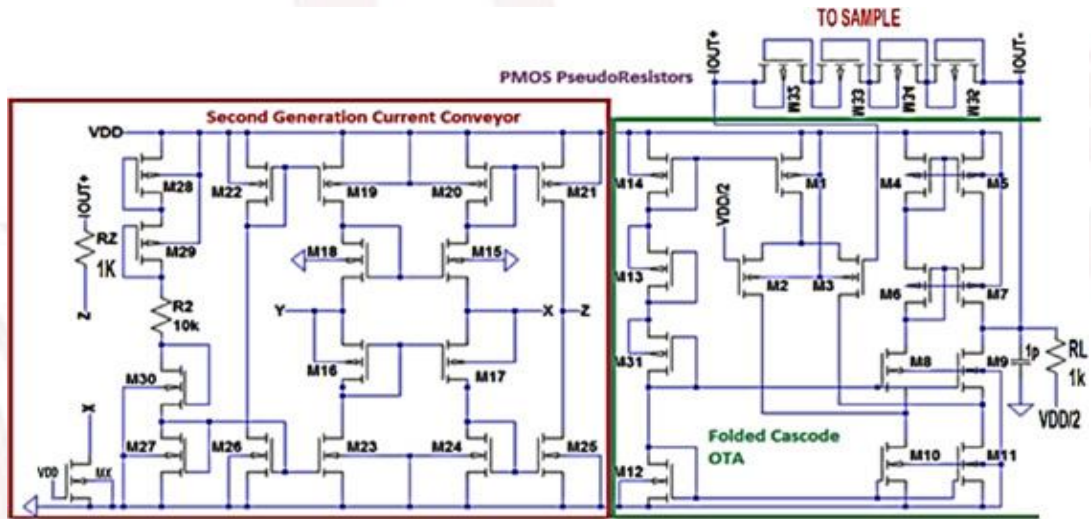
3.4. Tek besleme işlemi için DVCC'nin girişini doğru şekilde öngerilimlendirmek üzere kodlu PMOS sahte direnç (PR) kullanıldı. Bu PR'ler, Giga ila Tera-Ohm aralığında bir kanal direncine ulaşabilen özel bir diyot bağlantılı PMOS ile oluşturuldu. DVCC'nin giriş empedansını ağır bir şekilde etkilemeden analog zemini sağlayan bu kullanım, her PR'ün yüksek dirençli bir filtre oluşturarak DC ofsetini ortadan kaldırmasını sağlar. Akım kaynağı, geri besleme döngüsü boyunca PMOS PR'lerin kaskod dizisi olan bir LL-CS yapısı kullanılarak oluşturulur. İkinci Nesil Akım Taşıyıcı (CCII+), özellikle yüksek frekanslarda genel çıkış empedansına ek bir empedans sağlamak için LL-CS'yi çalıştırır. Çıkış akımı seviyesi, CCII'nin X terminalindeki NMOS alıcı transistörü aracılığıyla kontrol edilebilir. Düşük Düşüş Regülatörü (LDO) kullanılarak öngerilim gerilimleri sağlanır. BIS-AFE, BIS tomografi uygulamalarına uyacak şekilde genişletilebilir ve elektrot yerleştirmesi için bir dizi iletim kapısı kullanır. **Şekil 4 (BIS tomografisi için BIS-AFE)**

Şekil 4 (BIS tomografisi için BIS-AFE)



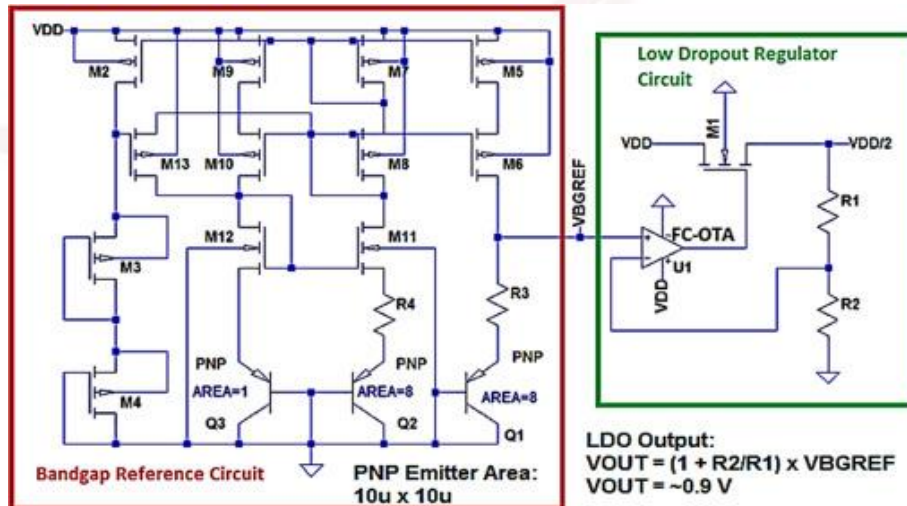
3.5. LL-CS, CCII, direnç RZ, NMOS MX, Katlanmış Kaskod OTA (FC-OTA), ve FC'deki PMOS Sahte Direnci (PR) tarafından oluşturulur. OTA'nın geri bildirimi, LL-CS'yi oluşturan temel bileşenler arasında yer alır. LL-CS, CCII tarafından yönlendirilen yüksek kazançlı ve geniş salınımlı bir OTA'dan (OTA1) oluşur. CCII, çıkış empedansı LL-CS'nin etkin çıkış empedansına katkıda bulunan bir Norton akım kaynağı gibi davranır. RF'nin artırılması ve ZZ eklenmesiyle Z_OUT'un iyileştirilebileceği görülebilir. LL-CS, CCII'nin yardımıyla çok yüksek frekanslarda (>500 kHz) bile yüksek çıkış empedansını koruyabilir. Z_OUT'u etkileyen diğer faktör OTA'nın geri besleme empedansıdır. Uyarma akımının numune üzerine tamamen iletilmesi ve CS tarafından dağıtılmaması için yüksek bir değer gereklidir. Teknolojide mevcut olan çip üstü dirençlerin kullanılması, özellikle mikron altı ve derin mikron altı teknolojilerde, nispeten küçük tabaka dirençleri nedeniyle, yerleşim açısından alan açısından verimli değildir. Büyük Rf değerini sağlamak için PMOS PR kullanılmıştır. PR, drenaj akımı piko ila nano amper aralığında olan diyot bağlantılı bir eşik altı PMOS tarafından oluşturulur. LL-CS devresinin tamamı **Şekil 5 (LL-CS CMOS Uygulaması)**'de gösterilmektedir.

Şekil 5 (LL-CS CMOS Uygulaması)



3.6. BIS sistemi tek bir 1,8 V beslemeyle çalıştırılacağından , maksimum sinyal salınımlına ulaşmak ve diferansiyel çift transistörlerin kapanmasını önlemek için analog zeminin 0,9 V'a kaydırılması gerekir.

Şekil 6



4. Takım Organizasyonu ve İş Planı

Batuhan Öztürk	Takım Kaptanı	Konya Teknik Üniversitesi	Elektrik-Elektronik Mühendisliği	Çip Mimarisi, Devre Konsept Tasarımı, Projenin Ana temel hatlarının tasarımı, Simülasyon ve Modelleme, Bileşen Seçimi, Devre Dizaynı ve Optimizasyon, Entegrasyon ve PCB Tasarımı. 4 Hafta
Emir Kasım	Takım Üyesi	Konya Teknik Üniversitesi	Endüstri Mühendisliği	Tasarım Programlarının Araştırmaları 4 Hafta
Sena Özrakçı	Takım Üyesi	Konya Teknik Üniversitesi	Endüstri Mühendisliği	İletişim Sorumlusu, Kaynakça Temini, Gereksinim Analizi 4 Hafta

5. Kaynakça ve Ekler

- <https://www.sciencedirect.com/science/article/pii/S0026269216304013>
- <https://ieeexplore.ieee.org/abstract/document/7344934>
- https://www.researchgate.net/publication/308017297_Design_of_a_multi-frequency_Bio-Impedance_Spectroscopy_system_Analog_Front-End_and_Digital_Back-End_with_system_on-chip_implementation
- <https://www.semanticscholar.org/paper/Design-of-a-multi-frequency-bio-impedance-system-Chung-Silverio/d50684d4d74042931aa6aa9325dfd75f2370a997>
- <https://dl.acm.org/doi/10.1016/j.mejo.2016.08.011>
- <https://www.semanticscholar.org/paper/A-wideband-current-source-for-System-on-Chip-using-Chung-Silverio/5d3229c6897ff1ae3118211187bbdc854490930e>
- <https://kth.diva-portal.org/smash/get/diva2:1808274/FULLTEXT01.pdf>
- <https://www.analog.com/en/solutions/healthcare/vitalsignsmeasurements/bodycomphydration-bio-impedance-analysis.html>