Video In to Axi Stream Out Video Capture Çekirdeğinin Doğrulanması

Ahmet Haydar ERDEM  
Elektronik ve Haberleşme Mühendisliği

Kocaeli Üniversitesi

Kocaeli, Türkiye  
205103040@kocaeli.edu.tr

***Abstract*—Bu çalışmada FPGA üzerinde tasarlanan video capture çekirdeğinin M-AXI-Stream arayüzünün doğrulaması gerçekleştirilmiştir.**

***Anahtar Kelimeler—Doğrulama, frame, capture,*** AXIS, DUT

* Giriş

Günümüzde görüntüleme sistemlerinin kullanımı endüstri, savunma, otomotiv gibi birçok alanda artış göstermektedir. Bunun yanında görüntüleme sistemlerinin doğruluk kriterlerini ve sektörel isterleri karşılayabilmesi için düşük gecikmeli ve yüksek miktarda veri alışverişini sağlayabilen platformlarda kullanılması beklenmektedir. Dolayısıyla şuan için en uygun platformların fpga yapıları olduğu söylenebilir. Bu çalışmada standart paralel video data çıkışlı bir görüntüleme sisteminden elde edilen işlenmemiş video verisinin aktif bölgesini elde ederek Axi-Stream arayüzünden bu bilgileri istenilen formatta gönderebilen çekirdeğin doğrulanması işlemi gerçekleştirilmiştir. Bu sayede aynı çıkış formatına sahip farklı görüntüleme sistemleri için ekstra tasarım yapılmasının önüne geçilmesi ve zaman kazanımı hedeflenmiştir.

* Genel Bakış
* *Axi-Stream Protokolü*

AXI4-Stream protokolü, tipik olarak bir adres kavramının mevcut olmadığı veya gerekli olmadığı, veri akışına odaklanan uygulamalar için kullanılır. Kullanılan sinyal yapısına göre AXIS arayüzündeki sinyallerin sayısı değişebilmekte ve kullanım için özelleştirilebilmektedir. Bu çalışmada video sinyal kaynağına sahip yapılar kullanıldığı için protokolün video sinyalleri için özelleştirilmiş sinyallerinden bahsedilmektedir. [1]

* axis\_tlast sinyali : Videonun aktif bölgesinde her satır sonunda "1" durumunda, geri kalan bölgelerde "0" durumunda olan kontrol sinyalidir. Bu sinyal bilgisi kullanılarak videonun satır uzunluğu hakkında bilgi elde edilebilir.
* axis\_tuser sinyali : Videonun aktif bölgesinde frame'in ilk piksel bilgisini elde eden kontrol sinyalidir. Bu sinyal bilgisi kullanılarak frame'in doğru piksel değerinden itibaren elde edilip edilmediği bilgisine varılır.
* axis\_tvalid sinyali : Videonun aktif bölgede olma durumunu kontrol eden sinyaldir. Aktif bölgede "1", geri kalan durumlarda "0" durumundadır. Satır uzunluğu boyunca aktif durumda olması sebebiyle çözünürlük bilgisi elde edilebilir. Aynı zamanda arayüzün data çıkışına başlamasını da belirtir.
* axis\_tdata sinyali : Videonun aktif bölgesine denk gelen video datasını çıkış olarak veren sinyaldir. tvalid ve tready sinyalleriyle anlaşmalı şekilde çalışmalıdır. Ready sinyalinden gelen hazır olma durumu sonrasında çekirdek tvalid sinyaliyle birlikte data çıkışına başlar.
* axis\_tready sinyali : Çekirdeğe gönderilen hazır olma bilgisini içeren kontrol sinyalidir. Protokolün master veya slave olma durumuna göre yönü değişmekle birlikte bu çalışmada dışarıdan tetiklenen bu sinyal daima hazır durumda tutulmaktadır.
* *Test Ortamı*

Test ortamı için oluşturulan mimari iki temel modülden oluşmaktadır. Bu modüllerden biri çekirdek modülünü kapsayan DUT(Device Under Test) modülüdür. Diğer modül ise DUT portlarını kontrol eden ve tüm test prosedürlerinin çalıştığı TEST modülüdür.

Genel tanımlamaları ve global sinyalleri belirtmek adına package yapısı test ortamına eklenmiştir.

DUT ve TEST modülleri arasındaki bağlantıları tanımlamak için interface yapısı eklenmiştir.

Genel test mimarisinin yapısı şekilde gösterilmektedir.



Fig. 1. Test Ortamı Mimarisi

* *Class Yapıları*

Test mimarisine üç tane class yapısı eklenmiştir. Bu classların içerisinde gerekli doğrulama işlenmlerini gerçekleştiren fonksiyonlar ve tasklar bulunmaktadır.

* *Frame\_gen Class*

Bu class yapısının içerinde frame öncesi ilgili sinyallerin başlangıç değerlerinin atamasını yapan init\_signals() fonksiyonu bulunmaktadır.

random\_frame\_data() fonksiyonu ile iki boyutlu statik bir diziye video porch değerleri dahil olmak üzere random değerler verilmiştir.

run() taskı ile time gecikmeleri kullanılarak frame video bilgileri oluşturulup port interface üzerinden DUT modülüne gönderilmiştir. Gönderilen frame yapısı şekildeki gibidir.



Fig. 2. Frame Yapısı [2]

* *Axis\_test Class*

Bu class yapısının içerisinde axi stream protokolünde bulunan kontrol ve data sinyallerinin doğrulama ve test işlemleri gerçekleştirilmiştir. Bu class'ta bulunana fonksiyonlarla ilgili ayrıntılı bilgilendirme 'Doğrulama Aşamaları' bölümünde verilecektir.

* *Error\_test Class*

Bu class'ta Axis\_test içerisinde gerçekleştirilen doğrulama işlemlerinden sonra elde edilen hata sinyalleri kontrol edilerek bilgilendirme veya hata mesajları monitöre basılmaktadır.

* Doğrulama Aşamaları

AXI Stream protokolünün test edilmesi için paralel bir doğrulama yapısı kullanılmıştır. Bunun sebebi sinyaller arasında bağımlılığın olmamasıdır. Bu sayede tüm sinyaller kendi doğrulama kurallarına göre teste sokulmaktadır. Mimaride bu yapıyı oluşturmak için "always @ posedge\_pclk" bloğu altında pclk sinyalinin her çıkan kenarında tüm sinyallerin doğrulama fonksiyonları çağırılmaktadır. Dolayısıyla Frame\_gen classında üretilen video datası gönderilirken her piksel gönderim zamanında doğrulama fonksiyonları çalıştırılmaktadır.

Sonraki aşamada çağırılan fonksiyonların hangi kurallara göre sinyalleri doğruladığı incelenmelidir. Bu çalışmada sinyallerin doğrulanması için aşağıda beliritilen durumlar incelenmiştir.

* tuser sinyali frame'in ilk piksel bilgisini vermektedir. Dolayısıyla sinyalin '1' olması durumunda pclk cinsinden süresi ve aktif bölgede hangi satır süresinde bu bilginin geldiği kontrol edilmektedir.
* tlast sinyali frame'in her satırındaki son piksel bilgisini vermektedir. Dolayısıyla frame boyunca sinyalin aktif olma durmunun sayısı ve ardışık tlast sinyalleri arasındaki pclk cinsinden süresi kontrol edilmiştir
* tvalid sinyali aktif video bilgisini vermektedir. Dolayısıyla çözünürlük bilgisi kullanılarak tvalid sinyalinin '1' duırumundaki pclk cinsinden süresi ve her satır sonunda hesaplanan başarılı tvalid sinyali sayısı kontrol edilmektedir. Bu test sayesinde herhangi bir satırda meydana gelebilecek çözünürlük bilgisinden farklı süredeki tvalid sinyali yakalanabilecektir.
* tdata sinyali aktif video data bilgisini vermektedir. Bu sinyalin testi için bellekli bir yapı gerekmektedir. DUT modülünde bulunan çekirdekteki kodlamanın yapısı bilinmediği için çıkış sinyallerinin gecikmeli bir şekilde verilebileceği durumlar da test edilmelidir. Bu sebeple giriş ve çıkışta bulunan data ve valid sinyalleri kendi aralarında senkron çalışacak şekilde test bufferlarına aktarılarak test edilmektedir.



Fig. 3. Video Comparator Yapısı

* Test Çıktıları

Bu test ortamında doğrulama bilgileri Error\_test classında bulunan fonksiyonlardan basılmaktadır. Doğrulama fonksiyonlarından elde edilen hata kontrol sinyalleri package yapısında bulunan genel tanımlamalarla karşılatırılarak anlamlandırılmaktadır. Daha sonra gerekli mesajlar kullanıcı için monitöre basılmaktadır.

Bu aşamada elde edilen bazı çıktılar aşağıdaki şekillerde gösterilmektedir.



Fig. 4. Video Comparator Mesaj Örneği



Fig. 5. Tvalid Sinyalinin Mesaj Örneği

* Sonuç

Bu çalışmada standart bir arayüz olan paralel video girişine ve AXI-Stream arayüzlü çıkışa sahip çekirdeklerin doğrulanması için gerekli test ortamı oluşturulmuştur. Olası durumlar incelenmiş ve bunlara göre test fonksiyonları oluşturulmuştur. Bu sayede tasarım aşamasında meydana gelebilecek hataların daha hızlı farkedilmesi ve doğrudan tasarım sürecinin hızlandırılması beklenmektedir.

References

1. AXI Referance Guide, UG761(v13.1), March 7, 2011
2. <https://projectf.io/posts/video-timings-vga-720p-1080p/>