

非加寬與其連接的匯流排。因此，傳送每個字組的延遲仍是必須的，但可以避免多次的存取延遲。

- 主記憶體晶片可以用儲存槽(bank)的方式來組織而成，使得每次在一存取時間能夠讀取或寫入多個字組。每一記憶體bank有一字組寬，所以匯流排與快取的寬度不需改變，但是送出位址到各個bank能夠同時讀取所需的資料。此設計稱為交錯(interleaving)。

### 練習

1-word-wide

假設一個快取區塊大小為 4 個字組及寬度為一個字組的 DRAM，以下假設一組記憶體存取時間：

- 送出位址需要 1 個時脈週期 *1 bus cycle for address transfer*
- 起始每個 DRAM 存取的時間為 15 個時脈週期 *15 bus cycle per DRAM access*
- 送出一字組資料時間為 1 個時脈週期 *1 bus cycle per data transfer*

分別以上述三種記憶體系統設計，計算由記憶傳送一個區塊至快取記憶體所需要時間。

### Answer

DRAM access

bus

address transfer

(1) One-word-wide memory organization:

$$1 + 4 \times 15 + 4 \times 1 = 65 \text{ clock cycles}$$

(2) Wide memory organization (two-word):

$$1 + 2 \times 15 + 2 \times 1 = 33 \text{ clock cycle.}$$

(3) Interleaved memory organization (four banks):

$$1 + 1 \times 15 + 4 \times 1 = 20 \text{ clock cycles.}$$

address transfer + DRAM access + data transfer (bus)

每當有 conflict 時就把原本 bank

裡的東西送出去 再放現在要放的東西到 bank 裡。

## 練習

Assume a memory system that supports interleaving either four reads or four writes. Given the following memory addresses in order as they appear on the memory bus: 3, 9, 17, 2, 51, 37, 13, 4, 8, 41, 67, 10, which ones will result in a bank conflict?

### Answer

A bank conflict causes the memory system to stall until the busy bank has completed the prior operation.

Reference	Bank	Bank Conflict	$B_0$	$B_1$	$B_2$	$B_3$
3	3	No				3
9	1	No	9			3
17	1	Yes (with 9)	17			(先把 9 送出去, 再放 17)
2	2	No	17	2		
51	3	No	17	2	51	
37	1	Yes (with 17)	37			
13	1	Yes (with 37)				13
4	0	No	4	13		
8	0	Yes (with 4)	8			
41	1	No	8	41		
67	3	No	8	41		3
10	2	No	8	41	2	3

### ● 提昇記憶體結構支援快取

- 一種提升從記憶體傳資料到快取速度的方法, 是利用 DRAM 在結構上的優勢。DRAM 在邏輯上是組織成矩形陣列, 存取時間分成列存取(row access)與行存取(column access)。DRAM 將一系列中的所有位元暫存在 DRAM 內