

# 中国科学院大学

## 《计算机体系结构基础(研讨课)》实验报告

姓名 艾华春,李霄宇,王敬华

学号 2022K8009916011,2022K8009929029,2022K8009925009

实验项目编号 5 实验名称 AXI 总线接口设计

### 一、 逻辑电路结构与仿真波形的截图及说明

- 添加系统调用异常支持、指令和中断处理。

### 二、 实验过程中遇到的问题、对问题的思考过程及解决方法(比如 RTL 代码中出现的逻辑 bug,逻辑仿真和 FPGA 调试过程中的难点等)

- wb 流水级的 flush 有效信号只持续一个 clk。

在清空流水线的设计时,将 wb 流水级在发出 flush 信号时的下一个 clk 时,也要将 wb\_valid 置为 0,避免重复清空流水线。

使得如果 IF 流水级的 allowin 由于读后写数据相关等原因 0 时,不能及时把 pre\_pc = wb\_csr\_rvalue 发送给 inst\_sram,而随着下一个 clk 的 wb\_valid 拉低,使从 wb 传到 if 的 wb\_csr\_rvalue 信号也失效。

在这种情况下,不能正确地进行跳转到异常处理地址。

在分析波形图后,确定上述 bug 后,为 if\_allowin 添加上规则,使得接收到清空流水线时,立马将 allowin 拉高,在当前 clk 发送出 pc

```
assign if_allowin = ~if_valid // valid是reg类型,接受flush后最快下一个clk才能拉低
                  | if_ready_go & id_allowin // id_allowin可能由于读后写阻塞,拉低
                  | flush; // 添加上规则,立马将allowin拉高,在当前clk发送出pc
```

- 指令译码定义太宽泛导致异常判断出错。

### 三、 小组成员分工合作情况

王敬华负责 exp13 的中断处理和整体的 debug 工作

李霄宇负责 exp13 的异常处理和计时器指令的实现

艾华春负责 exp12:添加系统调用异常支持

实验报告为根据每人负责代码的部分,写相应部分的报告。