

# Отчет по домашнему заданию №1

Курс: «Введение в архитектуру вычислительных систем»

## 1. ФИО

Манро Эйден Форбс (manro.e@phystech.edu)

## 2. Номер группы

Б01-307

## 3. Название схемы

D Flip-Flop (D-триггер)

## 5. Назначение схемы

D Flip-Flop — синхронный триггер, сохраняющий состояние входа D на выходе Q при каждом положительном фронте сигнала CLK. Выход !Q является инверсией Q.

### Входы:

- D (данные),
- CLK (тактирующий сигнал).

### Выходы:

- Q (сохраненное значение),
- !Q (инвертированный Q).

### Принцип работы:

- При переходе CLK из 0 в 1 значение D передается на Q.
- В остальное время Q сохраняет предыдущее состояние.

## 6. Скриншоты схемы

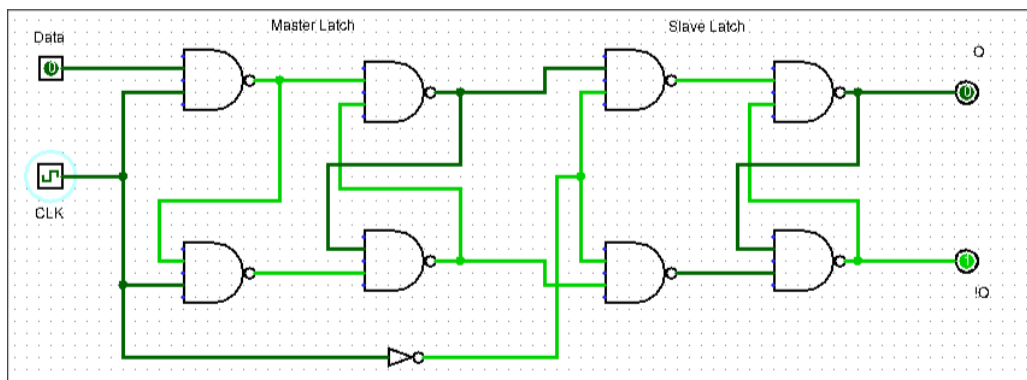


Рис. 1: Состояние 1: CLK=0, D=0 → Q сохраняет предыдущее значение.

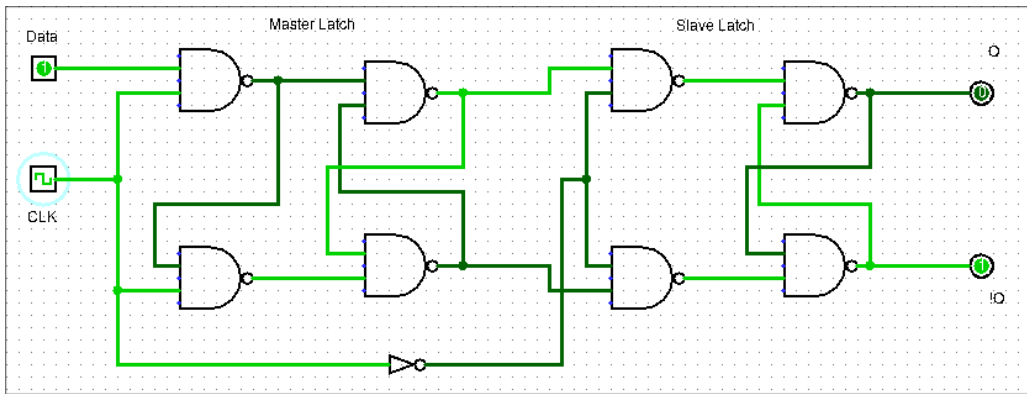


Рис. 2: Состояние 2: CLK=1, D=1  $\rightarrow$  Q=0, CLK сработал раньше, чем D.

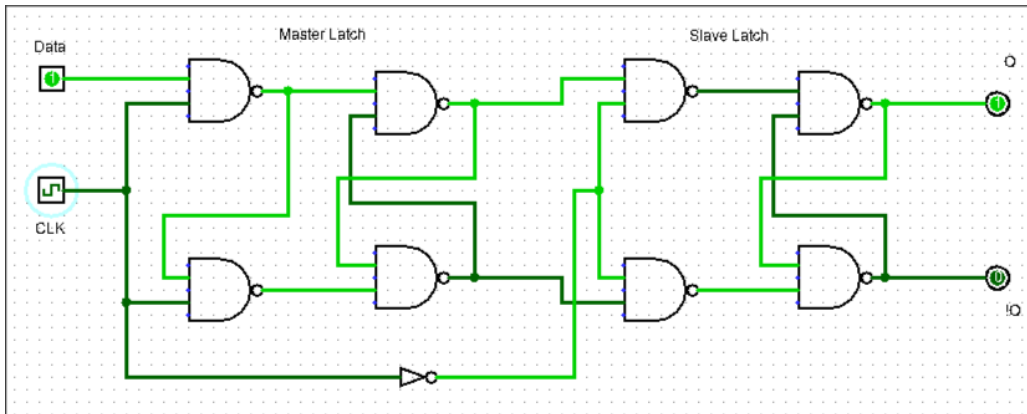


Рис. 3: Состояние 3: CLK=0, D=1  $\rightarrow$  Q=1, CLK сбросился, упс.

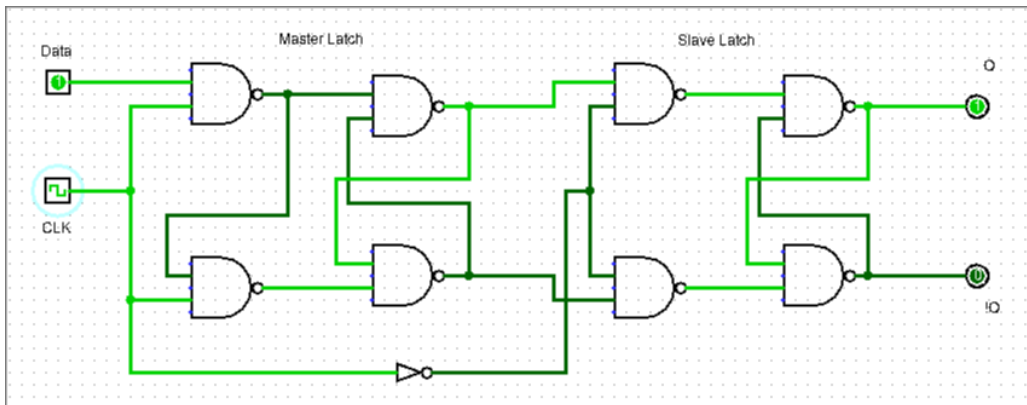


Рис. 4: Состояние 4: Все входы в 1  $\rightarrow$  Q=1.

## 7. Подсчет транзисторов

Схема D Flip-Flop на основе NAND-элементов и 1 инвертора:

- Каждый NAND: 4 транзистора.
- Всего NAND-элементов: 8.
- Инвертор: 2 транзистора (р и n тип).

**Итого:**  $8 \times 4 + 2 = 32$  транзистора.

## 8. Критический путь

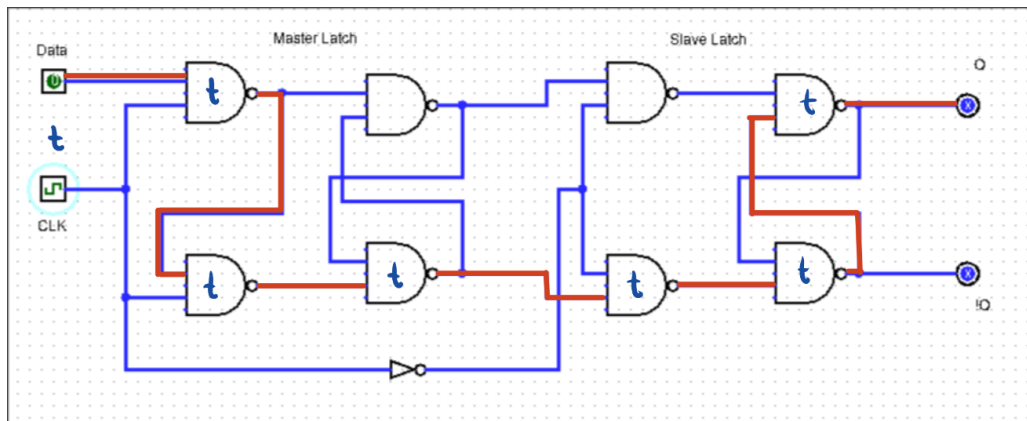


Рис. 5: Красной линией выделен путь:  $D \rightarrow$  внутренние элементы  $\rightarrow Q$ . Задержка определяется комбинацией вентиляей.

$$t_{crit\_path} = 3t (Master\ Latch) + t (CLK) + 3t (Slave\ Latch) = 7t$$

## 9. Приложенный файл

Файл схемы: flipflop.circ