**

Str. Polithenicii 1

500024 – Brașov

tel.: (+40) 268.474.718 | fax: (+40) 268.474.718

f-iesc@unitbv.ro | www.unitbv.ro/fiesc

|  |  |
| --- | --- |
|  |  |

# Limbaje de descriere hardware

# Indrumator: Ababei Liviu

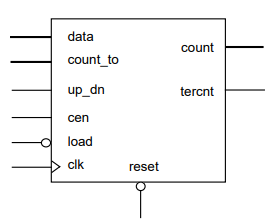
# Student: Ailenei Ioana

Grupa: 4LF791A

Program de studii: Calculatoare

2021 – 2022

**Up/Down Binary Counter with Dynamic Count-to Flag**

**Specificatii**

* Lungimea cuvantului parametrizabila
* Indicator de terminare numarare
* Valoare pana la care numaram
* Control crescator/descrescator
* Reset asincron
* Load sincron
* Enable sincron

**Descriere**

DW03\_bictr\_dcnto este un numarator crescator/descrescator de uz general cu logica dinamica de numarare “pana la”.

Cand valoarea **count** este egala cu valoarea pinului **count\_to**, semnalul **tercnt** (terminarea numararii) este setat in stare HIGH. **tercnt** poatefi conectat la **load** prin inversare pentru a reseta numaratorul la o valoarea predefinita prin pinul de intrare **data.**

Numaratorul functioneaza pe frontal pozitiv al semnalului de ceas, **clk** si are **2width** stari de la “000…0” la “111…1”.

**reset**, activ in LOW, prevede resetarea numaratorui la “000…0”.

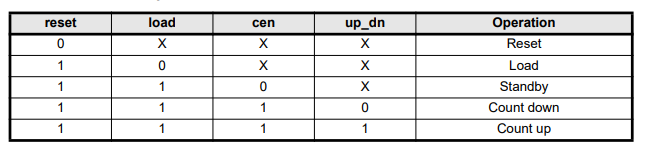
**count\_to** este bus de intrare (de la 0 la width-1). Cand iesirea numaratorui, **count** este egala cu intrarea **count\_to, tercnt** intra in starea HIGH pentru un tact de ceas.

Intrarea **up/down** controleaza daca numaratorul este crescator (**up/down** HIGH) sau descrescator(**up/down** LOW), incepand cu urmatorul front pozitiv al ceasului.

Pinul de “enable”, **cen**, este active in HIGH. Cand **cen** este HIGH, numaratorul este activ. Cand **cen** este LOW, numaratorul nu este active, iar **count** isi pastreaza valoarea.

**Descrierea pinilor**

|  |  |  |
| --- | --- | --- |
| *Nume pin* | *Marime* | *Tip* |
| **data** | Width | input |
| **count\_to** | Width | input |
| **up\_dn** | 1 | input |
| **lLoad** | 1 | input |
| **cen** | 1 | input |
| **clk** | 1 | input |
| **reset** | 1 | input |
| **count** | width | output |
| **tercnt** | 1 | output |

**Tabelul de adevar**

**Cerințe**

1. Descrierea Verilog a unui modul care modelează comportamental circuitul.

*//---------------------------------------------------------------------------------------*

*// Universitatea Transilvania din Brasov*

*// Proiect : Limbaje de descriere hardware*

*// Autor : Ailenei Ioana*

*// Data : Martie 28, 2022*

*//---------------------------------------------------------------------------------------*

*// Descriere : Up/Down Binary Counter with Dynamic Count-to Flag*

*//--------------------------------------------------------------------------------------*

*module DW03\_bictr\_dcnto(*

*clk ,*

*reset ,*

*load ,*

*cen ,*

*up\_dn ,*

*data ,*

*count\_to,*

*tercnt ,*

*count*

*);*

*parameter WIDTH = 'd4 ; // numar de biti ai numaratorului*

*input clk ; // semnal de ceas*

*input reset ; // semnal de reset asincron*

*input load ; // comanda presetare*

*input cen ; // comanda de numarare*

*input up\_dn ; // crescator/descrescator*

*input [WIDTH-1 : 0] data ; // data presetare*

*input [WIDTH-1 : 0] count\_to; // valoare pana la care numaram*

*output tercnt ; // terminare numarare*

*output reg [WIDTH-1 : 0] count ; // iesire numarator*

*always @(posedge(clk) or negedge(reset)) begin*

*if(~reset ) count <= 1'b0; else // resetare asincrona*

*if(~load) count <= data; else begin // presetare*

*if(cen & up\_dn ) count <= count + 1'b1; else // numarare crescatoare*

*if(cen & ~up\_dn ) count <= count - 1'b1; // numarare descrescatoare*

*end*

*end*

*assign tercnt = (count==count\_to); // indicator terminare numarare*

*endmodule //module DW03\_bictr\_dcnto*

1. Descrierea Verilog a unui modul care generează un set de vectori de test pentru circuit (test-bench).

*//---------------------------------------------------------------------------------------*

*// Universitatea Transilvania din Brasov*

*// Proiect : Limbaje de descriere hardware*

*// Autor : Ailenei Ioana*

*// Data : Martie 28, 2022*

*//---------------------------------------------------------------------------------------*

*// Descriere : Generator de stimuli pentru numarator*

*//---------------------------------------------------------------------------------------*

*module DW03\_bictr\_dcnto\_tb #(*

*parameter WIDTH = 'd4 // numar de biti ai numaratorului*

*)(*

*input clk , // semnal de ceas*

*output reset , // semnal de reset asincron*

*output reg load , // comanda presetare*

*output reg cen , // comanda de numarare*

*output reg up\_dn , // crescator/descescator*

*output reg [WIDTH-1 : 0] data , // data presetare*

*output reg [WIDTH-1 : 0] count\_to*

*);*

*initial begin*

*load <= 1'b1;*

*data <= {WIDTH{1'bx}};*

*count\_to <= {WIDTH{1'bx}};*

*up\_dn <= 1'b1;*

*cen <= 1'b0;*

*load <= 1'b1;*

*data <= {WIDTH{1'bx}};*

*count\_to <= {WIDTH{1'bx}};*

*up\_dn <= 1'b1;*

*cen <= 1'b0;*

*#15;*

*load <= 1'b0;*

*up\_dn <= 1'b1;*

*cen <= 1'b0;*

*data <= 'd0;*

*count\_to <= 'd4;*

*#25;*

*load <= 1'b1;*

*up\_dn <= 1'b1;*

*cen <= 1'b0;*

*data <= 'd0;*

*count\_to <= 'd4;*

*#25;*

*load <= 1'b1;*

*up\_dn <= 1'b1;*

*cen <= 1'b1;*

*data <= 'd0;*

*count\_to <= 'd4;*

*#225;*

*load <= 1'b1;*

*up\_dn <= 1'b0;*

*cen <= 1'b1;*

*data <= 'd0;*

*count\_to <= 'd4;*

*#100;*

*$stop;*

*end*

*endmodule*

*//---------------------------------------------------------------------------------------*

*// Universitatea Transilvania din Brasov*

*// Proiect : Limbaje de descriere hardware*

*// Autor : Ailenei Ioana*

*// Data : Martie 28, 2022*

*//---------------------------------------------------------------------------------------*

*// Descriere : Generator semnale clock si reset*

*//---------------------------------------------------------------------------------------*

*module ck\_rst\_tb (*

*output reg clk ,*

*output reg reset*

*);*

*initial begin*

*clk = 1'b0;*

*forever #5 clk = ~clk;*

*end*

*initial begin*

*reset <= 1'b1;*

*@(posedge clk);*

*reset <= 1'b0;*

*@(posedge clk);*

*reset <= 1'b1;*

*@(posedge clk);*

*end*

*endmodule*

1. Descrierea Verilog a unui mediu de simulare (test) în care se vor instanția două componente:
   * una corespunzătoare circuitului testat (DUT) și
   * una corespunzătoare generatorului de vectori de test.

*//---------------------------------------------------------------------------------------*

*// Universitatea Transilvania din Brasov*

*// Proiect : Limbaje de descriere hardware*

*// Autor : Ailenei Ioana*

*// Data : Martie 28, 2022*

*//---------------------------------------------------------------------------------------*

*// Descriere : Test pentru numarator*

*//---------------------------------------------------------------------------------------*

*module DW03\_bictr\_dcnto\_test;*

*parameter WIDTH = 'd4;*

*wire clk ;*

*wire reset ;*

*wire load ;*

*wire cen ;*

*wire up\_dn ;*

*wire [WIDTH-1 : 0] data ;*

*wire [WIDTH-1 : 0] count\_to;*

*DW03\_bictr\_dcnto #(*

*.WIDTH (WIDTH)*

*) DUT(*

*.clk (clk ),*

*.reset (reset ),*

*.load (load ),*

*.cen (cen ),*

*.up\_dn (up\_dn ),*

*.data (data ),*

*.count\_to(count\_to ),*

*.tercnt(tercnt ),*

*.count (count )*

*);*

*DW03\_bictr\_dcnto\_tb #(*

*.WIDTH (WIDTH)*

*)i\_ DW03\_bictr\_dcnto\_tb (*

*.clk (clk ),*

*.reset (reset ),*

*.load (load ),*

*.cen (cen ),*

*.up\_dn (up\_dn ),*

*.data (data ),*

*.count\_to (count\_to ),*

*);*

*ck\_rst\_tb i\_ck\_rst\_tb (*

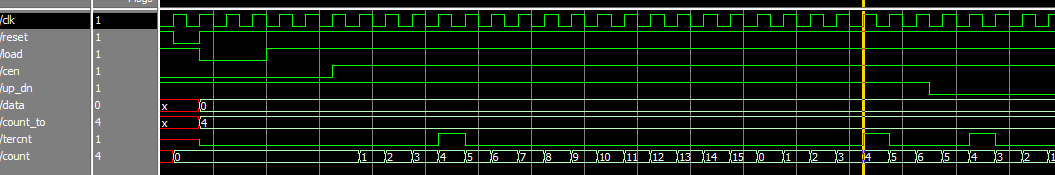
*.clk (clk ),*

*.reset (reset )*

*);*

*endmodule*

Reprezentarile grafice ale unităților de proiectare descrise.



1. Descrierea Verilog a unui modul care modelează structural circuitul. În structură se vor instanția circuite logice elementare (porți logice, multiplexoare, decodificatoare, bistabile). Desenul structurii propuse. Se va considera parametrul *width*=4.

