

## 计算机组成原理

#### 第四章 存储器

Ilxx@ustc.edu.cn wjluo@ustc.edu.cn

#### PC机中的存储器



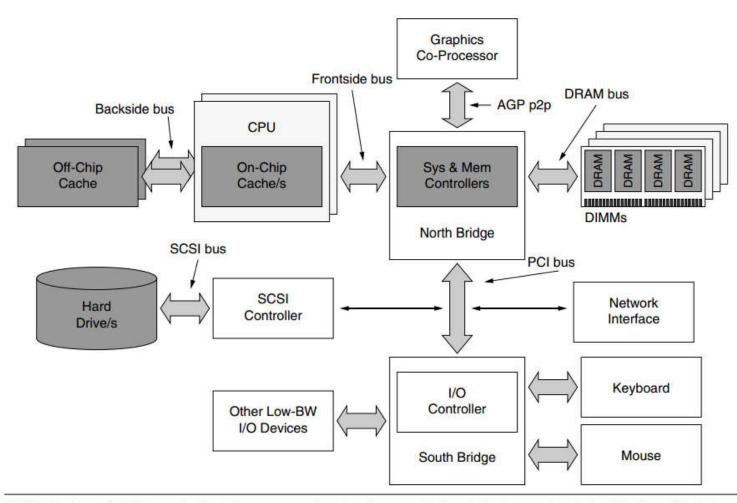


FIGURE Ov.3: Typical PC organization. The memory subsystem is one part of a relatively complex whole. This figure illustrates a two-way multiprocessor, with each processor having its own dedicated off-chip cache. The parts most relevant to this text are shaded in grey: the CPU and its cache system, the system and memory controllers, the DIMMs and their component DRAMs, and the hard drive/s.

### 本章内容

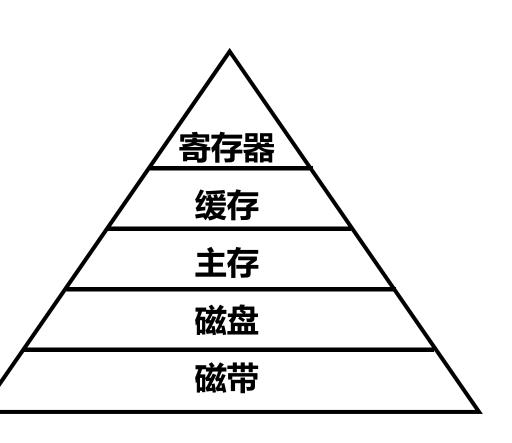


• 4.1 概述

• 4.2 主存储器

• 4.3 高速缓冲存储器

• 4.4 辅助存储器















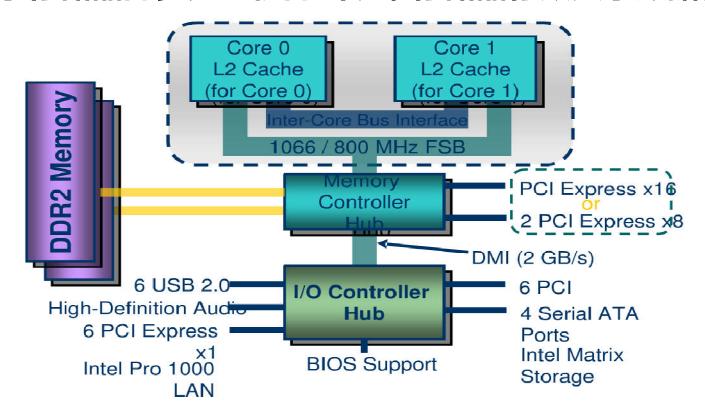
## 4.1 概述

- 1. 存储器分类
- 2. 存储器的层次结构

### 存储器在计算机系统中占有重要地位



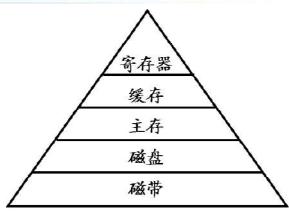
- 1. **当前计算机正在执行的程序和数据均存放在存储器中** CPU**直接从存储器取指令或存取数据。**
- 2. 输入/输出设备增多,采用DMA或输入/输出通道技术, 在存储器和输入输出系统之间直接传送数据。
- 3. 共享存储器的多处理机的出现,存储器存放共享数据。



## 分类



- 按存储介质
  - ・ 半导体存储器
  - · 磁表面存储器
  - 磁芯存储器
  - ・ 光盘存储器
- 按存取方式 (read/write、load/store、access )
  - 内存(memory, main/primary/internal memory)
    - 随机存储器RAM (Random Access Memory)
    - 只读存储器ROM (Read-Only Memory)
  - 外存(storage, Auxiliary/External/secondary memory)
    - 串行访问存储器
    - 直接访问存储器
- 按工作机制
  - SRAM/DRAM, asynchronous/synchronous DRAM, DDR SDRAM
- 按在系统中的地位
  - 主存(内存)、辅存(外存)、缓存(Cache、Buffer)
  - 在线 (online)、 离线 (offline)



## 存储器的分类—按存储介质分



#### ・ 半导体存储器

- 半导体器件组成,超大规模集成电路芯片
- 优点:体积小,功耗低,存取时间短
- 缺点:电源消失,所存信息也随即丢失,属于一种易失性(Volatile)
- 两类:双极型(TTL)半导体存储器,速度高;MOS半导体存储器, 集成度高且制造简单、成本低廉、功耗小,广泛应用。

#### • 磁表面存储器

- 在金属或塑料基体的表面涂上一层磁性材料作为记录介质。
- 按载磁体形状的不同,分为磁盘、磁带和磁鼓。

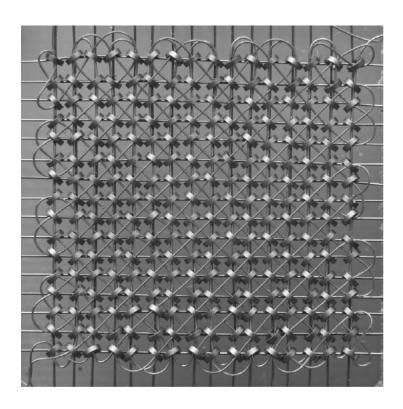
#### • 光盘存储器

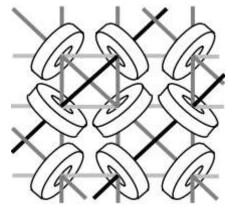
- 光盘存储器是应用激光在记录介质(如磁光材料等)上进行读写的存储器,具有非易失性的特点。
- 光盘记录密度高、耐用性好、可靠性高和可互换性强等优良特点。

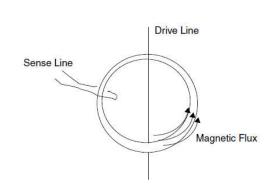
## 存储器的分类—按存储介质分



- 磁芯存储器(Core memory)
  - 磁芯是使用硬磁材料做成的环状元件,在磁心中穿有驱动线(通电流)和读出线,这样便可以进行读写操作(访问时间:10ms)
  - 磁芯属于磁性材料,也是非易失性(Non-Volatile)。
  - 体积庞大、工艺复杂且功耗大,已弃用

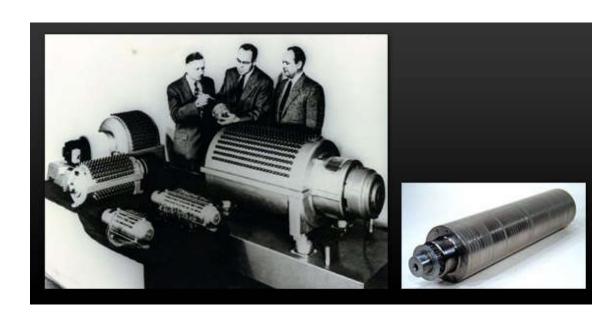


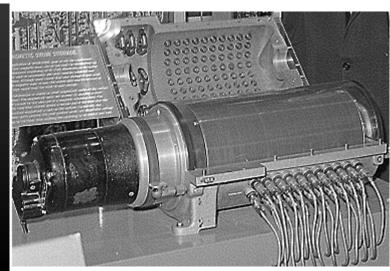




# Magnetic drum storage (1932发明)

- · 磁头与鼓筒表面保持微小而恒定的间隙(0.02~以下)并沿鼓筒轴线均匀排列
- IBM 650系列计算机中的主存储器,1953~1962
  - 磁鼓长12英寸, 12500转/S, 每支可以保存1万个字符(不到10K)。





### 存储器的分类—按存取方式分



- 随机存储器RAM(Random Access Memory)
  - 存储器中任何存储单元的内容都能随机存取
    - · 存取时间与存储单元的物理位置无关。
  - 如主存储器
  - 由于存取原理的不同,又分为静态RAM和动态 RAM。
    - ·SRAM以触发器原理寄存信息
    - ・ DRAM以电容充放电原理寄存信息
    - SDRAM?
  - DRAM was patented in 1968 by Robert Dennard at IBM

### 存储器的分类—按存取方式分

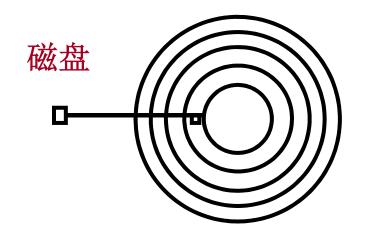


- 只读存储器ROM(Read Access Memory)
  - 一只能对其存储的内容读出,而不能对其重新写入的存储器。
  - 掩模型只读存储器MROM(Masked ROM):采用掩模工艺,把原始信息记录在芯片中,一旦制成就无法更改。
  - 此外,还有可编程只读存储器PROM (Programmable ROM)、可擦除可编程只读存储器 EPROM(Erasable Programmable ROM)、电可擦 除可编程的只读存储器EEPROM(Electrically Erasable Programmable ROM)等类别。
  - 快擦型存储器Flash Memory:具有EEPROM的特点, 但速度比EEPROM要快得多。

### 存储器的分类—按存取方式分



- ・串行访问存储器
  - 对存储单元进行读写操作时,需按其物理位置的先后顺序寻找地址,则这种存储器叫做串行访问存储器。如磁带。也叫顺序存取存储器。
- ・直接存取存储器。
  - 如磁盘



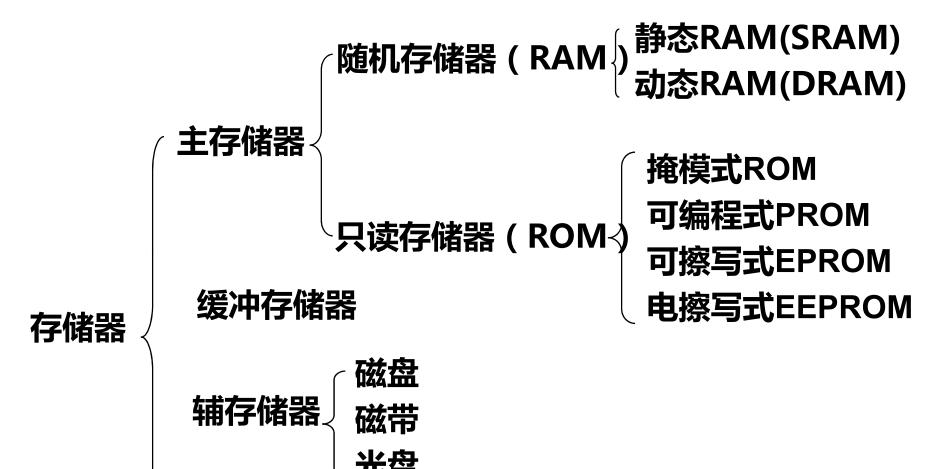
#### 存储器的分类—按在计算机中的作用分



- · 主存储器:和CPU直接交换信息。
  - 速度快、容量小、每位的价格高;
- 辅助存储器:主存的后援存储器。
  - 速度慢、容量大、每位价格低。
- 缓冲存储器:用于两个速度不同的部件之间,起到缓冲作用。

## 存储器分类





快擦型存储器Flash Memory

#### 存储器应用表

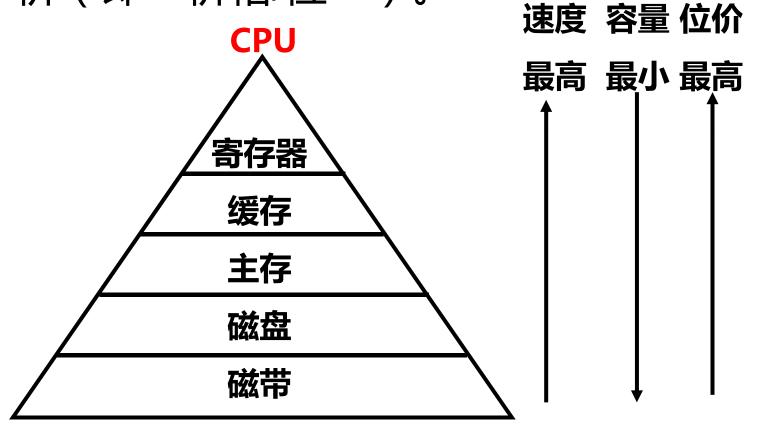


存储器	目前主要应用		
SRAM	Cache		
DRAM	计算机主存储器(内存)		
ROM	固定程序,微程序控制器存储器		
PROM	用户自编程序,用于工业控制机或电器中		
EPROM	用户编写并修改程序或产品试制阶段编程序		
E <sup>2</sup> PROM	IC卡存储器		
Flash Memory	固态盘(优盘)、IC卡		

### 存储器的层次结构



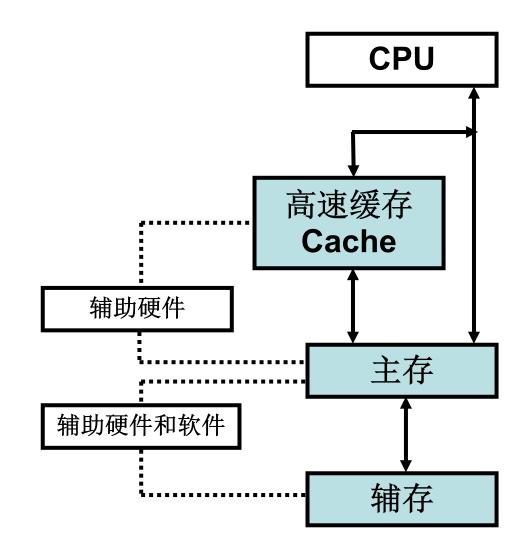
• 存储器有三个主要特性:速度、容量、位价(即"价格/位")。



#### 三级存储体系结构



- 三级存储系统:
  - 缓存
  - **主存**
  - **辅存**
- 主存 缓存层次
- · 主存 辅存层次



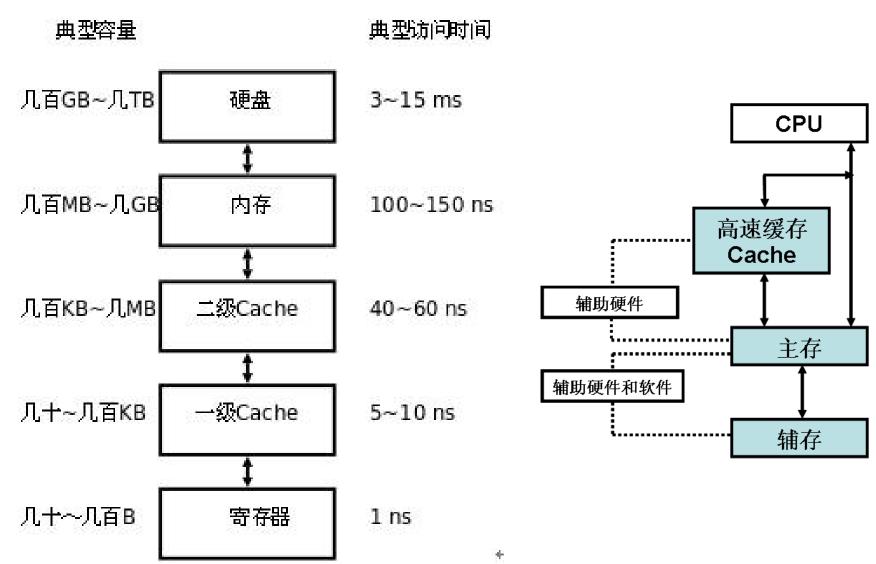
## " Cache - 主存"与"主存 - 辅存"层次的区



F-1 . I			
存储层次比较项目	"Cache - 主存"层次	"主存-辅存"层次	
目的	为了弥补主存速度的不足	为了弥补主存容量的不足	
存储管理实现	主要由专用硬件实现	由硬件和软件实现	
访问速度的比值 (第一级和第二级)	<b>几比一</b>	几百比一	
典型的块(页)大小	几十个字节	几百到几千个字节	CPU
CPU对第二级的 访问方式	可直接访问	均通过第一级	
失效时CPU是否切换	不切换	切换到其他进程	高速缓存
CPU W Write	D D	External Memory	Cache

### 典型指标







## 4.2 主存储器

- 1. 概述
- 2. 半导体存储芯片
- 3. RAM
- 4. ROM
- 5. 存储器与CPU的连接
- 6. 存储器的校验—海明码
- 7. 提高访存速度的措施

## 本节内容



1. 主存储器的基本组成和技术指标

2. 主存储器 (半导体存储器) 随机存储器(RAM) 静态RAM 动态RAM

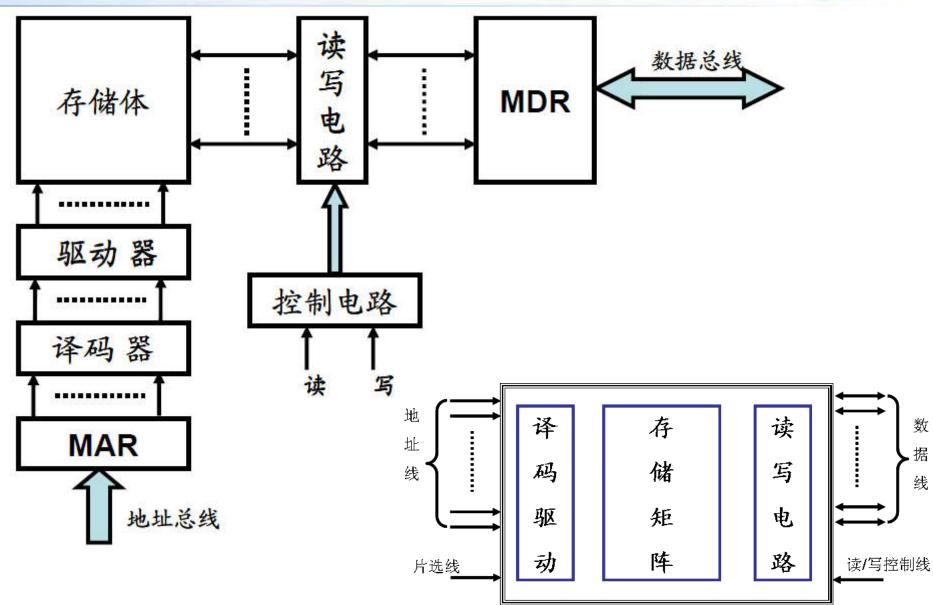
只读存储器(ROM)

掩模式ROM 可编程式PROM 可擦写式EPROM 电擦写式EEPROM

- 3. 存储器与CPU的连接
- 4. 存储器的校验—海明码
- 5. 提高访存速度的措施

### 主存的基本组成





#### 主存的主要技术指标



#### 存储容量:

指存储器所能存储的二进制代码总数。

#### 有2种表示方法:

- 1)存储二进制信息的总位数 存储容量 = 存储单元个数X存储字长
- 2)存储字节的总数 存储容量 = 存储单元个数X存储字长/8

#### 几个单位:

```
字节: Byte 位: bit 1B=8b
1KB=2<sup>10</sup>B, 1MB=2<sup>20</sup>B, 1GB=2<sup>30</sup>B, 1TB=2<sup>40</sup>B
```

#### 主要技术指标



#### 速度指标:

存取时间和存储周期、存储器的带宽。

存取时间(MEM Access Time):指从启动一次存储器操作到完成该操作所需的全部时间。

读出时间:从存储器接收到有效地址开始,到产生有效输出所需的全部时间。

**写入时间**:从存储器接收到有效地址开始,到数据写入被选中单元所需的全部时间。

存储周期(Mem Cycle Time):指连续启动两次独立的操作(如两次读操作)所需的最小间隔时间。通常大于存取时间。

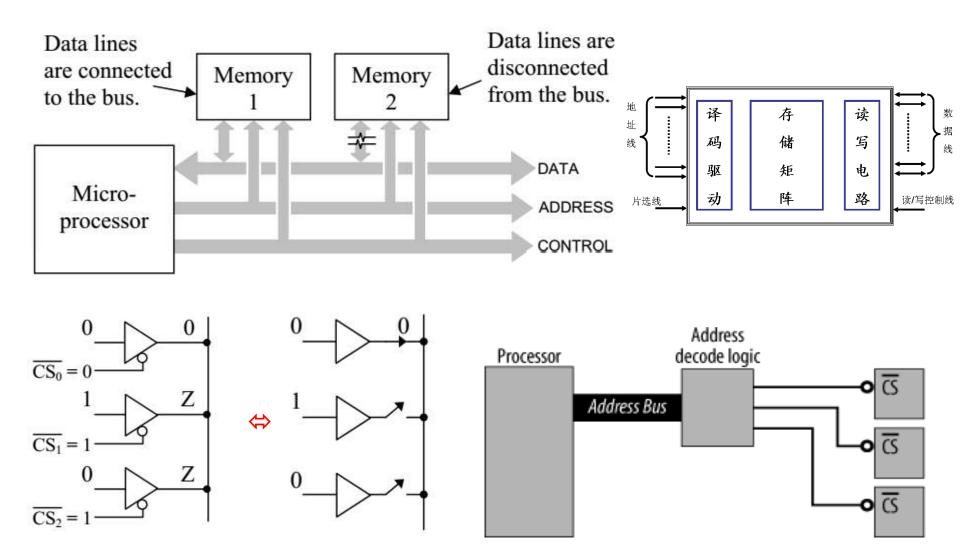
存储器的带宽:是单位时间里存储器所存取的最大信息量。 单位:以位/秒、字节/秒。

例:存取周期为500ns,每个存取周期可访问16位,则它的 带宽为

$$16$$
位× $\frac{1}{500\times10^{-9}$ 秒= $32\times10^{6}$ 位/秒= $32$ M位/秒

## 主存和CPU的接口

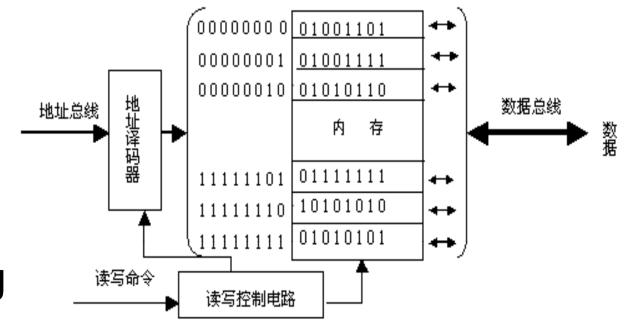




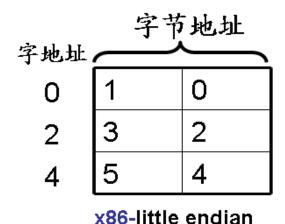
#### 主存中存储单元的地址分配



- 按字寻址
- 按字节寻址



Byte Ordering



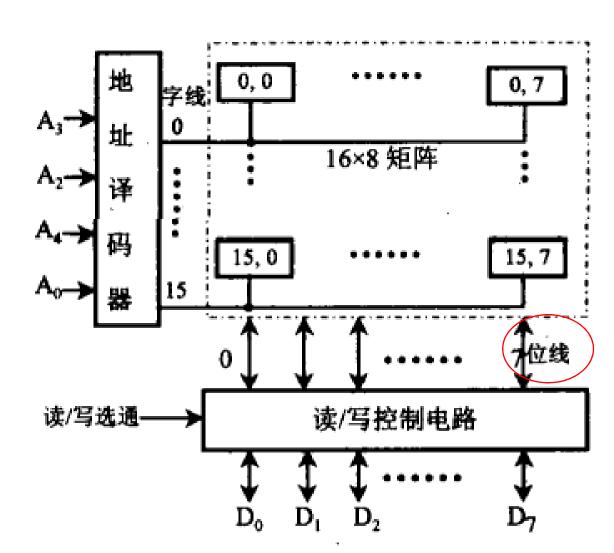
字地址	字节地址					
0	0	1	2	3		
4	4	5	6	7		
8	8	O)	10	11		

IBM370-big endian

#### 存储芯片的译码驱动方式—线选法



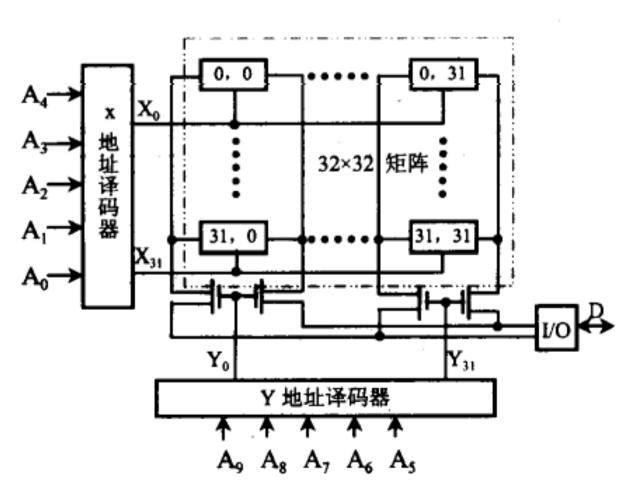
- 特点:用一根字选择线(字)。线)直接选中一个存储单元的各位(如一个字节)。
- 这种方式结构 简单,但适于 容量不大的存 储芯片。
- 位线:数据线



#### 存储芯片的译码驱动方式—重合法



• 特点:被XX的人。 特点元有的人。 特点元有的人。 一个方,也是,一个人。 一种,也是,一种,也是,一种。 一种,一种,一种。



• 一位片: 当构成1KX1字节的存储器时, 需用8片

## 静态RAM (SRAM)



#### 基本存储电路:由6个MOS管构成,其中:

T<sub>1</sub>~T<sub>4</sub>组成双稳态触发器

T1,T2为放大管,

T3,T4为负载管,

T<sub>5</sub>,T<sub>6</sub>为开关控制管

读出:选通T<sub>5</sub>,T<sub>6</sub>

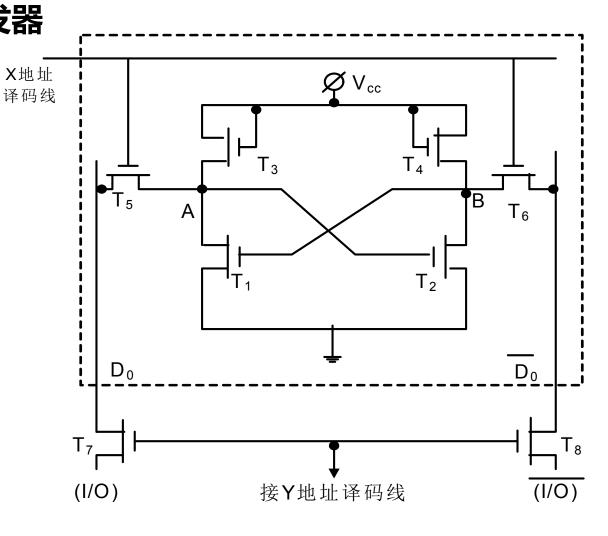
A点与I/O连通

B点与I/O连通

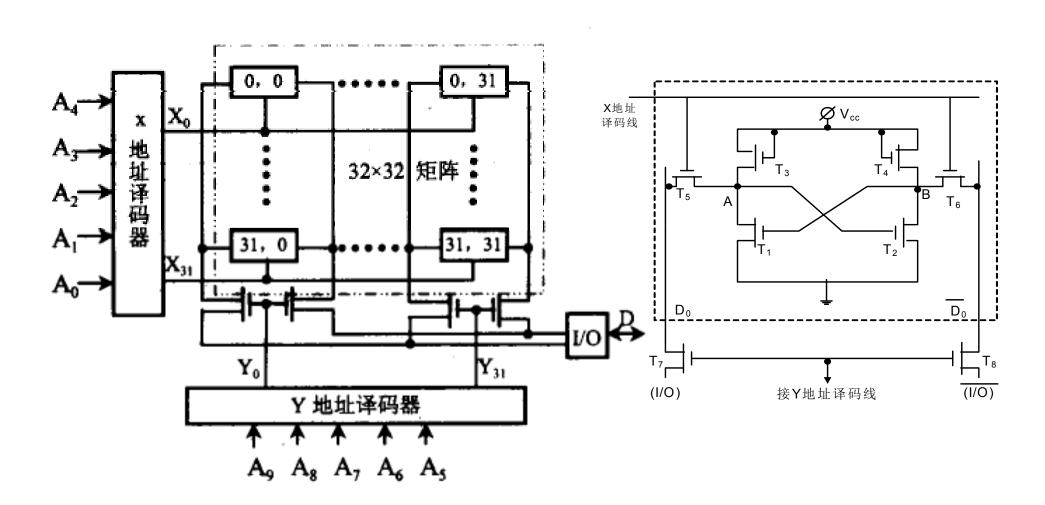
写入:选通T<sub>5</sub>,T<sub>6</sub>

A点与I/O连通

B点与I/O连通







### 基本工作原理



- A,B点的电平代表该六管单元的二进制信息状态;
- 写信息: 当地址选择线为高电平, T<sub>5</sub>,T<sub>6</sub>导通,则I/O线与A点相连,I/O线与B点相连;若写入'1',则A='1',B='0',使T<sub>1</sub>截止,T<sub>2</sub>导通写入'0',A='0',B='1'——T<sub>1</sub>导通,T<sub>2</sub>截止此时写入信号与地址译码信号消失,该六管单元状态仍然保持稳定;
- 当要读出信息:
   地址选择线为高电平,使T<sub>5</sub>,T<sub>6</sub>导通,
   则A点,B点状态分别被送至I/O,I/O线,
   且六管单元的状态不变

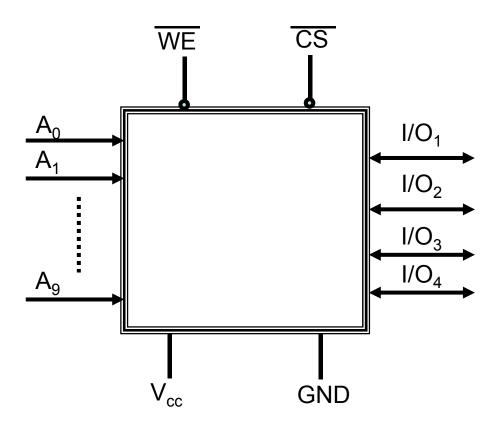
SRAM电路工作稳定,不需要刷新电路,但MOS管数多,集成度不高,且功耗较大。

### 芯片结构



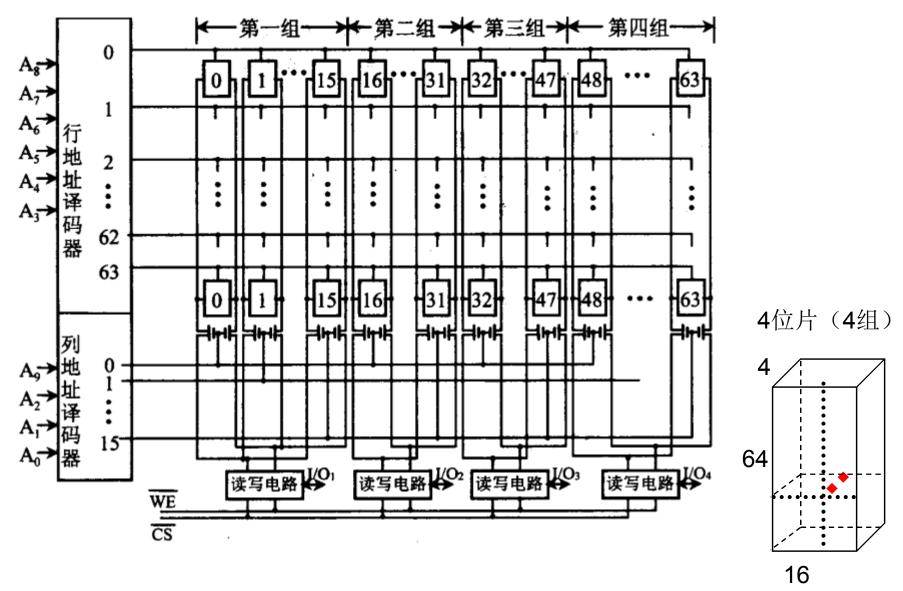
- 由许多基本的六管单元电路组成;
- 容量为单元数与数据线位数的乘积。

#### Intel 2114外特性示意图



## 2114RAM矩阵结构示意图



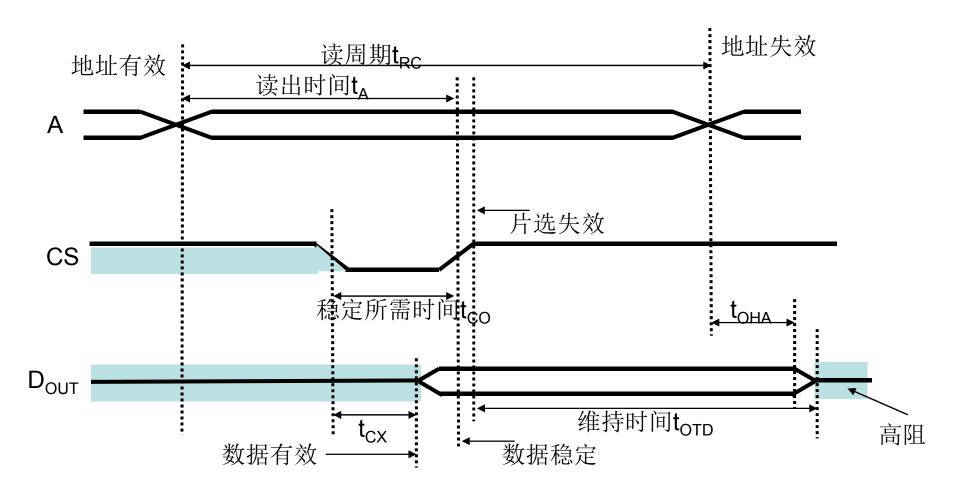


#### 2114 (SRAM) 时序



#### • 读周期:

- 地址有效→CS有效→数据输出→CS复位→地址撤销
- 只有当地址有效经tA后,且当片选有效经tCO后,数据才能稳定输出。

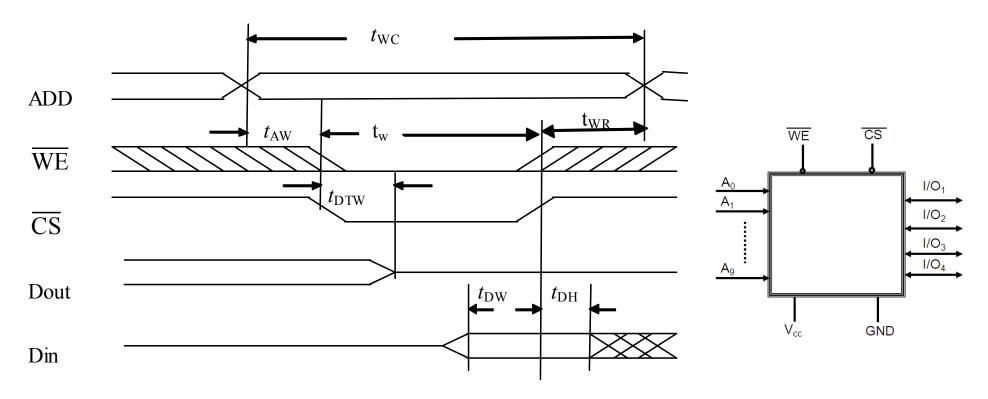


#### 2114 (SRAM) 时序



#### 写周期:

- 地址有效→CS有效→数据有效→CS复位(数据输入)→地址撤销
- TAW滞后时间; TW写入时间; TWR写恢复时间。



#### 动态RAM(DRAM)



- · DRAM靠电容存储电荷的原理寄存信息。
  - 电容上有足够多的电荷表示存"1", 电容上无电荷表示存"0"。
  - 电容上的电荷一般只能维持1~2ms。
  - 再生或刷新:必须在2ms内对其所有存储单元恢复一次原状态。
  - 与SRAM相比,集成度更高、功耗更低。
- · 常见的DRAM基本单元电路有三管式和单管 式两种。

## 三管MOS动态RAM



#### 读出时:

T4<mark>预充电</mark>,使读数据线为 Vdd(?)。

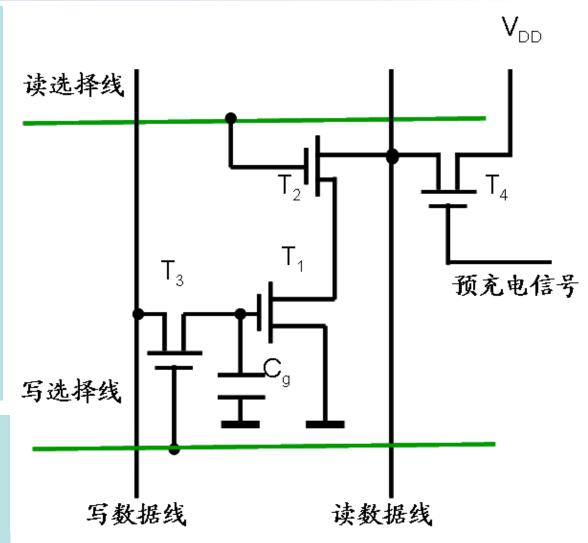
读选择打开T2。

若Cg有电荷,则T1导通,数据线降为零电平;若无电荷,T1截止,数据线保持高电平。

读出信息与原存信息相反。

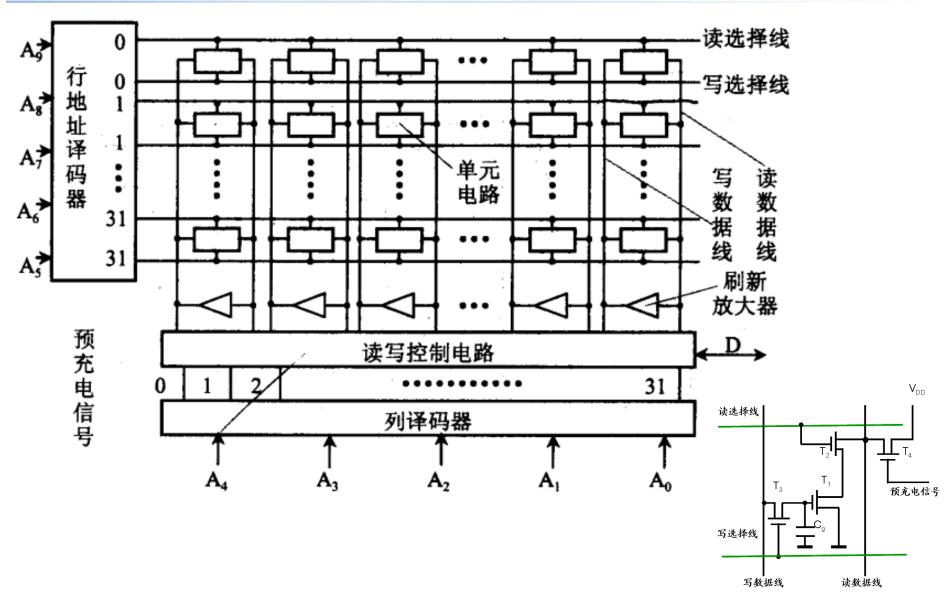
#### 写入时:

由写选择线打开 $T_3$ , $C_g$ 随 写入信息充电(写"1") 或放电(写"0")。



## 1KX1位三管MOS动态RAM结构

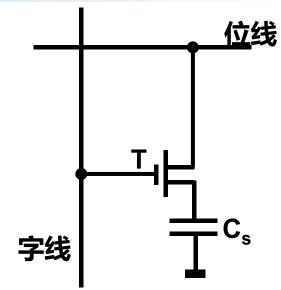


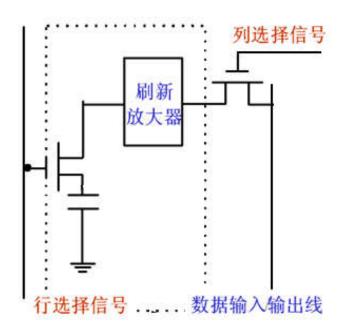


### 单管MOS动态RAM



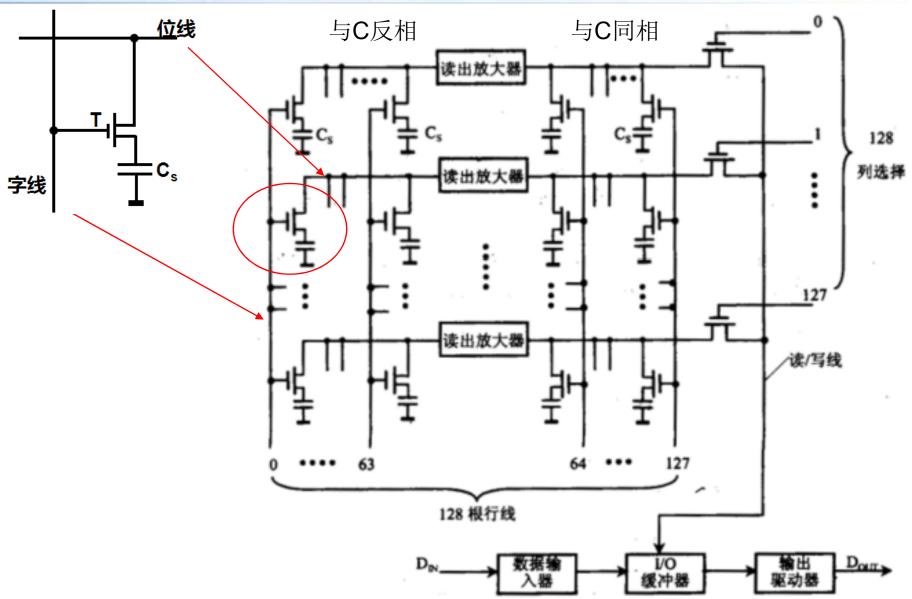
- ·读:字线(worldline)为高使 T导通,若电容C<sub>s</sub>上有电荷, 经T管在数据线(bitline)上产 生电流,可视为读出"1"。若 C<sub>s</sub>无电荷,则数据线上无电流, 可视为读出"0"。
  - 读结束时, C<sub>s</sub>的电荷已泄放完毕, 故是破坏性读出,必须再生。
    - 读出-刷新放大器
- · 写:字线为高电平使T导通,若数据线上为高电平,则经T管对C。充电,使其存"1";若数据线为低电平,则C。经T放电,使其无电荷而存"0"。
- · 字线 (worldline) = 行选





### 单管动态RAM芯片—4116芯片存储矩阵

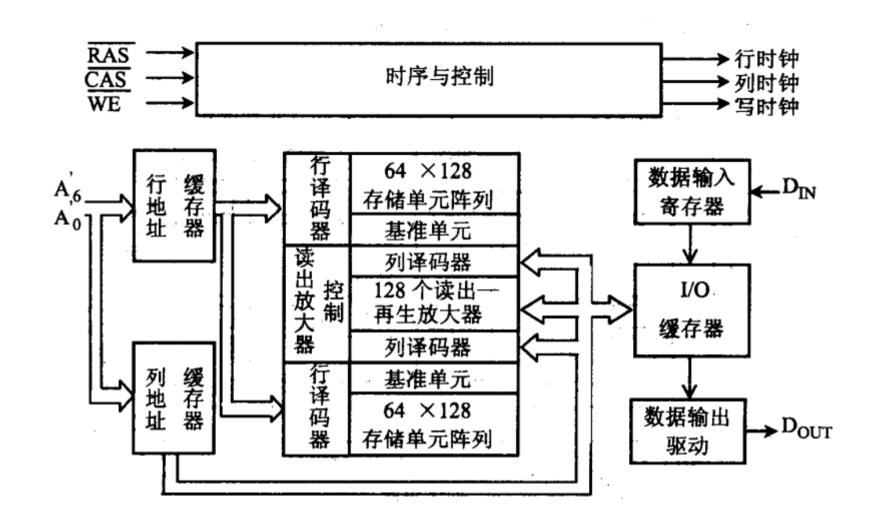




## 单管动态RAM芯片—4116芯片结构



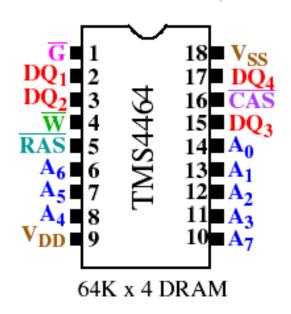
· 16KX1位存储芯片;行列地址分开送;128X128存储矩阵。



### **DRAM芯片4464**



TI TMS4464 DRAM (64K X 4):

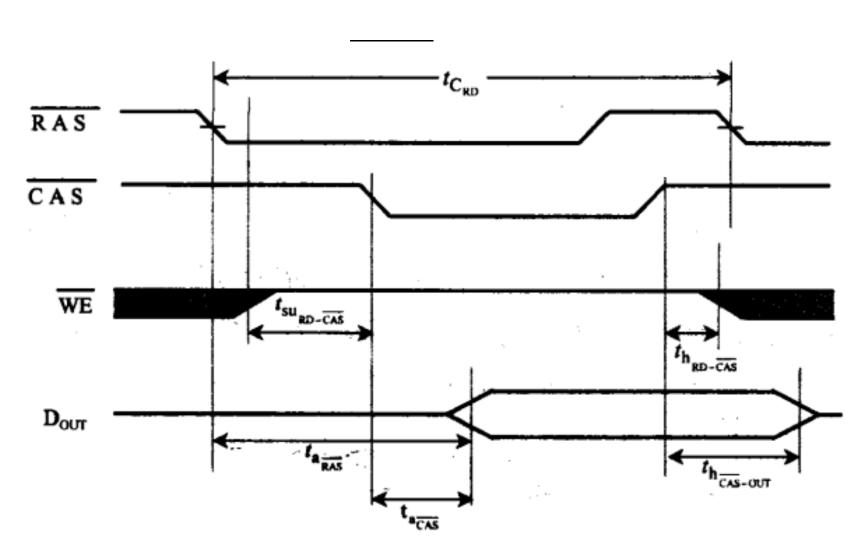


Pin(s)	Function	
A <sub>0</sub> -A <sub>7</sub>	Address	
$DQ_0$ - $DQ_4$	Data In/Data Out	
RAS	Row Address Strobe	
CAS	Column Address Strobe	
$\overline{\mathbf{G}}$	Output Enable	
$\overline{\mathbf{W}}$	Write Enable	

- It has **64K** addressable locations which means it needs **16** address inputs, but it has only **8**.
  - The row address (A0 through A7) are placed on the address pins and strobed into a set of internal latches.
  - The column addres (A8 through A15) is then strobed in using CAS.

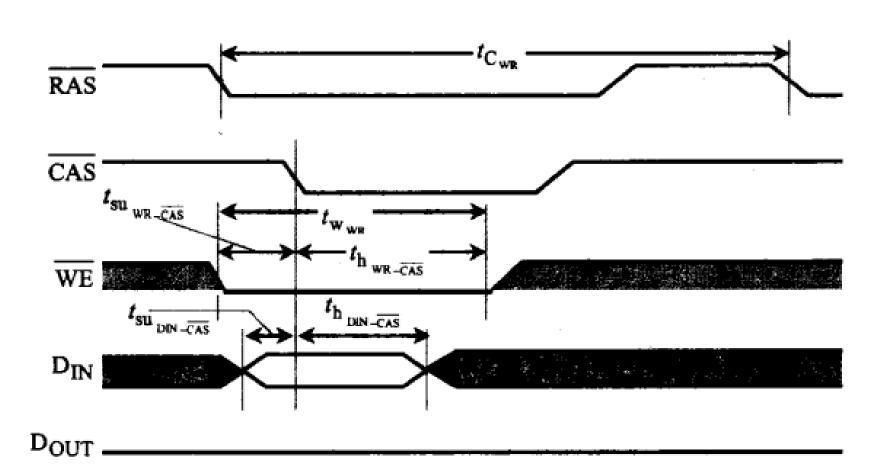
### 动态RAM读时序



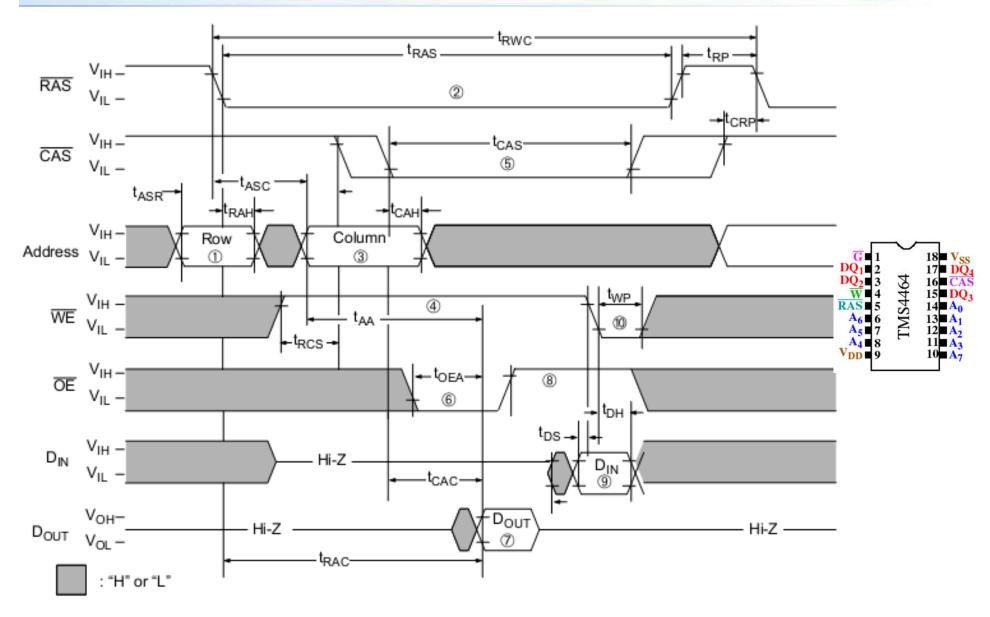


### 动态RAM写时序



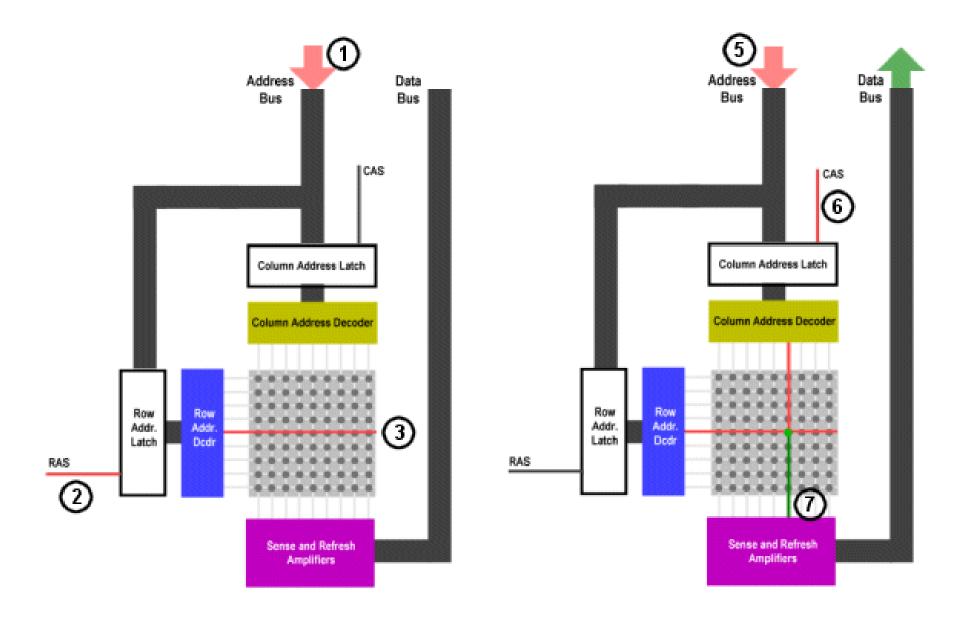


# Simplified Read-Modify-Write Cycle



## How DRAM Works (读1位)



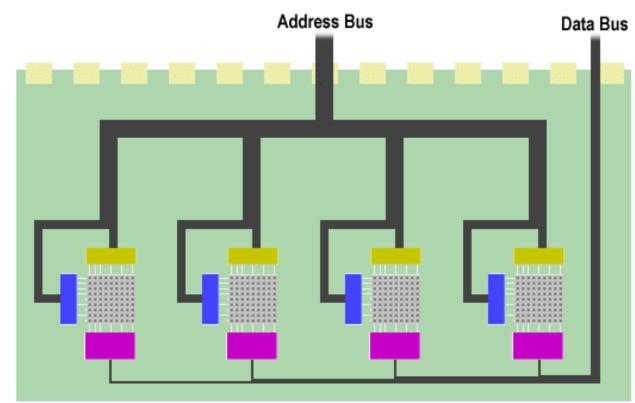


#### **Turning Bits Into Bytes (2x This Picture)**



4116是**16KX1**位

如何构成一个字节



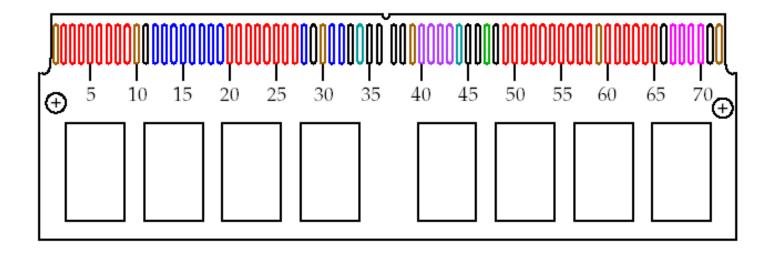


#### SIMM



- Larger DRAMs are available which are organized as 1M X 1, 4M X
   1, 16M X1, 64M X 1, 256M X 1.
- DRAMs are typically placed on SIMM (Single In-line Memory Modules) boards.
  - 30-pin SIMMs (8bits data) come in 1M X 8, 1M X 9 (parity), 4M X 8, 4M X 9.
  - 72-pin SIMMs (32bits data) come in 1/2/3/8/16M X 32 or 1M X 36 (parity).

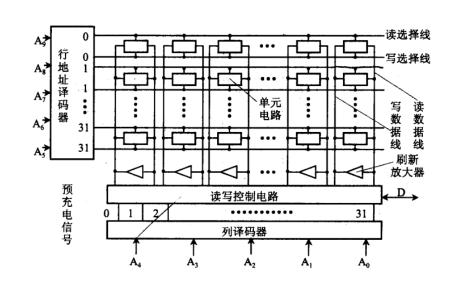
$$egin{array}{ccccc} V_{SS} & Addr_{0-11} & \overline{RAS} & \overline{W} & NC \ V_{CC} & DQ_{0-31} & \overline{CAS} & \overline{PD}_{1-4} \ \end{array}$$

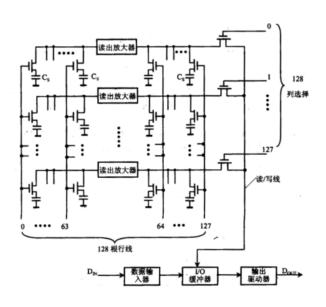


### 动态RAM的刷新



- 刷新过程
  - "读出 写回" : 由刷新放大器(读出放大器)协助
- 刷新时机
  - 读写操作时:选通一行,即进行该行的刷新!
  - 刷新周期**(再生周期)**:按行集中刷新。
- 两种刷新方式
  - 集中刷新
  - 分散刷新





### 动态RAM的刷新—集中式刷新

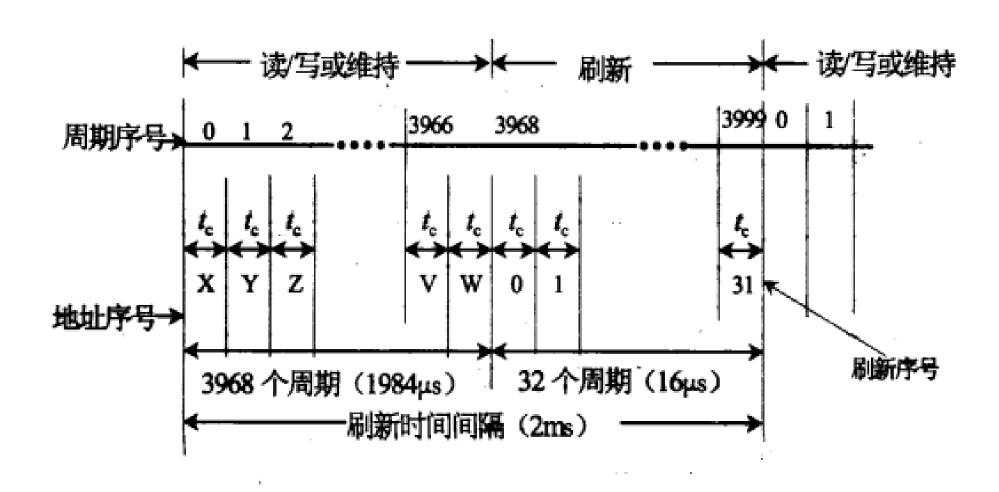


- 在一个刷新周期内,利用一段固定的时间,依次对存储器的所有行逐行刷新。
- 刷新期间停止正常读写

例:1024行, 工作周期=200ns, 刷新周期=2ms 总工作周期数= 2ms/200ns = 10000个 1024个用于刷新(集中式) 8976个用于存取

### 集中式刷新时间分配图

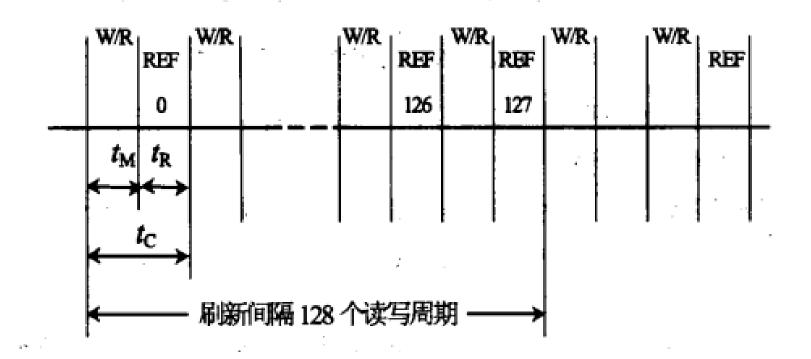




#### 动态RAM的刷新—分布式刷新



- 方式一(分散刷新):每个工作周期刷新一行
  - 例: 1024行, 工作周期=200ns, 刷新周期=2ms
  - 存储器工作周期=访问周期+刷新时间(一个访问周期)=400ns
  - 刷新周期= 1024 X 400 = 409.6us
  - 速度下降

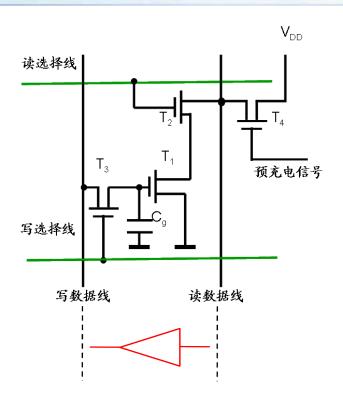


# 动态RAM的刷新—分布式刷新(续)

- -方式二(异步刷新):每隔一定间隔(= 刷新周期/行数)刷新一行
  - •例: 1024行,工作周期=200ns,刷新周 期= 2ms
  - •刷新间隔=刷新周期/行数= 2ms/1024=1.95µs
  - •需硬件支持

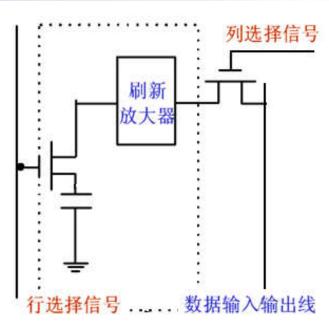
### 三管与单管DRAM的刷新电路

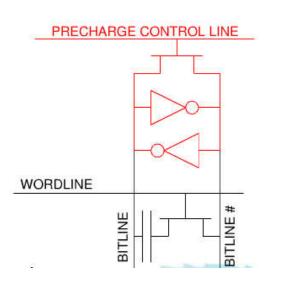




三管DRAM的刷新放大器

单管DRAM的再生-刷新放大器

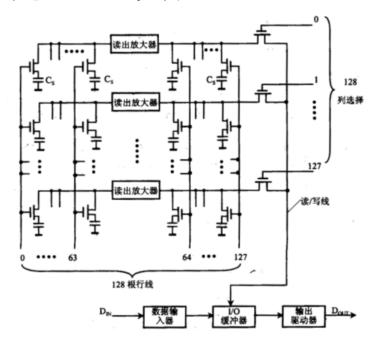




### 动态RAM与静态RAM的比较



- DRAM的应用比SRAM要广泛(主存)
  - DRAM集成度高、功耗为SRAM的1/6、价格为其1/4
  - DRAM由于使用动态元件(电容),速度比SRAM低, 单管DRAM需配置再生电路
  - 容量不大的高速存储器大多用SRAM实现
- DRAM所涉及的操作
  - 行选通(RAS)
    - 行激活Active
  - 预充电(Precharge)
  - 读/写
  - 刷新(recharge)



## 内容



1. 主存储器的基本组成和技术指标

主存储器
 (半导体存储器)<sup>-1</sup>

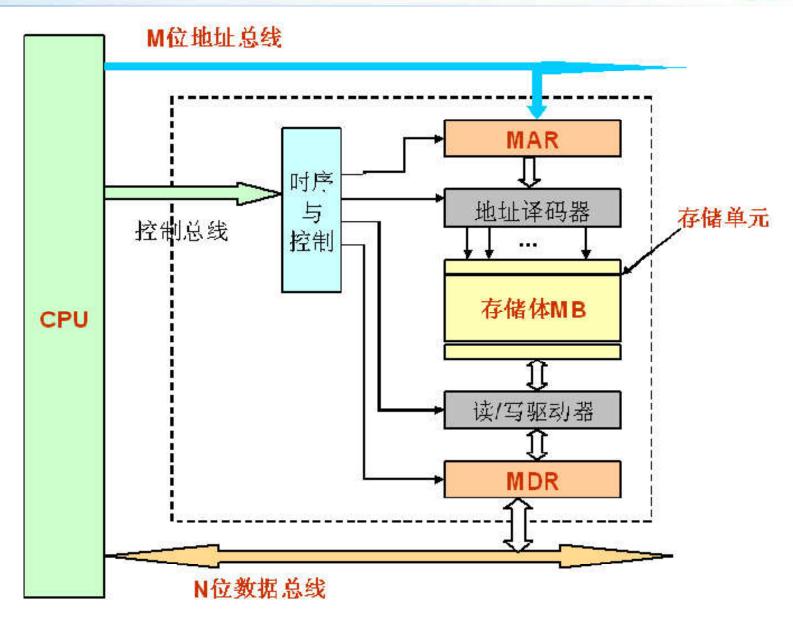
随机存储器(RAM) 静态RAM 动态RAM

只读存储器(ROM)

掩模式ROM 可编程式PROM 可擦写式EPROM 电擦写式EEPROM

- 3. 存储容量的扩展、存储器与CPU的连接
- 4. 存储器的校验—海明码
- 5. 提高访存速度的措施

# Processor to Memory Device I



## 存储容量的扩展



- · 存储容量的扩展: 当一片RAM存储芯片不能满足存储容量需要时,就需要将若干片RAM存储芯片组合起来,构成满足存储容量要求的存储器。
- ・・三种扩展方法:
  - 1. 位扩展:增加存储字长
  - 2. 字扩展:增加存储字的数量
  - 3. 字位扩展
- 存储芯片的连接,主要完成三种线的连接
  - 1. 地址线A<sub>0</sub>~A<sub>n</sub>的连接
  - 2. 数据线I/O。~I/O,或D。~ D。的连接
  - 3. 控制线的连接,如片选CS、读写WE

## 位扩展法



- · 仅在字长(位数)扩展,字数不做扩展。
  - 字数满足要求,而位数不够时,应采用位扩展。

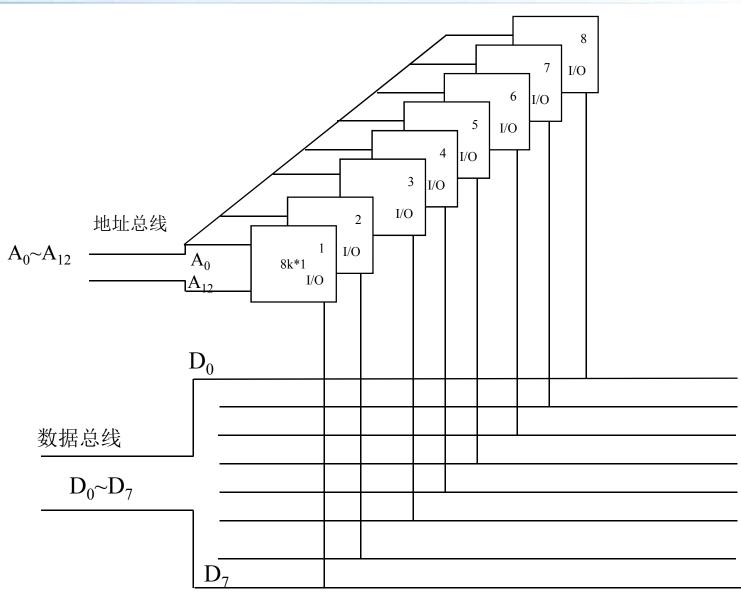
例:使用8K\*1位的RAM构成8K\*8位的存储器。

#### 分三步:

- (1)使用8片8K\*1的RAM芯片,每片有13根(A<sub>0</sub>~A<sub>12</sub>)地 址线,1根(I/O)数据线
  - (2)每片RAM的1位数据线分别接置数据总线的相应位  $(D_0 \sim D_7)$
- (3)将8片地址线的相应位( $A_0 \sim A_{12}$ )并联后接至地址总线的相应位上。

### 由8K\*1位的RAM构成8K\*8位的存储器—连接图

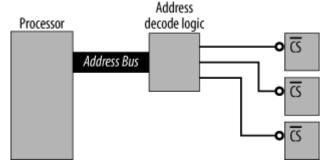




## 位扩展的原则

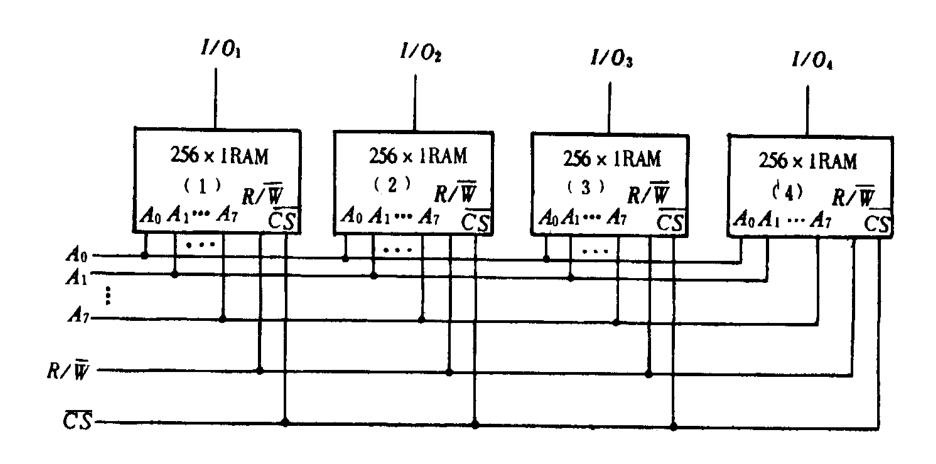


- 实现位扩展的原则是:
- ①多个单片RAM的I/O端并行输出。
- ②多个RAM的 *CS* 端接到一起,作为RAM的片选端(同时被选中);
- ③地址端对应接到一起,作为RAM的地址输入端。
- ④多个单片RAM的 WE 端接到一起,作为RAM的读/写控制端(读/写控制端只能有一个);



#### 用4片256×1位的RAM扩展成256×4位的RAM的接线图





## 字扩展法



#### •只在字向扩充,而位数不变。

•字数增加,地址线数就得相应增加。如256×8位RAM的地址线数为8条,而1024×8位RAM的地址线数为10条

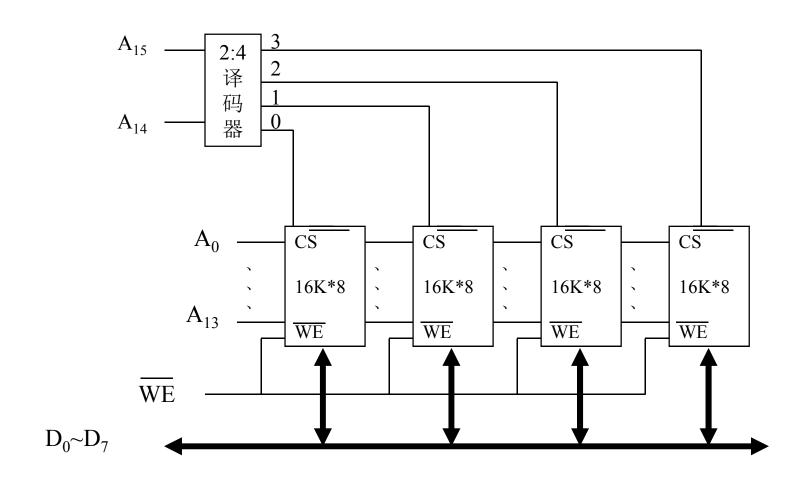
#### 例如:<u>用16K\*8的存储芯片组成64K\*8位的存储器</u>,并给出片选 线CS和读写控制线WE的连接方法。

连接方法:使用字扩展法

- (1)使用4片16K\*8的存储芯片来组成
- (2)每片有地址端14根(A<sub>0</sub>~A<sub>13</sub>),数据端8根D<sub>0</sub>~D<sub>7</sub>,及片选 CS,写允许WE等引脚
- (3)芯片数据端与数据总线D<sub>0</sub>~D<sub>7</sub>相连
- (4)地址总线的低位地址A<sub>0</sub>~A<sub>13</sub>与各芯片的14位地址端相连,两位高位地址A<sub>14</sub>,A<sub>15</sub>经2-4译码器译码,4个输出分别与4个片选端CS相连
- (5) 系统总线的 WE与各芯片的WE相连

### 用16K\*8存储芯片组成64K\*8位存储器—连接图





#### 各芯片地址分配见下表



#### 地址空间分配表

地址	A <sub>15</sub> A <sub>14</sub>	$A_{13}A_{12}A_{11}A_1A_0$	说明
片号			
1	00	00000	最低地址 0000H
	00	11111	最高地址 3FFFH
2	01	00000	最低地址 40000H
	01	11111	最高地址 7FFFH
3	10	00000	最低地址 8000H
	10	11111	最高地址 OBFFFH
4	11	00000	最低地址 0C000H
	11	11111	最高地址 OFFFFH

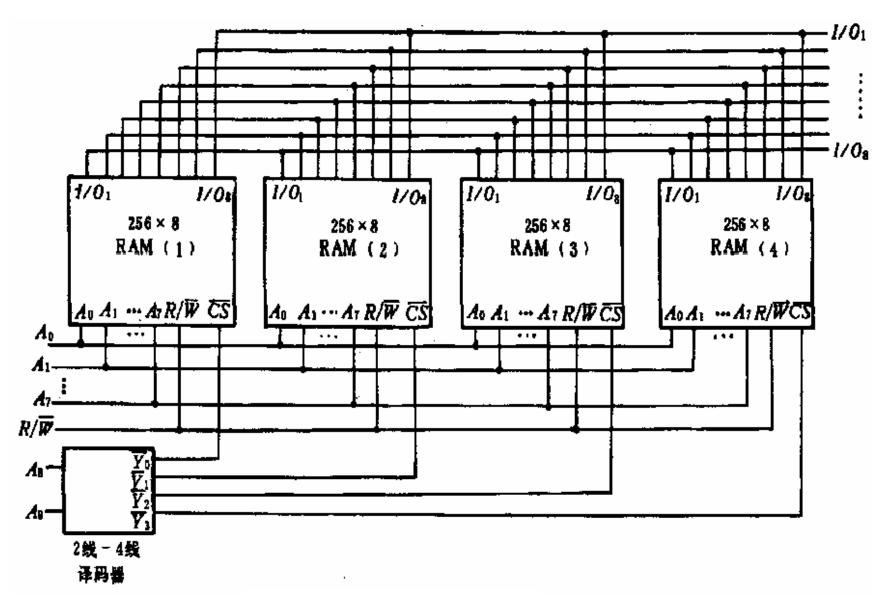
## 字扩展的原则



- · 多个单片RAM的I/O端并接,作为RAM的I/O端
- 低位地址端对应接到一起,作为低位地址输入端。
- $\overline{wE}$ 端接到一起作为RAM的读/写控制端(读写控制端只能有一个);

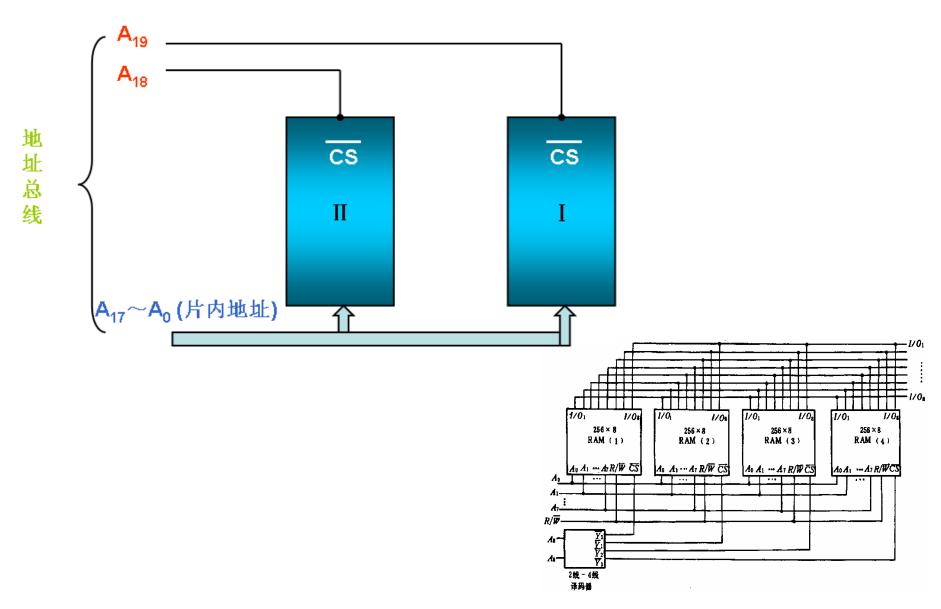
## 字扩展法示意





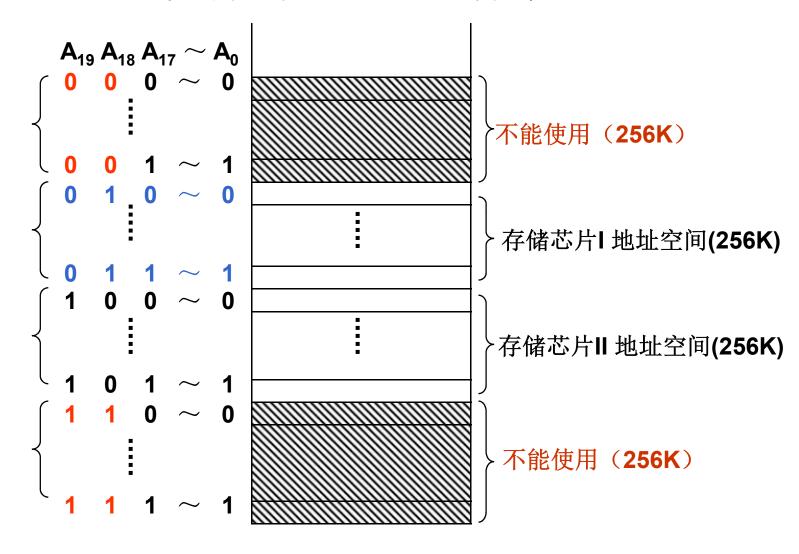
## 线选方式实现片选控制示例







#### 线选方式的地址空间分布



## 字、位同时扩展



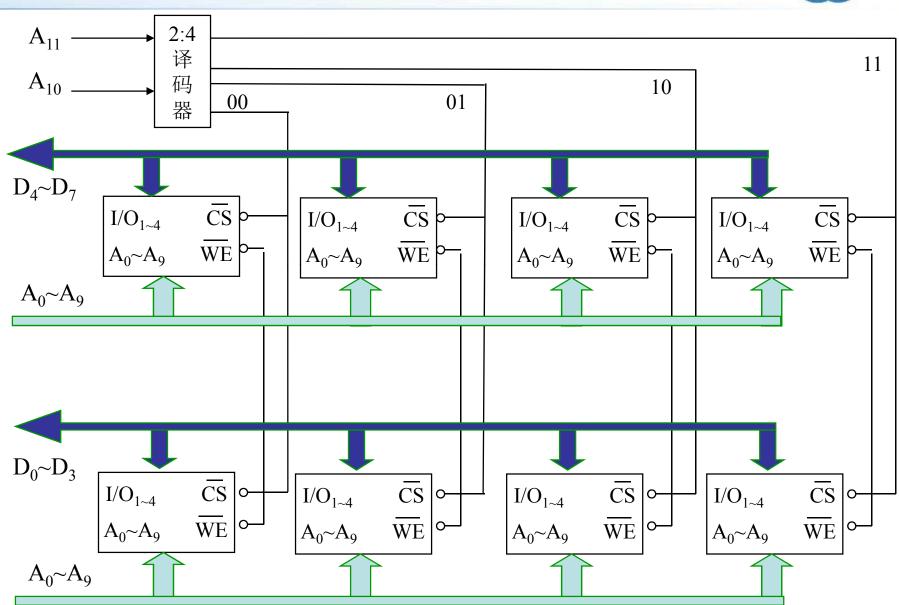
假定存储器的容量为M\*N位,

若使用L\*K芯片(L<M,K<N),共需要(M/L)</li>\*(N/K)个存储芯片,要在字与位同时扩展。

例:用2114SRAM构成4K\*8位的存储器模块, 2114SRAM芯片是1K\*4位芯片,有10根 (A<sub>0</sub>~A<sub>7</sub>)地址端,4根(I/O<sub>1~4</sub>)数据端。

#### 由1K\*4SRAM构成的4K\*8存储器模块连接图





## 连接方法分析



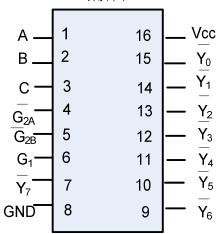
- 1. 使8片2114SRAM芯片(4/1\*8/4=8)。
- 2. 见图:将上面4个芯片的数据端与数据总线的高4位( $D_4 \sim D_7$ )相连;下面4个芯片的数据端与数据总线的低4位( $D_0 \sim D_3$ )相连。
- 3. 上、下4个芯片构成4K\*4RAM,共构成4K\*8位存储器模块。
- 4. 每一列芯片为一组,共分为4组,每一组芯片的 CS端并连。
- 5. 地址总线的低地址线A<sub>0</sub>~A<sub>9</sub>连接至每片的地址端; 地址总线的高地址线,如A<sub>10</sub>,A<sub>11</sub>经过2-4译码有4 个输出端,它们与4个组的CS相连,即A<sub>0</sub>~A<sub>9</sub>作为 片内单元选择,A<sub>10</sub>,A<sub>11</sub>作为组间选择。

### 74LS138—"3 - 8"译码器

输

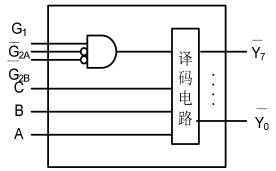






	$G_1$	$\overline{G_{2A}} + \overline{G_{2B}}^-$	С	В	A	Yo	$Y_1$	$Y_{i}$	$Y_{\mathbf{s}}$	$Y_4$	$Y_{s}$	$Y_{\mathbf{n}}$	$Y_{\eta}$	
	0	X	X	X	X	1	1	1	1	1	1	1	1	•
	$\boldsymbol{X}$	1	X	$\boldsymbol{X}$	$\boldsymbol{\mathit{X}}$	1	1	1	1	1	1	1	1	
	1	0	0	0	0	0	1	1	1	1	1	1	1	
	1	0	0	0	1	1	0	V	1	1	1	1	1	
	1	0	0	1	0	1	1	0	1	1	1	1	1	
	1	0	0	1	1	1	1	1	0	1	1	1	1	
	1	0	1	0	0	1	1	1	1	0	1	1	1	
7	1	0	1	0	1	1	1	1	1	1	0	1	1	
	1	0	1	1	0	1	1	1	1	1	1	0	1	
_ , 0 .	1	0	1	1	1	1	1	1	1	1	1	i	0	

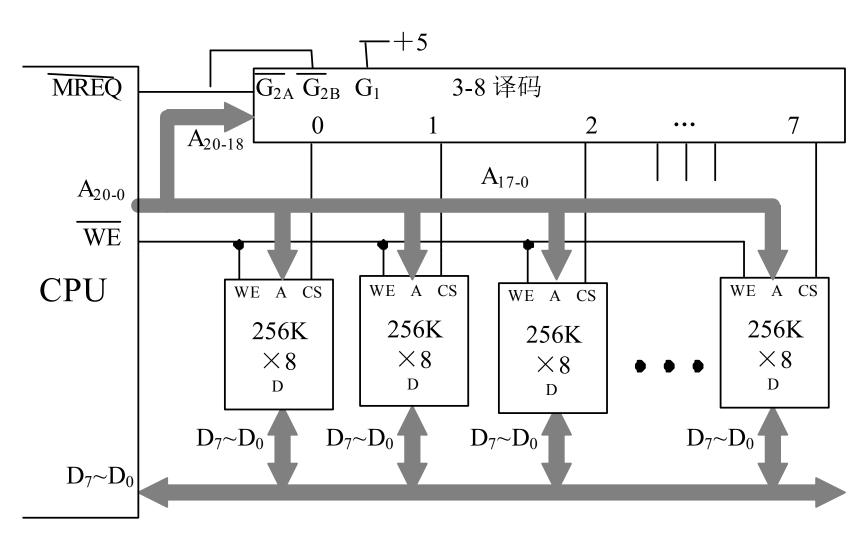
输



### 例1设有若干片256K×8位的SRAM芯片,问:

- (1) 构成2MB的存储器需要多少块SRAM芯片?
- (2) 该存储器需要多少字节地址线?
- (3) 画出该存储器与CPU连接的结构图,设CPU的接口信号有地址信号、数据信号、控制信号MREQ和WE。
- 解:(1)该存储器需要2048K/256K=8片SRAM芯片;
  - (2) 因为2<sup>21</sup>=2048K,需要21条地址线。又 2<sup>18</sup>=256K,每个存储芯片有18根地址线。这样,高3位用于芯片选择,低18位作为每个存储器芯片的地址输入。
    - (3) 该存储器与CPU连接的结构图如下。





## 存储器与CPU的连接



#### 1. 地址线的连接

· 低位地址线与存储芯片连接;高位地址线或 用作存储芯片扩充时用,或作其他用法,如 片选信号等。

#### 2. 数据线的连接

· 必要时需要对存储芯片进行位扩展,使其数据位与CPU的数据线相等。

#### 3. 读/写命令线的连接

· 直接与存储芯片的读写控制端相连,通常是 高电平为读,低电平为写。

### 存储器与CPU的连接



#### 4. 片选线的连接

- · 片选信号的连接是CPU与存储芯片正确工作 的关键。
- · 片选有效信号与CPU的访存控制信号MREQ (低电平有效)有关。
  - · MREQ为低,表示CPU访问存储器;MREQ为高, 表示CPU访问I/O,此时不要求存储器工作。
- · 片选信号与地址的高位有关,未与存储芯片地址线连上的高位地址与访存控制信号共同作用产生存储器的片选信号。

#### 5. 合理选择存储芯

· 类型ROM或RAM、数量的选择。



· 题:设CPU有16根地址线,8根数据线,并用MREQ作访存控制信号(低电平有效),用WR作读写控制信号(高电平为读,低电平为写)。现有下列存储芯片:

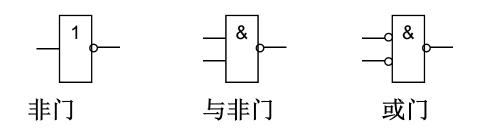
1KX4位RAM;4KX8位RAM;8KX8位RAM;

2KX8位ROM; 4KX8位ROM; 8KX8位ROM;

以及74LS138译码器和各种门电路(非门、与非门、

#### 请画出CPU与存储器的连接图,要求:

- ① 主存地址空间分配:6000H~67FFH为系统程序区;6800H~6BFFH为用户程序区。
- ② 合理选用上述存储芯片,说明各选几片?
- ③ 详细画出存储芯片的片选逻辑图。





(1)先将16进制地址写成二进制地址码,并确其总容量。

A <sub>1</sub>	$A_{15} A_{14} A_{13} A_{12} A_{11} A_{10} A_{9} A_{8} A_{7} A_{6} A_{5} A_{4} A_{3} A_{2} A_{1} A_{0}$														
0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1
0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0
0	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1

6000H 2kX8位

6800H

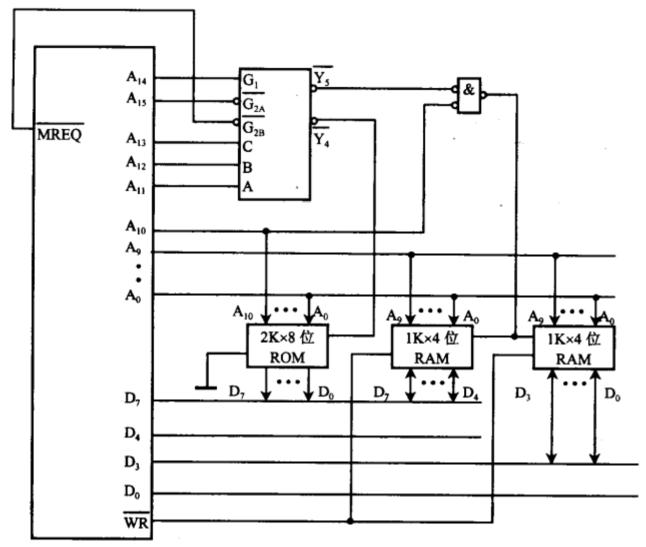
用户程序区 1kX8位

<sup>洗器供</sup> (5)ROM芯片的PD/progr引脚接地、ROM数据线单向连接数据总线;2片RAM的数据线分别连接数据总线高4位和低4位

(4)片选信号:A<sub>15</sub>和/MREQ接到/G<sub>2A</sub>和/G<sub>2B</sub>,A<sub>14</sub>接到G<sub>1</sub>。地址线A<sub>13</sub>~A<sub>11</sub>与3-8 译码器的C,B,A引脚相连,3-8译码器的输出/Y<sub>4</sub>接到ROM的片选;/Y<sub>5</sub>和A<sub>10</sub> 经或门接到2片RAM的片选。



#### ·CPU与存储芯片的连接图





题:CPU及其他芯片假设同上题,画出CPU与存储器的连接图。要求主存的地址空间满足下述条件:最小8K地址为系统程序区,与其相邻的16K地址为用户程序区,最大4K地址空间为系统程序工作区。详细画出存储芯片的片选逻辑并指出存储芯片的种类及其片数。

· 注意:系统程序区用ROM,但是系统程序工作区用RAM。

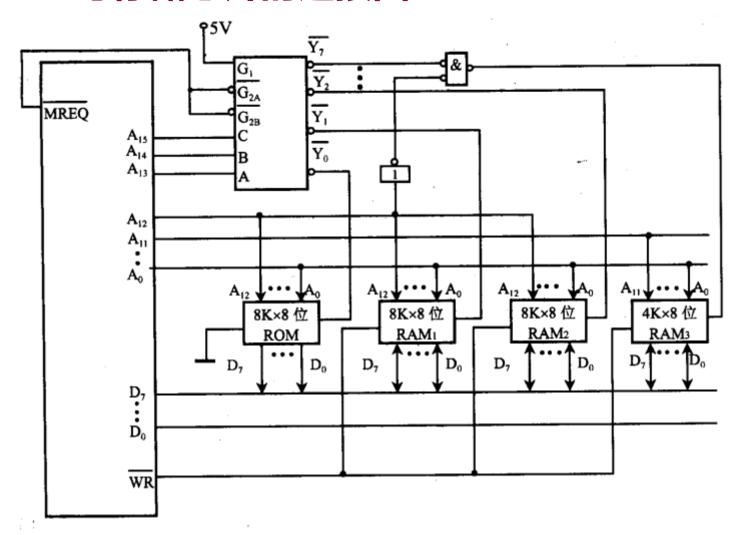
#### 可用芯片

2KX8位ROM; 4KX8位ROM; 8KX8位ROM

1KX4位RAM; 4KX8位RAM; 8KX8位RAM



#### ·CPU与存储芯片的连接图



### 访存地址划分



• 片内地址, 片外地址

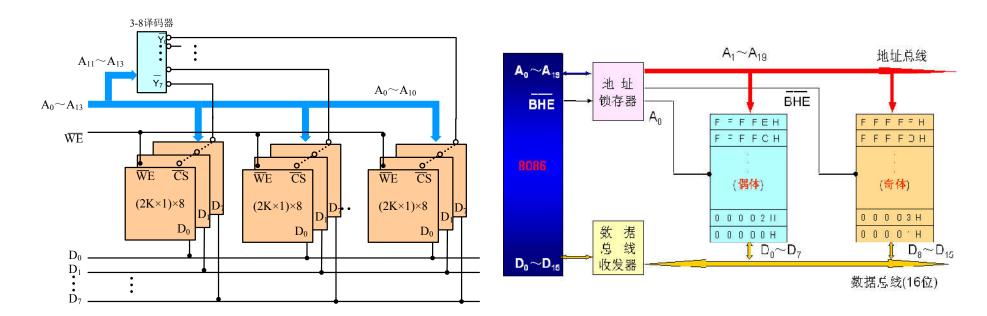
• 位扩展

• 字扩展

 A<sub>19</sub>~A<sub>16</sub>
 A<sub>15</sub> A<sub>14</sub>
 A<sub>13</sub>~A<sub>0</sub>

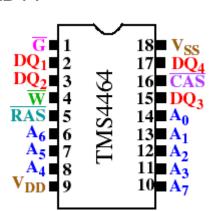
 模块选择
 组选择
 片内选择

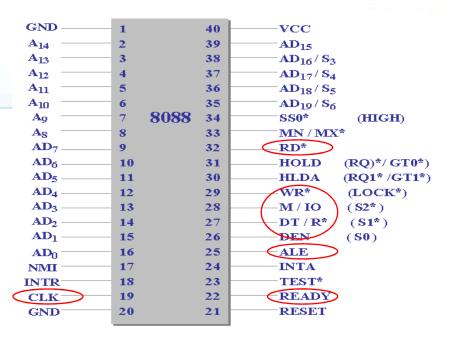
• 访存模式:字节,字,块

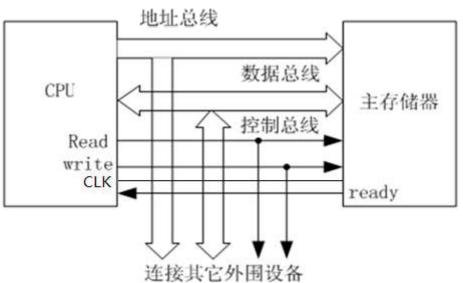


### **Big Picture**

- SRAM, DRAM, ROM
- 地址译码:字位扩展
- 总线驱动(缓冲),数据收发,地址锁存
- DRAM控制器
  - 读写命令
  - RAS/CAS如何产生?
  - 时序
    - 同步方式
    - wait?READY?
  - 刷新
  - 访问模式
  - 差错控制?

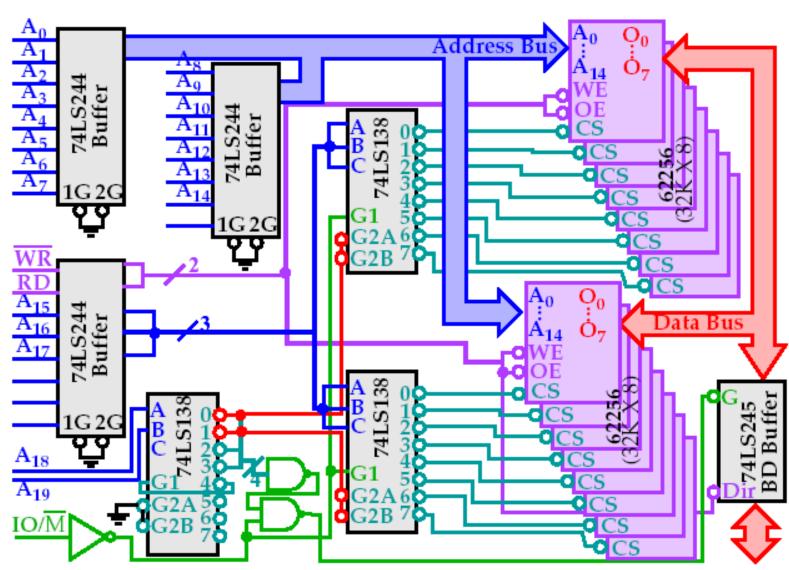






# 总线驱动、锁存(?)





#### **DRAM Controllers**

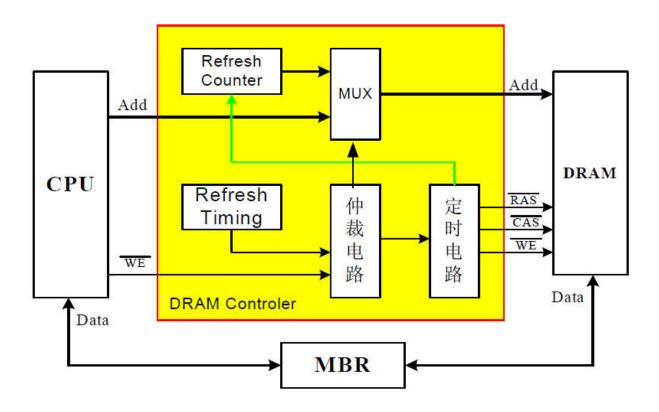


#### · DRAM扩展的特殊性

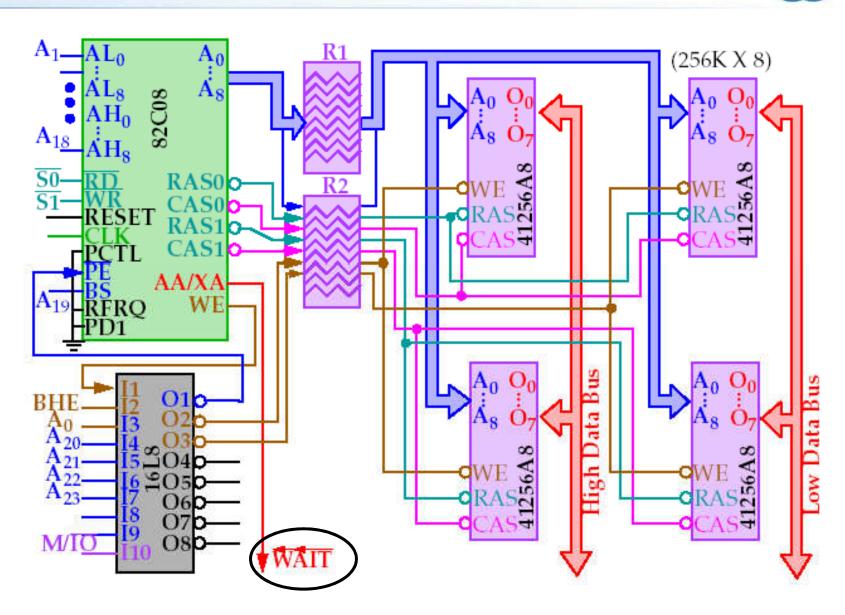
一 行地址与列地址复用:如何将全部地址分成行地址和列地址?

- DRAM芯片的片选:行地址选通信号RAS作为片选信号。

- **刷新控制**:提供刷新地址,刷新的控制,刷新的定时,刷新与CPU访问内存时的冲突策略(仲裁)等问题。



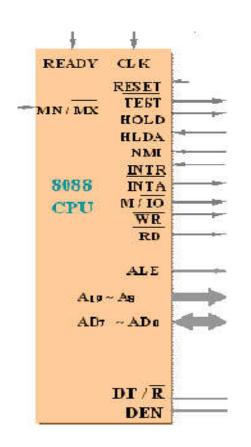
# DRAM Controllers Intel 82C08应用

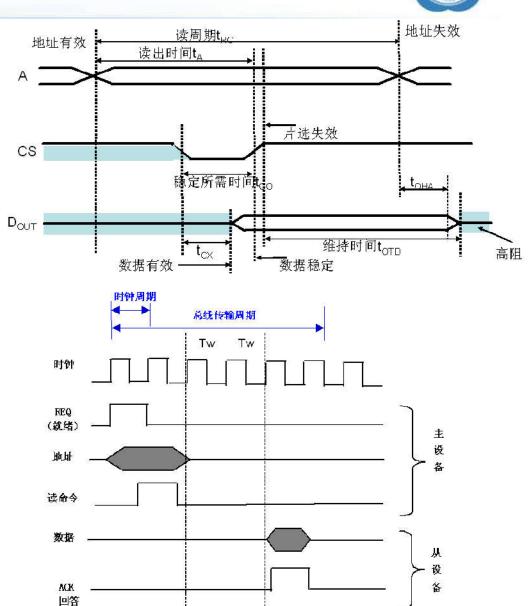


## 访存过程控制



- 同步方式
  - 同步?异步?
  - 存储周期
  - 总线周期





### 小结



1. 主存储器的基本组成和技术指标

主存储器
 (半导体存储器)

只读存储器(ROM)

掩模式ROM 可编程式PROM 可擦写式EPROM 电擦写式EEPROM

- 3. 存储器与CPU的连接
- 4. 存储器的校验—海明码
- 5. 提高访存速度的措施

**作业:4.3,4.6,**12、13、15



Thomas -