

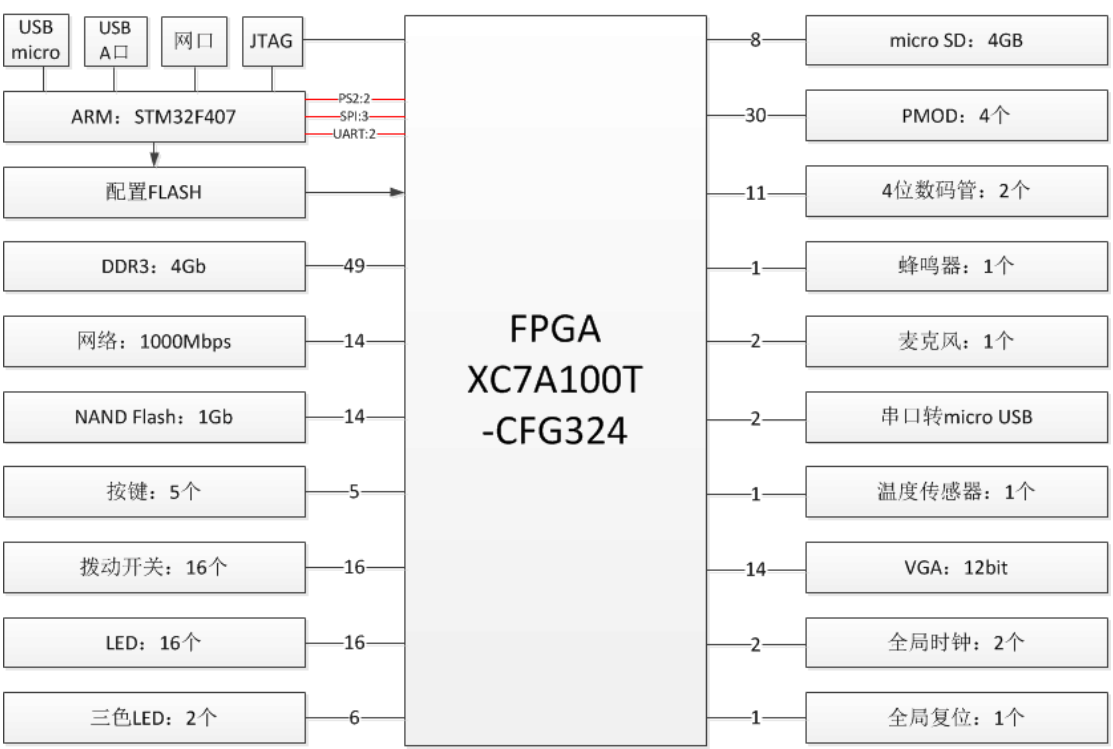
FPGA_STEP 参考手册

目录

概述.....	2
配置.....	2
电源网络.....	3
时钟网络.....	4
外设介绍.....	4
全局信号.....	4
基本 I/O	4
数码管.....	5
蜂鸣器.....	9
麦克风.....	9
温度传感器.....	9
VGA 接口.....	10
串口转 USB	10
Micro SD	10
NAND Flash	11
DDR3 SDRAM	11
网络.....	13

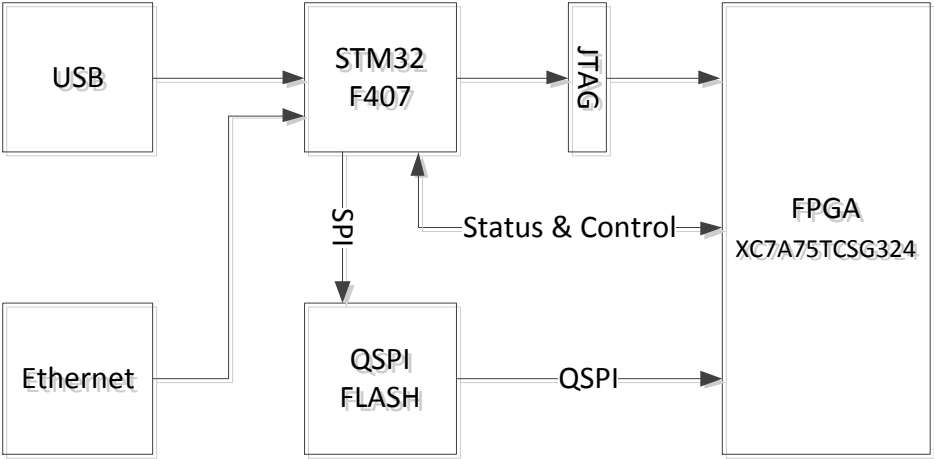
概述

FPGA 系统训练实验平台（FPGA STEP）是一款以 Xilinx 公司 Artix7 75T 芯片为核心的教学实验平台，包含按键、开关、LED 等最基本的外设，也包含 DDR3 SDRAM、NAND Flash 等存储外设，其丰富的外设为实验教学提供了极大的灵活性。下图为 FPGA STEP 的外设连接关系图。



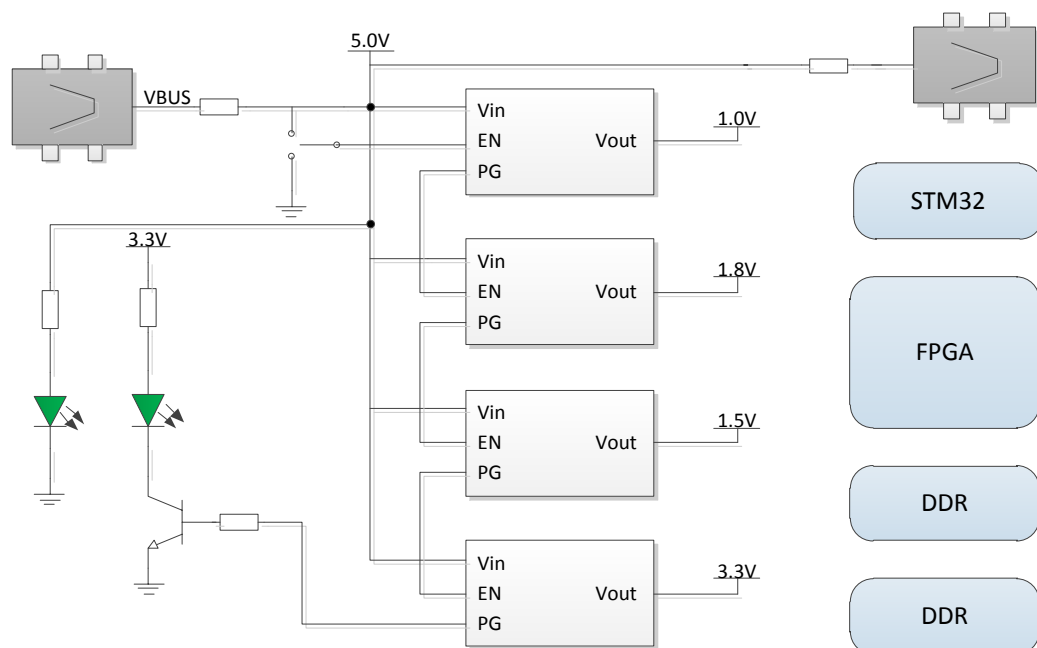
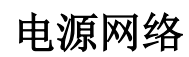
配置

FPGA 配置电路结构如下图所示

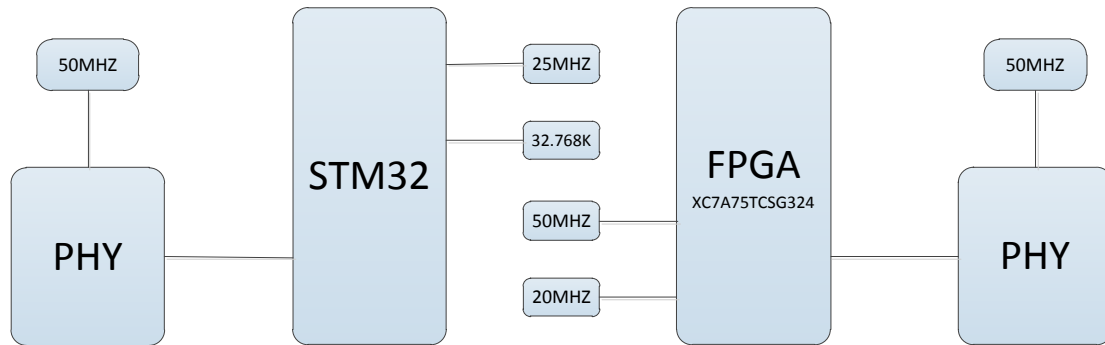


开发板支持如下配置方式

STM32 的 USB 口通过模拟 JTAG 协议下载或者通过写入配置 FLASH 下载
STM32 的网口通过模拟 JTAG 协议下载或者通过写入配置 FLASH 下载

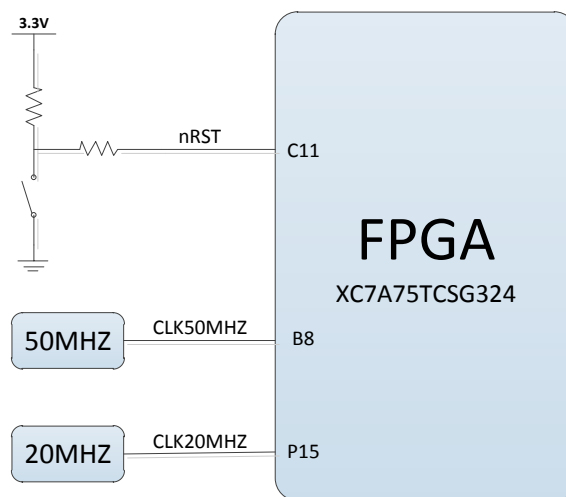


时钟网络



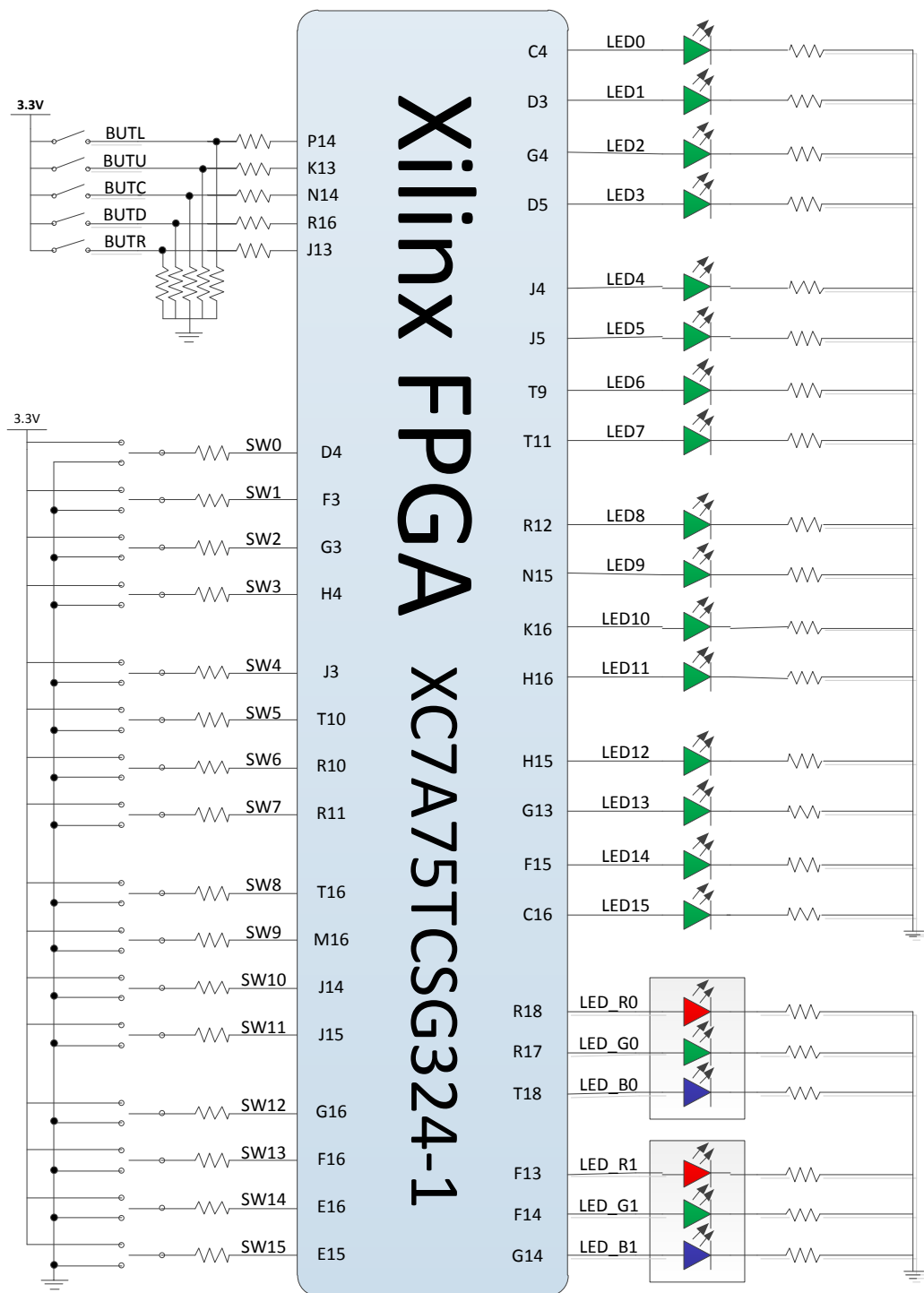
外设介绍

全局信号



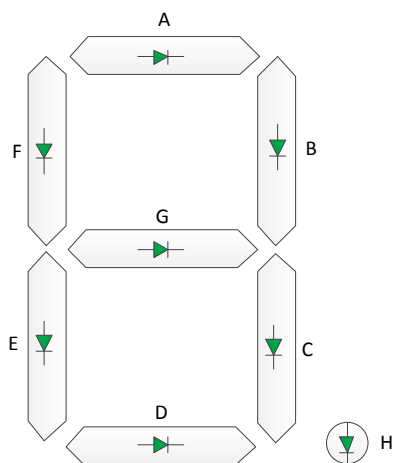
基本 I/O

FPGA STEP 开发板包含有 5 个按键、16 个拨码开关、16 个独立 LED、2 个三色 RGB_LED、2 个四位七段数码管，如下图所示



数码管

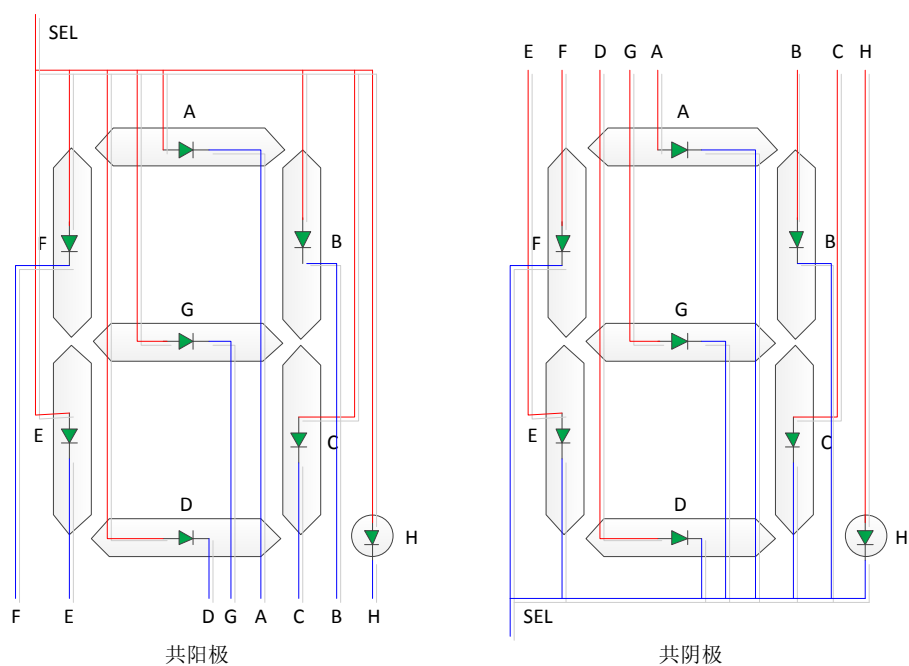
数码管本质来说就是 8 个发光二极管（LED），每个 LED 对应数码管中的一段，其对应关系如下图所示



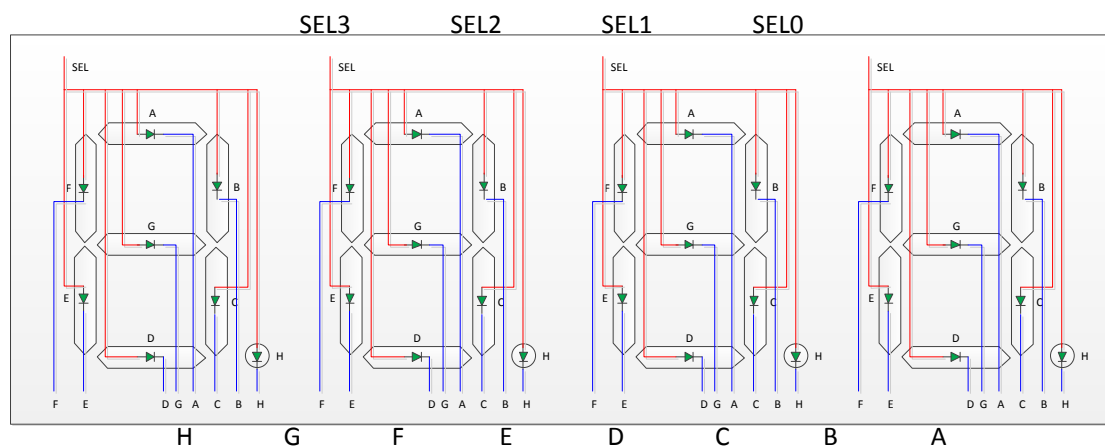
每个 LED 都包含一个阳极（P 端）和一个阴极（N 端），当电流从 P 流向 N 时，LED 发光，反之的不发光。



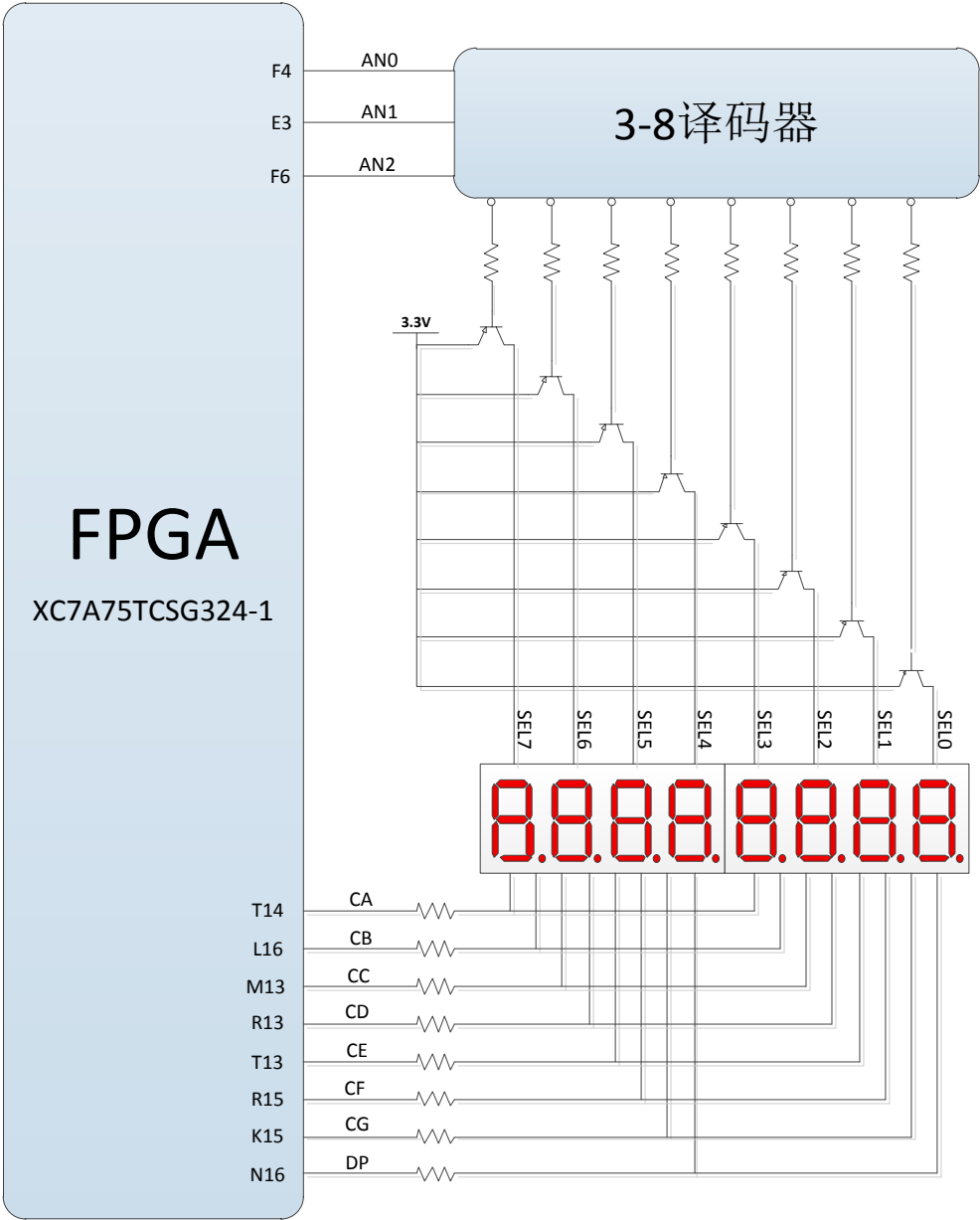
根据数码管中 LED 的连接方式不同，可分为共阳极和共阴极两种，以共阳极为例，将 8 个 LED 的 P 端连到一起（SEL），8 个 N 极独立输出。当 SEL 信号为高电平时，8 个 N 极中为低电平的信号所对应的 LED 点亮，否则不亮



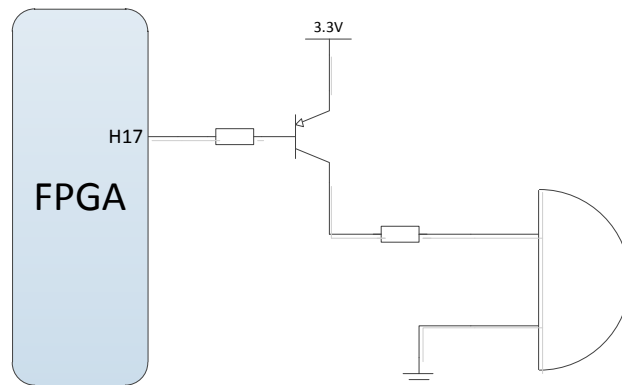
本开发板使用的是 4 位共阳极数码管，即将 4 个同样的数码管并联起来，每一个数码管位对应一根 SEL 信号



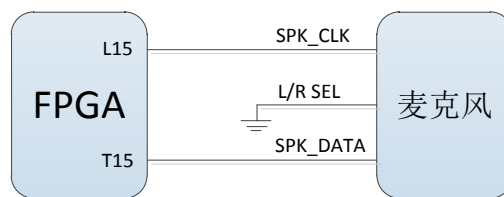
如下图所示，本开发板使用两个 4 位数码管，由一个 3-8 译码器译码之后控制使能端，每一时刻只有一位能够被使能。例如，译码器输入为 $3'b000$ ，A~H 输入为 $8'b0000_0000$ 时，译码器最右侧输出为低，其余输出均为高，经三极管反向放大之后，只有最右侧一位数码管被选中，此时最右侧数码管显示为“8.”，其余 7 位均不亮。



蜂鸣器

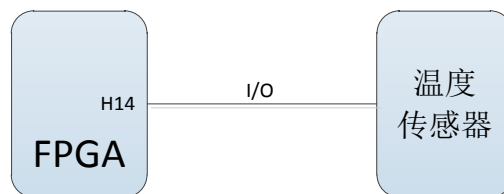


麦克风

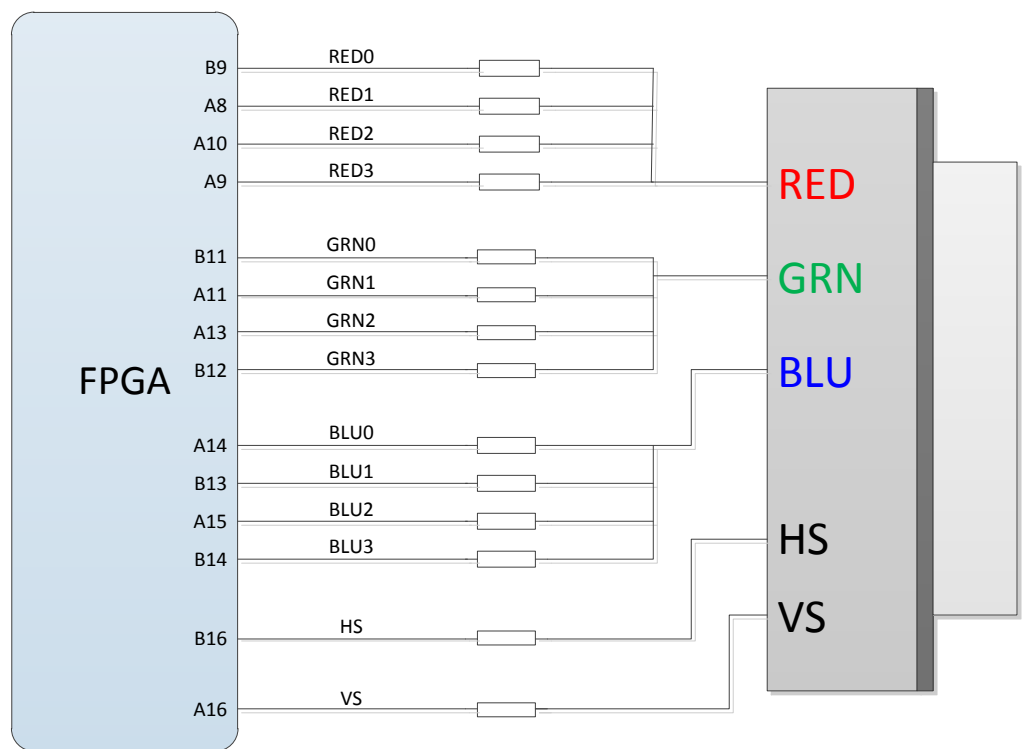


温度传感器

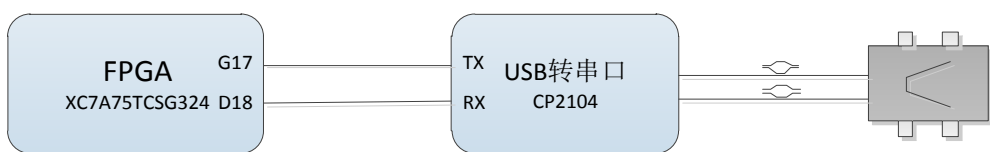
DS18B20



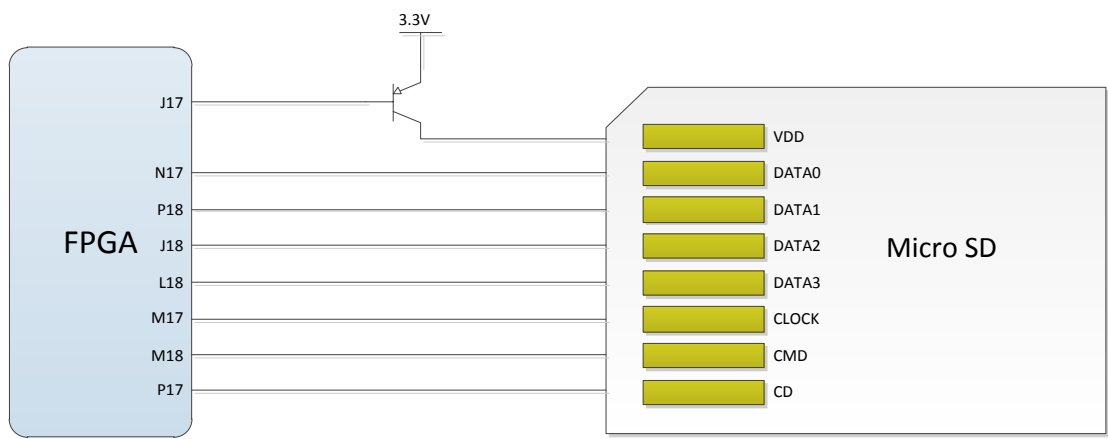
VGA 接口



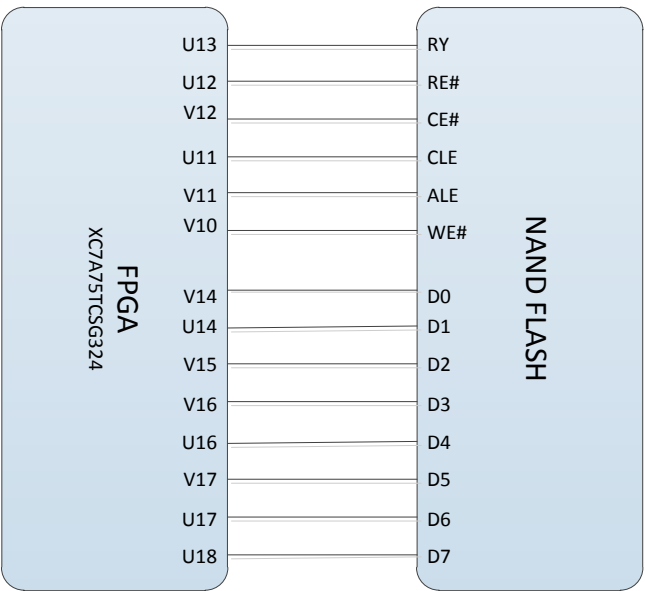
串口转 USB



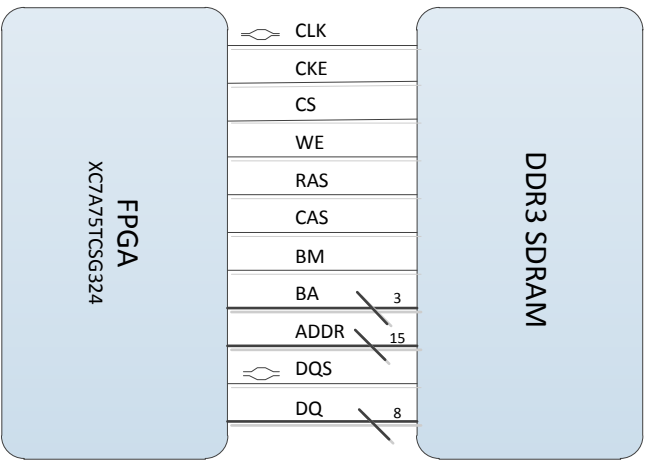
Micro SD



NAND Flash



DDR3 SDRAM



DDR3 与 FPGA 之间的管脚对应关系如下所示，

```
#set_property -dict { PACKAGE_PIN R2    IOSTANDARD LVCMOS15 } [get_ports { DDR3_OTD    }];
#set_property -dict { PACKAGE_PIN L5    IOSTANDARD LVCMOS15 } [get_ports { DDR3_RESET  }];
#set_property -dict { PACKAGE_PIN U9    IOSTANDARD LVCMOS15 } [get_ports { DDR3_CLK_P   }];
#set_property -dict { PACKAGE_PIN V9    IOSTANDARD LVCMOS15 } [get_ports { DDR3_CLK_N   }];
#set_property -dict { PACKAGE_PIN P3    IOSTANDARD LVCMOS15 } [get_ports { DDR3_CKE    }];
#set_property -dict { PACKAGE_PIN V1    IOSTANDARD LVCMOS15 } [get_ports { DDR3_CS     }];
#set_property -dict { PACKAGE_PIN P2    IOSTANDARD LVCMOS15 } [get_ports { DDR3_RAS    }];
#set_property -dict { PACKAGE_PIN R1    IOSTANDARD LVCMOS15 } [get_ports { DDR3_CAS    }];
```

```
#set_property -dict { PACKAGE_PIN U1      IOSTANDARD LVCMOS15 } [get_ports { DDR3_WE      }];
#set_property -dict { PACKAGE_PIN V2      IOSTANDARD LVCMOS15 } [get_ports { DDR3_BA[0]    }];
#set_property -dict { PACKAGE_PIN R3      IOSTANDARD LVCMOS15 } [get_ports { DDR3_BA[1]    }];
#set_property -dict { PACKAGE_PIN U2      IOSTANDARD LVCMOS15 } [get_ports { DDR3_BA[2]    }];
#set_property -dict { PACKAGE_PIN N2      IOSTANDARD LVCMOS15 } [get_ports { DDR3_DQS0_P    }];
#set_property -dict { PACKAGE_PIN N1      IOSTANDARD LVCMOS15 } [get_ports { DDR3_DQS0_N    }];
#set_property -dict { PACKAGE_PIN L6      IOSTANDARD LVCMOS15 } [get_ports { DDR3_DM[0]     }];
#set_property -dict { PACKAGE_PIN U3      IOSTANDARD LVCMOS15 } [get_ports { DDR3_A[0]      }];
#set_property -dict { PACKAGE_PIN T5      IOSTANDARD LVCMOS15 } [get_ports { DDR3_A[1]      }];
#set_property -dict { PACKAGE_PIN N4      IOSTANDARD LVCMOS15 } [get_ports { DDR3_A[2]      }];
#set_property -dict { PACKAGE_PIN M4      IOSTANDARD LVCMOS15 } [get_ports { DDR3_A[3]      }];
#set_property -dict { PACKAGE_PIN R5      IOSTANDARD LVCMOS15 } [get_ports { DDR3_A[4]      }];
#set_property -dict { PACKAGE_PIN T3      IOSTANDARD LVCMOS15 } [get_ports { DDR3_A[5]      }];
#set_property -dict { PACKAGE_PIN M6      IOSTANDARD LVCMOS15 } [get_ports { DDR3_A[6]      }];
#set_property -dict { PACKAGE_PIN U4      IOSTANDARD LVCMOS15 } [get_ports { DDR3_A[7]      }];
#set_property -dict { PACKAGE_PIN R6      IOSTANDARD LVCMOS15 } [get_ports { DDR3_A[8]      }];
#set_property -dict { PACKAGE_PIN P4      IOSTANDARD LVCMOS15 } [get_ports { DDR3_A[9]      }];
#set_property -dict { PACKAGE_PIN T1      IOSTANDARD LVCMOS15 } [get_ports { DDR3_A[10]     }];
#set_property -dict { PACKAGE_PIN V5      IOSTANDARD LVCMOS15 } [get_ports { DDR3_A[11]     }];
#set_property -dict { PACKAGE_PIN T4      IOSTANDARD LVCMOS15 } [get_ports { DDR3_A[12]     }];
#set_property -dict { PACKAGE_PIN V4      IOSTANDARD LVCMOS15 } [get_ports { DDR3_A[13]     }];
#set_property -dict { PACKAGE_PIN N6      IOSTANDARD LVCMOS15 } [get_ports { DDR3_A[14]     }];
#set_property -dict { PACKAGE_PIN K3      IOSTANDARD LVCMOS15 } [get_ports { DDR3_D[0]       }];
#set_property -dict { PACKAGE_PIN L3      IOSTANDARD LVCMOS15 } [get_ports { DDR3_D[1]       }];
#set_property -dict { PACKAGE_PIN K5      IOSTANDARD LVCMOS15 } [get_ports { DDR3_D[2]       }];
#set_property -dict { PACKAGE_PIN L4      IOSTANDARD LVCMOS15 } [get_ports { DDR3_D[3]       }];
#set_property -dict { PACKAGE_PIN L1      IOSTANDARD LVCMOS15 } [get_ports { DDR3_D[4]       }];
#set_property -dict { PACKAGE_PIN M2      IOSTANDARD LVCMOS15 } [get_ports { DDR3_D[5]       }];
#set_property -dict { PACKAGE_PIN M3      IOSTANDARD LVCMOS15 } [get_ports { DDR3_D[6]       }];
#set_property -dict { PACKAGE_PIN M1      IOSTANDARD LVCMOS15 } [get_ports { DDR3_D[7]       }];
```

网络

