



计算机组成原理

第三章 系统总线 (COD第6章)

李曦 (llxx@ustc.edu.cn)



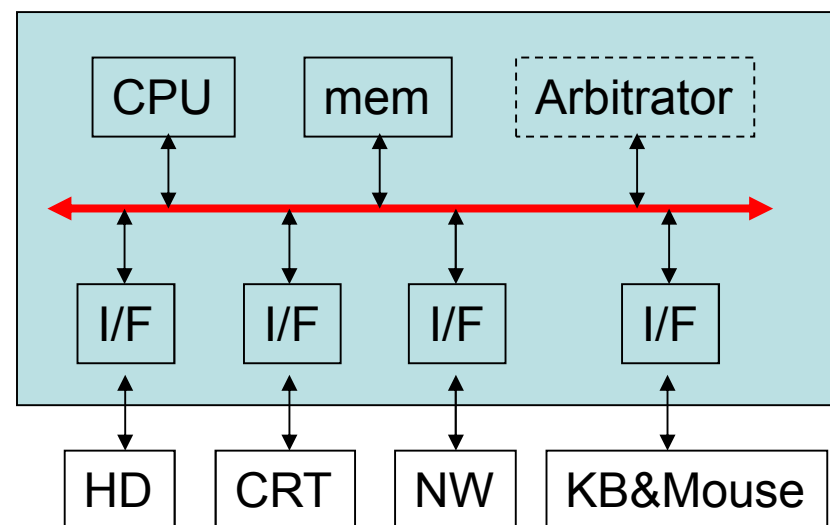
本章内容

- 3.1 总线的概念和分类
- 3.2 总线特性及性能指标
 - 总线特性
 - 性能指标
 - 总线标准
- 3.3 总线的结构
- 3.4 总线控制
 - 传输过程
 - 判优控制
 - 通信控制

思考:



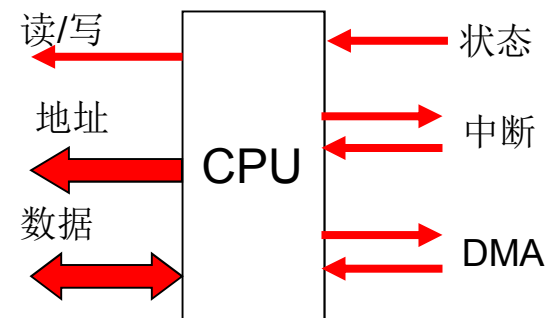
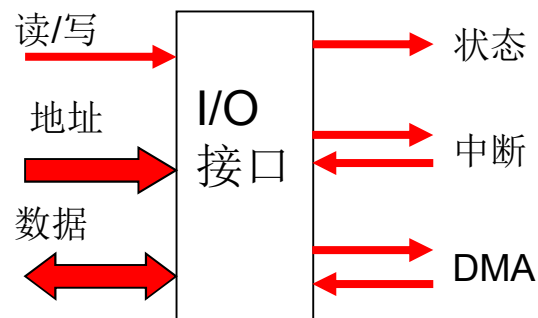
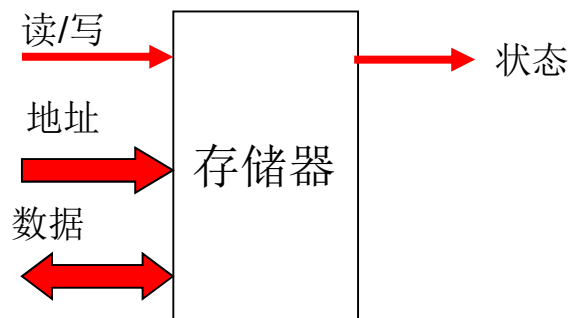
- 系统中有哪些功能部件，如何命名/寻址？
- 系统中哪些部件间需要进行数据传输？
- 总线是什么？为什么需要总线？
- 总线系统互连拓扑结构？主从设备？
- 总线传输过程的CFG、FSM描述？
- 总线仲裁的基本策略？
- 总线与OS的关系？



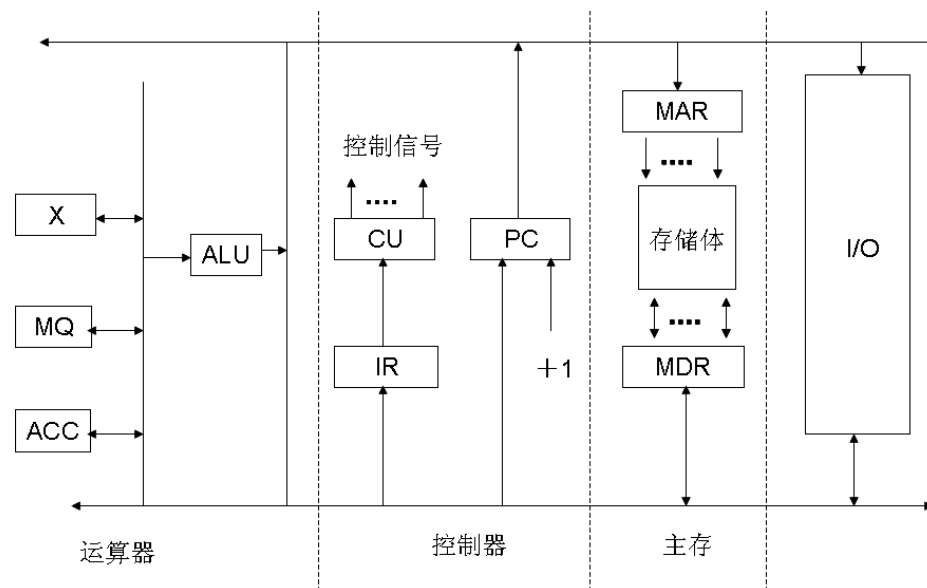
3.1 总线的基本概念和分类



计算机部件: I/F, pin configuration



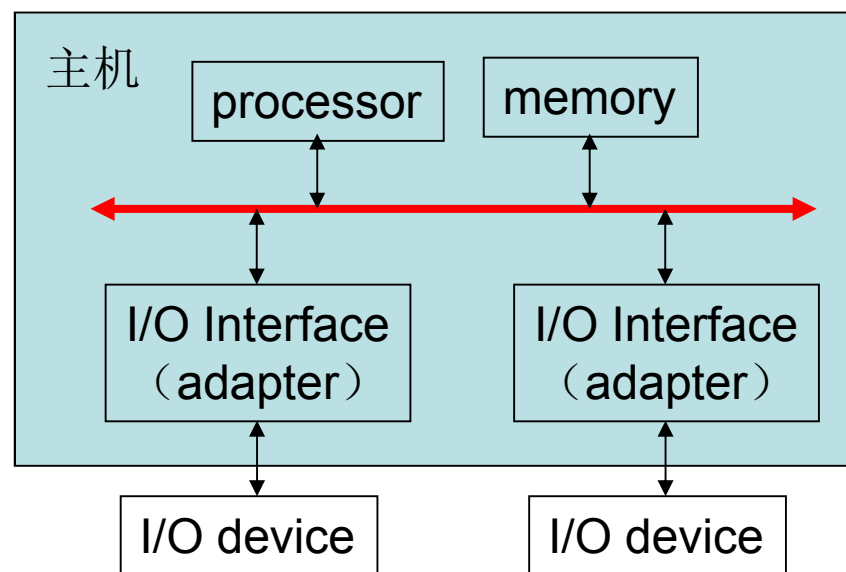
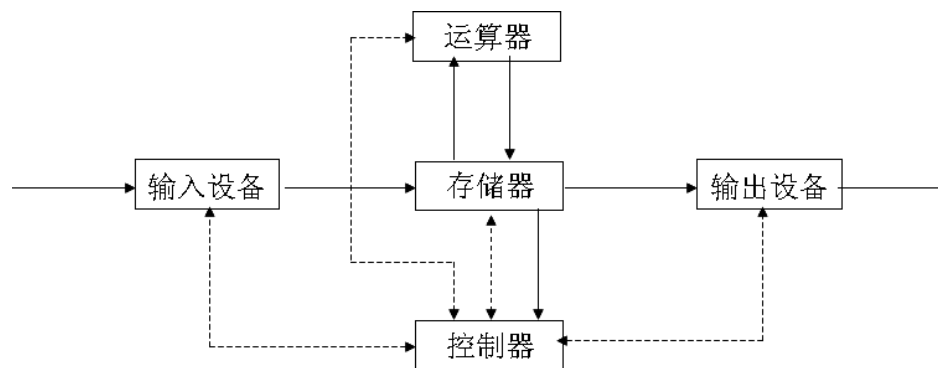
- 读写控制信号
- 地址线
- 数据线
- 握手信号
 - 状态、中断、DMA
- 时钟、电源、地线



系统互联



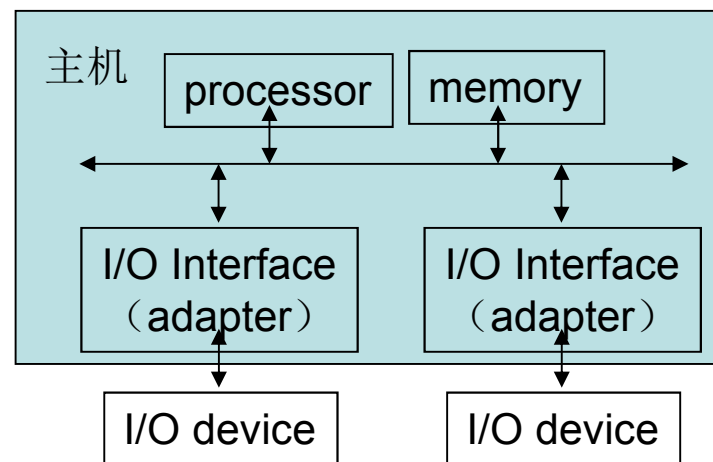
- 分散连接
 - 内部连线十分复杂，布线困难
 - 扩展性差
 - 通信效率高（点对点）
- 总线连接
 - 简洁
 - 扩展性好
 - 共享竞争
- 1970年DEC公司PDP-11小型计算机首次采用



总线



- 定义：是连接多个部件的传输线
- 总线的关键特征：多设备**共享**的传输线。
- 总线的两个特点：
 - 任意时刻只能有一个设备向总线发送信息
 - 系统瓶颈
 - 多个部件可以同时从总线**接受**相同的信息
 - 广播式





总线分类——按位置

• 片内总线

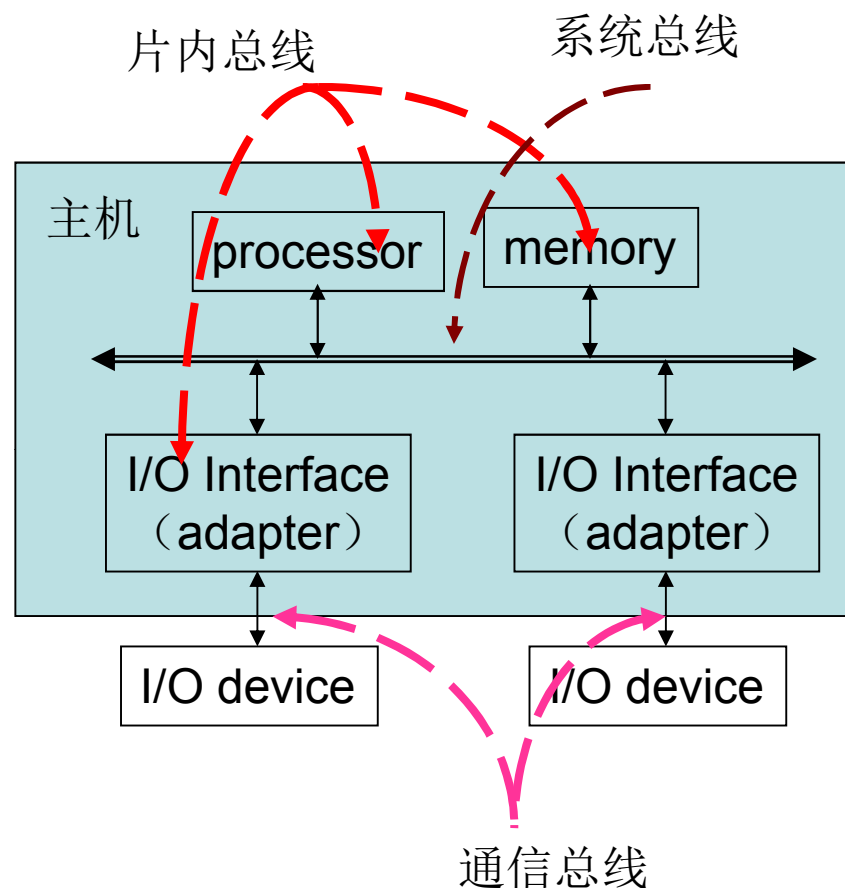
- 是指芯片内部的总线。
- 如在CPU芯片内部，寄存器和寄存器之间、寄存器和算逻单元ALU之间都有总线连接。

• 系统总线

- 是指CPU、主存、I/O（通过I/O接口）各大部件之间的信息传输线。
- 又叫板级总线和板间总线
- 如ISA、PCI等。

• 通信总线（I/O总线）

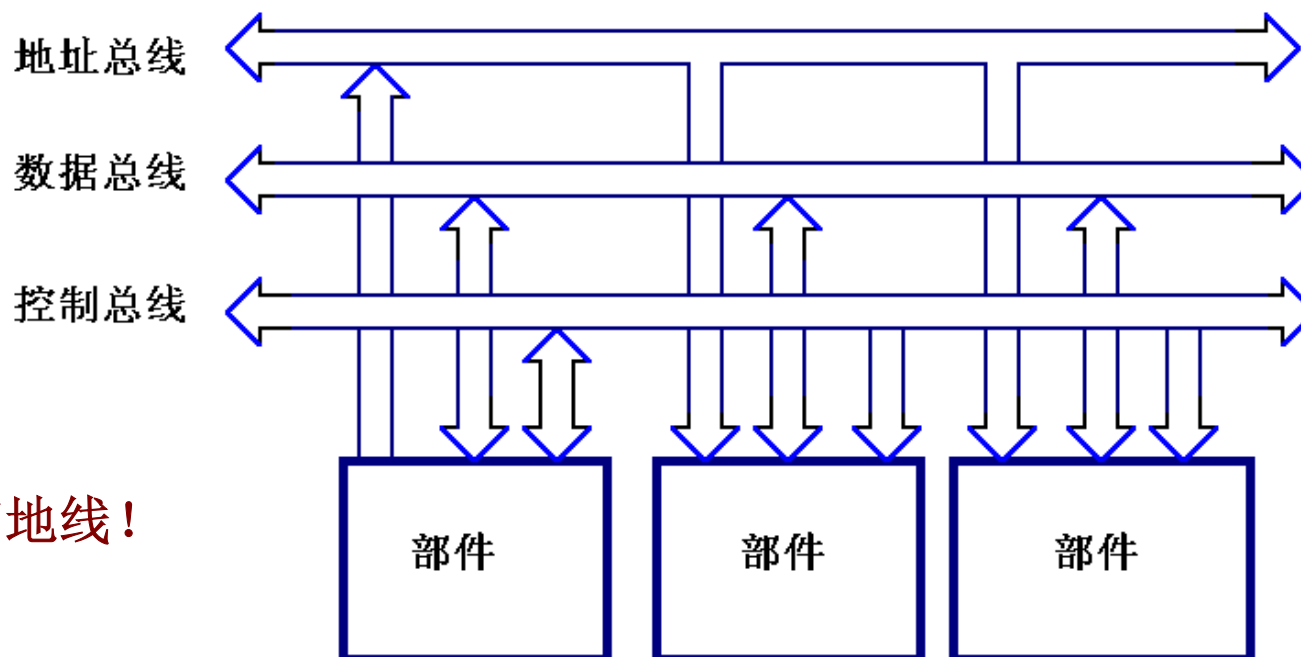
- 是指计算机系统之间或计算机系统与其他系统（如控制仪表等）之间的通信传输线。
- IDE、SCSI、USB、RS-232





总线分类——按功能

- 数据总线（DB）
 - 双向，宽度差别
- 地址总线（AB）
 - 单向，宽度与寻址空间有关
- 控制总线（CB）
 - 命令和状态



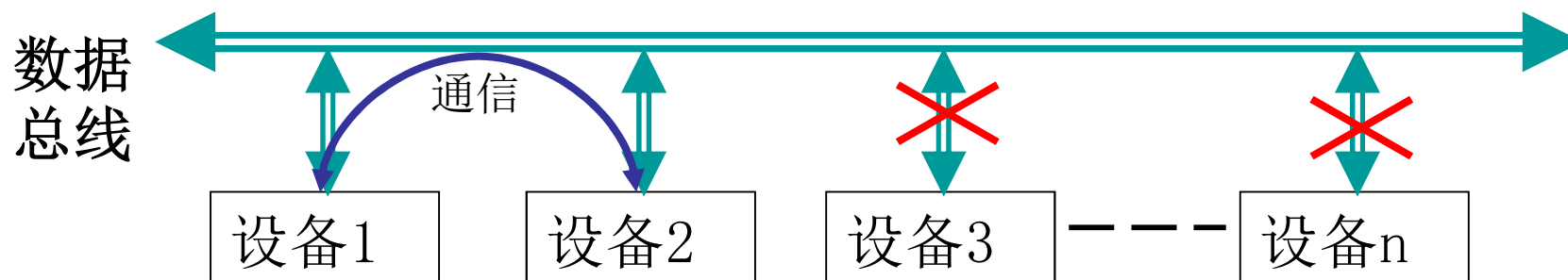
总线也包括电源线和地线！



数据总线

- 数据总线上传送数据信息，数据总线是**双向**的。
- 数据总线的条数称为**数据总线宽度**。比如，16位总线，指其数据总线为16根。
- 数据总线是**三态**的，未被地址信号选中的部件，不驱动数据总线（其数据引脚为高阻）。

为什么使用三态？所谓三态，是指0，1和高阻抗三个状态。由于数据总线是公共通道，在某一时刻，只允许接收某一设备的信号，其他一切设备都应和它断开（呈高阻抗状态）。





控制总线

- 控制总线上传送一个部件对另一个部件的控制信号。
- **主设备与从设备**：在总线上所连接的各类设备，按其对总线有无控制功能可分为主设备和从设备。
 - **主设备**对总线有控制权，**从设备**只能响应主设备发来的总线命令。这样，总线上所有的信息传输都是由主设备启动的。
- 根据不同的使用意义，控制总线上有的信号线为三态，有的非三态。

地址总线



- 地址总线上传送地址信号，主要用来指定需要访问的部件（如存储器单元、外设）。
- 总线主设备发出地址信号后，总线上的所有部件均感受到该地址信号，但只有**经过译码电路选中的部件**才接收主设备的控制信号，并与之通信。
- 地址总线是**单向**的（？），即地址信号只能由总线主设备至从设备。地址总线也是三态的，非主设备部件不能驱动地址总线。

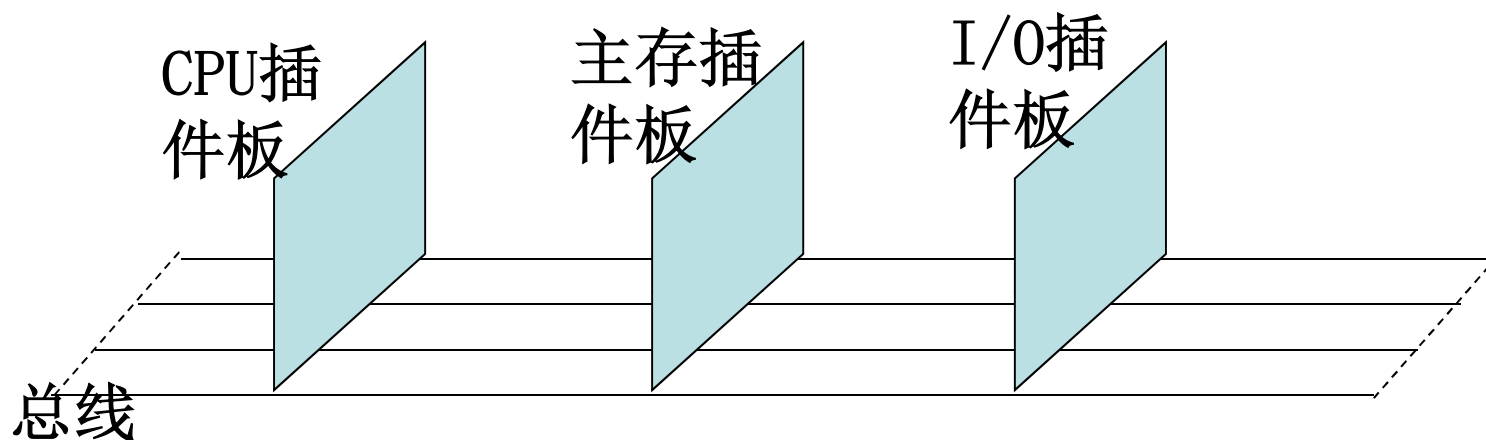


3.2 总线特性及性能指标

- 总线特性
- 性能指标
- 总线标准

总线特性(1)

- 从物理角度来看，总线就是一组电导线。



- 为了保证机械上的可靠连接，必须规定其**机械特性**；
- 为了保证电气上正确连接，必须规定其**电气特性**；
- 为了保证正确地连接不同部件，还需规定其**功能特性**和**时间特性**。



总线特性(2)

- **机械特性：**是指总线在机械连接方式上的一些性能。
 - 如插头和插座使用的标准，它们的几何尺寸、形状、引脚的个数以及排列的顺序，接头处的可靠接触等等。
- **电气特性：**是指总线的每一根传输线上信号的传输方向和有效的电平范围。
 - 如低电平表示逻辑“1”，并要求电平低于 $-3V$ ；高电平表示逻辑“0”，并要求高电平高于 $+3V$ 。
- **功能特性：**是指总线中每根信号传输线的功能。
- **时间特性：**是指总线中的任一根信号传输线在什么时间内有效。
 - 为了正确传输数据信息，每条总线上的各种信号，互相存在着一种有效时序的关系，因此，时间特性一般可用信号时序图来描述。



总线性能指标(1)

- **信号线数**：即地址总线、数据总线和控制总线三种总线的根数总和。
- **总线宽度**：是指数据总线的根数，用bit（位）表示，如8位、16位、32位、64位（也即8根、16根、32根、64根数据线）。
- **最大传输率（总线带宽）**：总线本身所能达到的最高传输速率，用MB/s（每秒多少兆字节）表示。
 - 例：总线工作频率33.3MHz，总线宽度32位，则最大传输率 = $33.3 \times 32 / 8 = 132 \text{MB/s}$ 。
- **时钟同步/异步**：总线上的数据与时钟同步工作的总线称为同步总线，与时钟不同步工作的总线称为异步总线。



总线性能指标(2)

- **总线控制方式**：包括并发工作、自动配置、仲裁方式、逻辑方式、计数方式等。
- **负载能力**：通常用可连接扩增电路板数来反映总线的负载能力。
 - 由于不同的电路对总线的负载是不同的，即使同一电路在不同的工作频率下，总线的负载也是不同的。因此，总线负载能力的指标是不太严格的。
- **总线复用**：为提高总线的利用率，将地址总线和数据总线共用一组物理线，在某一时刻该总线传输地址信号，另一时刻传输数据信号或命令信号。
- **其他**：如电源电压是5V还是3.3V、总线能否扩展至64位宽度等。

例1



- **题目：**某总线在一个总线周期中并行传送4个字节的数据，假设一个**总线周期**等于一个总线**时钟周期**，总线时钟频率为33MHz，则**总线带宽**是多少？

提示：此题主要是考查对总线带宽的理解。

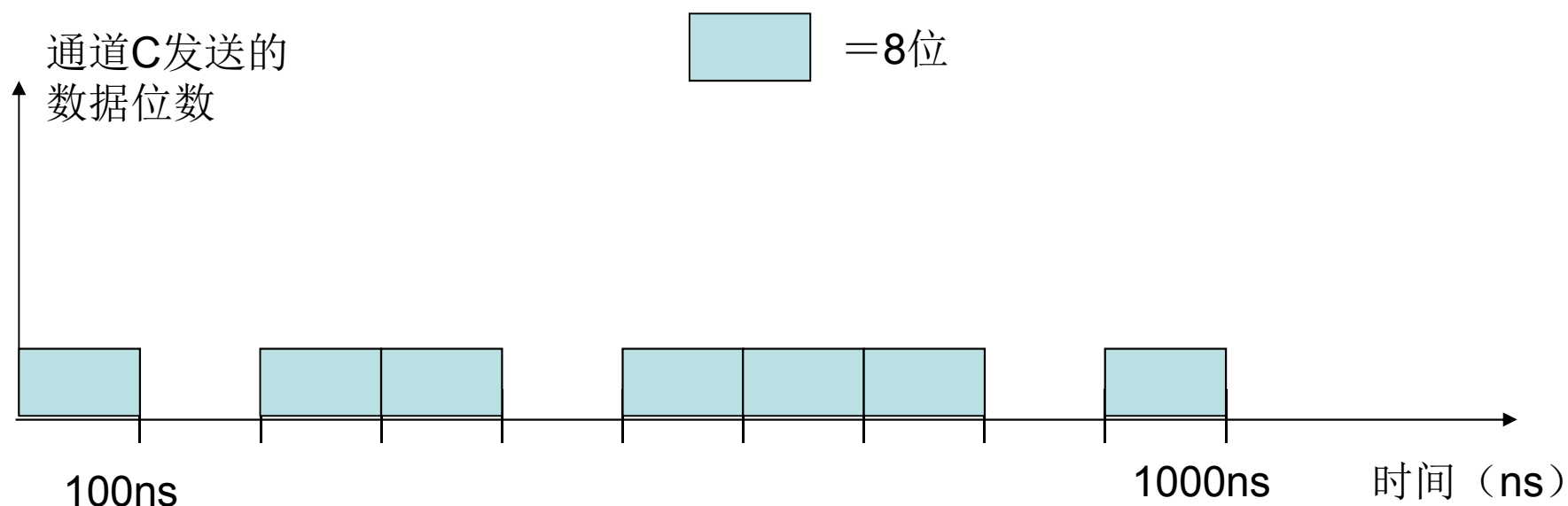
$$\begin{aligned}\text{总线带宽} &= \text{一次传输的字节数} / \text{总线周期} \\ &= (\text{总线宽度}/8) * \text{总线时钟频率}\end{aligned}$$

- **解：**设总线带宽用 D_r 表示，总线时钟周期用 $T=1/f$ 表示，一个总线周期传送的数据量用 D 表示，
 - (1) 根据定义可得 $D_r = D/T = D \times 1/T = D \times f$
 $= 4B \times 33 \times 1000000/s = 132MB/s$
 - (2) 64位=8B, $D_r = D \times f$
 $= 8B \times 66 \times 1000000/s = 528MB/s$



通信度量

- 平均速率 = $56\text{bits}/1000\text{ns} = 56\text{Mb/s}$
 - avgrate
- 最大速率 = $8\text{bits}/100\text{ns} = 80\text{Mb/s}$
 - peakrate





总线带宽需求分析

- 例如：系统需求如下
 - 每秒30帧，每帧640*480，彩色数24位的图象显示卡的数据吞吐量为28MB/s;
 - 100Mbps传输率的光纤网，需总线吞吐量为12.5MB/s;

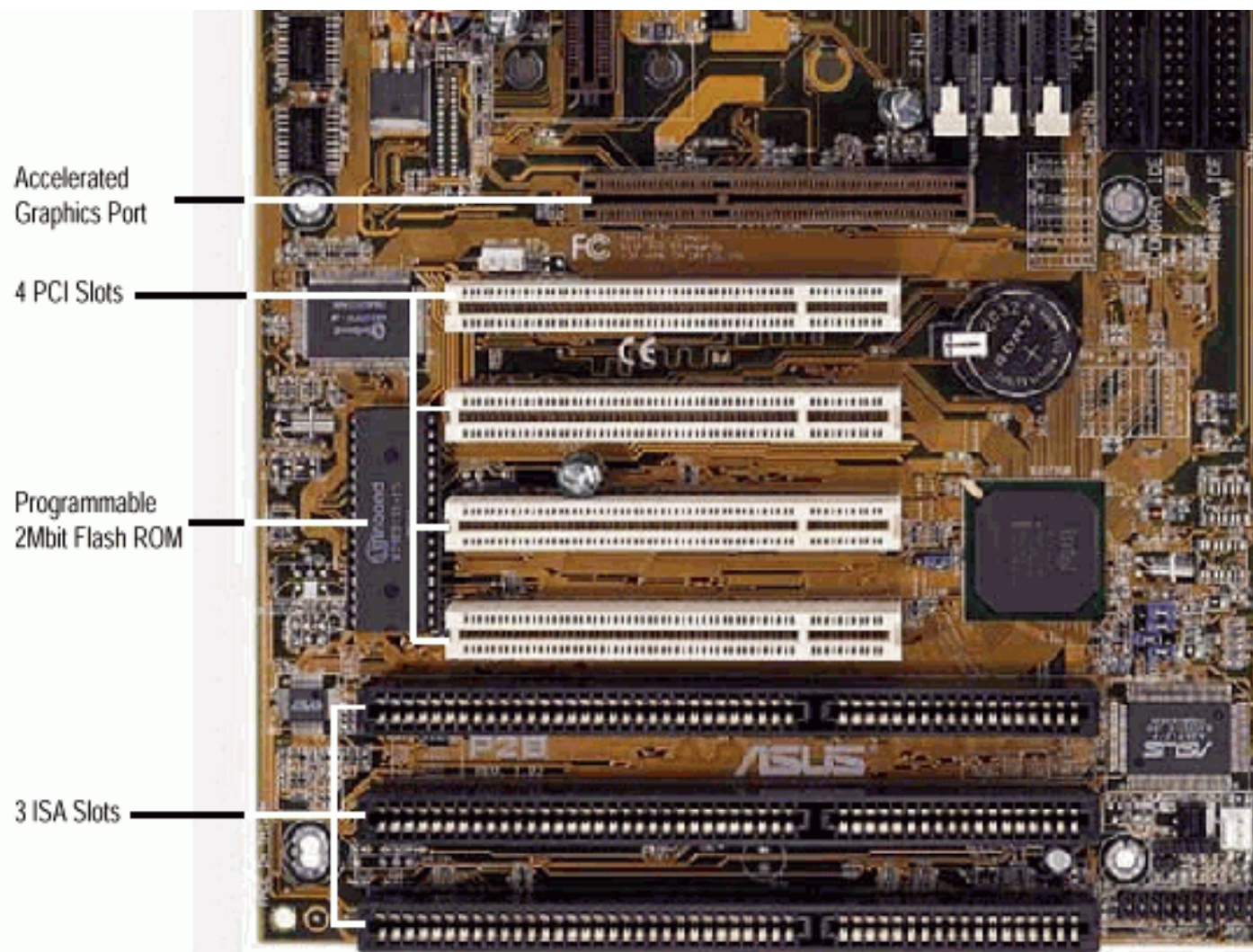


总线标准

- 总线是在计算机系统模块化的发展过程中产生的，随着计算及应用领域的不断扩大，计算机系统中各类模块（特别是I/O设备所带来的各类接口模块），其品种极其繁杂，往往出现一种模块要配一种总线，**很难在总线上更换、组合各类模块或设备。**
- 20世纪70年代末，为了使系统设计简化，模块生产批量化，确保其性能稳定，质量可靠，便于维护，人们开始研究如何建立总线标准，完成系统设计和模块制作。
- 所谓**总线标准**，可视为系统与各模块、模块与模块之间的一个互连的标准**界面**。
 - 这个界面两端的任一方只需根据总线标准的要求完成自身一
面接口的功能要求，而无需了解对方接口与总线的连接要求。
 - 因此，按总线标准设计的接口可视为通用接口。

目前流行的总线标准

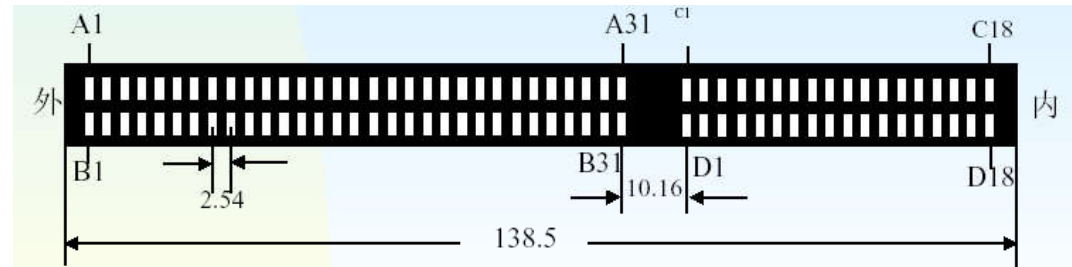
- ISA
- EISA
- STD
- PCI
- AGP
- SCSI
- USB
-



ISA、EISA



- **ISA:** Industry Standard Architecture——工业标准体系结构，又称**AT总线**
 - 24位地址线（可直接寻址的内存容量为16MB）
 - 62+36引脚
 - 8/16位数据线
 - 最高时钟频率8MHz
 - 最大传输率16MB/s
- **EISA:** Extended Industry Standard Architecture —— 扩展工业标准体系结构
 - EISA是一种在ISA基础上扩充开放的总线标准
 - 地址总线32位
 - 数据总线32位
 - 总线的时钟频率为8MHz
 - 最大传输率33MB/s

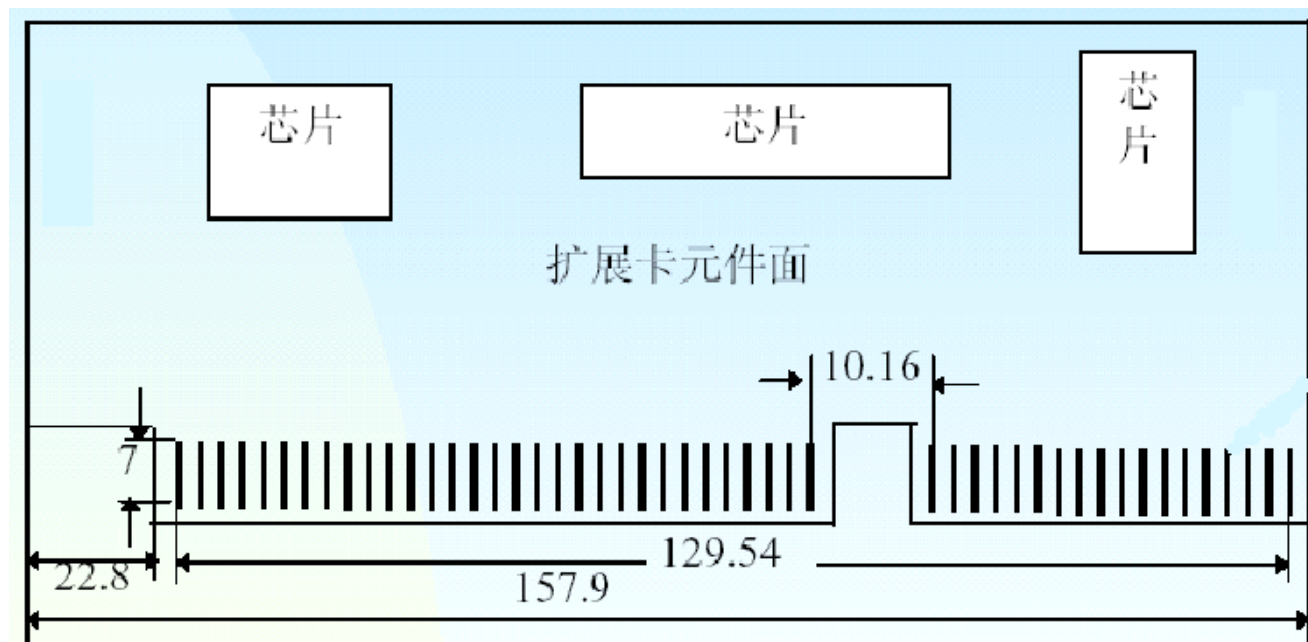
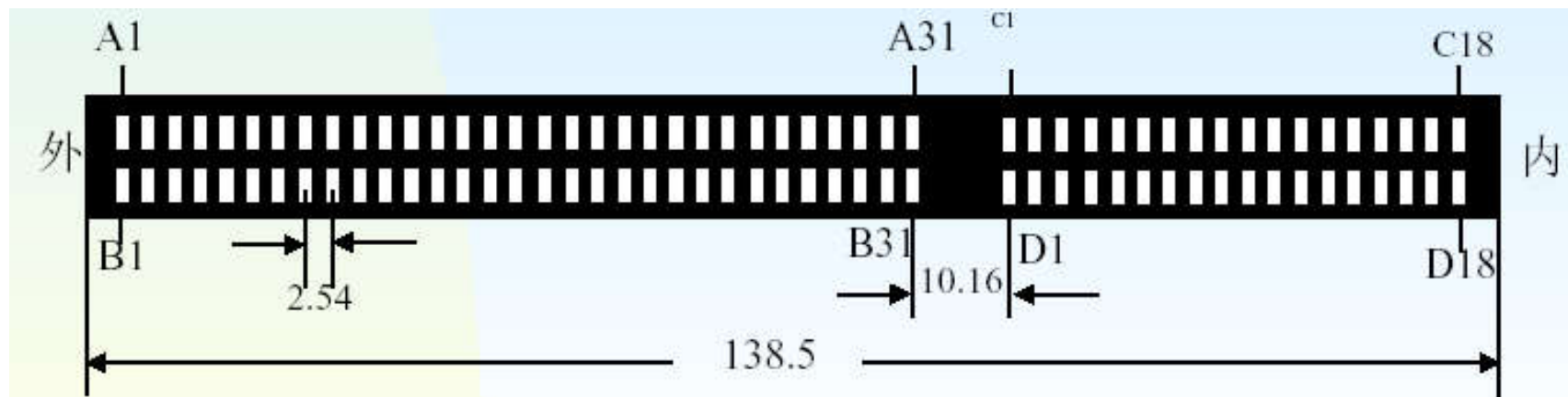


STD、PCI、AGP、SCSI、USB

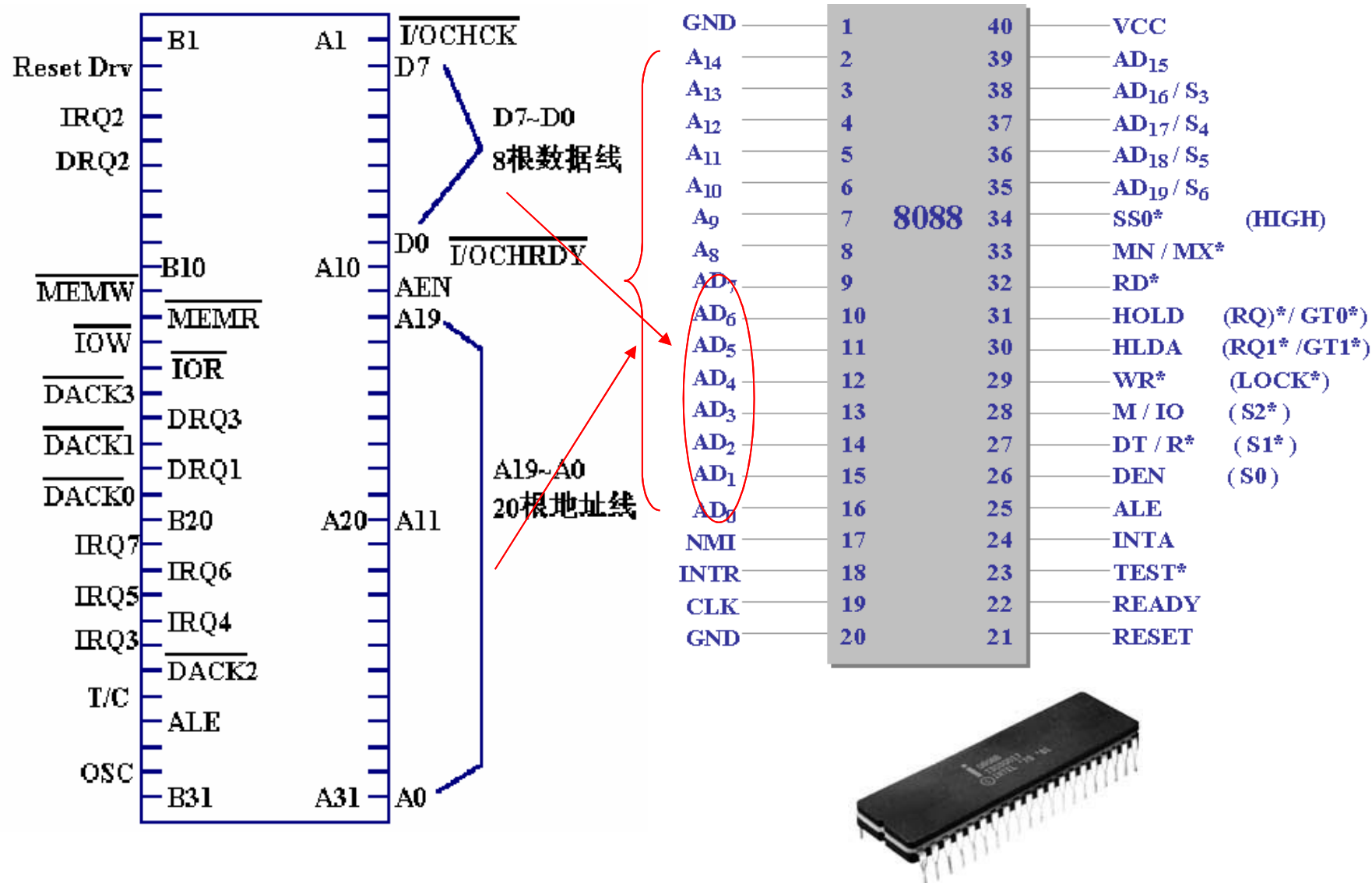


- STD: STD总线于1987年被国际电子电气工程师协会 (IEEE) 列为标准 (IEEE961标准)
 - 主要用于以微处理器为中心的**工业控制**领域。
 - 数据总线**8**位，最大传输率**2MB/S**。
- **PCI**: Peripheral Component Interconnect——外部设备互连总线。
 - **32/64**位数据总线，总线时钟频率**33MHz**
 - 最大数据传输率**132MB/s~264MB/s**
 - 与**ISA**、**EISA**均可兼容
 - 支持即插即用、支持多层结构
- AGP: Accelerated Graphics Port——加速图形接口
 - 专为提高视频带宽而设计的总线规范。采用点对点连接，连接控制芯片组和AGP显示卡，因此严格说AGP不能称为总线，而是一种接口标准。
- SCSI: Small Computer System Interface——小型计算机系统接口
 - 主要用于光驱、音频设备、扫描仪、打印机以及像硬盘驱动器这样的大容量存储设备等的连接，是一种直接连接外设的并行I/O总线。
- USB: Universal Serial Bus——通用串行总线
 - 是一种连接外围设备的I/O总线，具有即插即用、热拔插等优良特点。

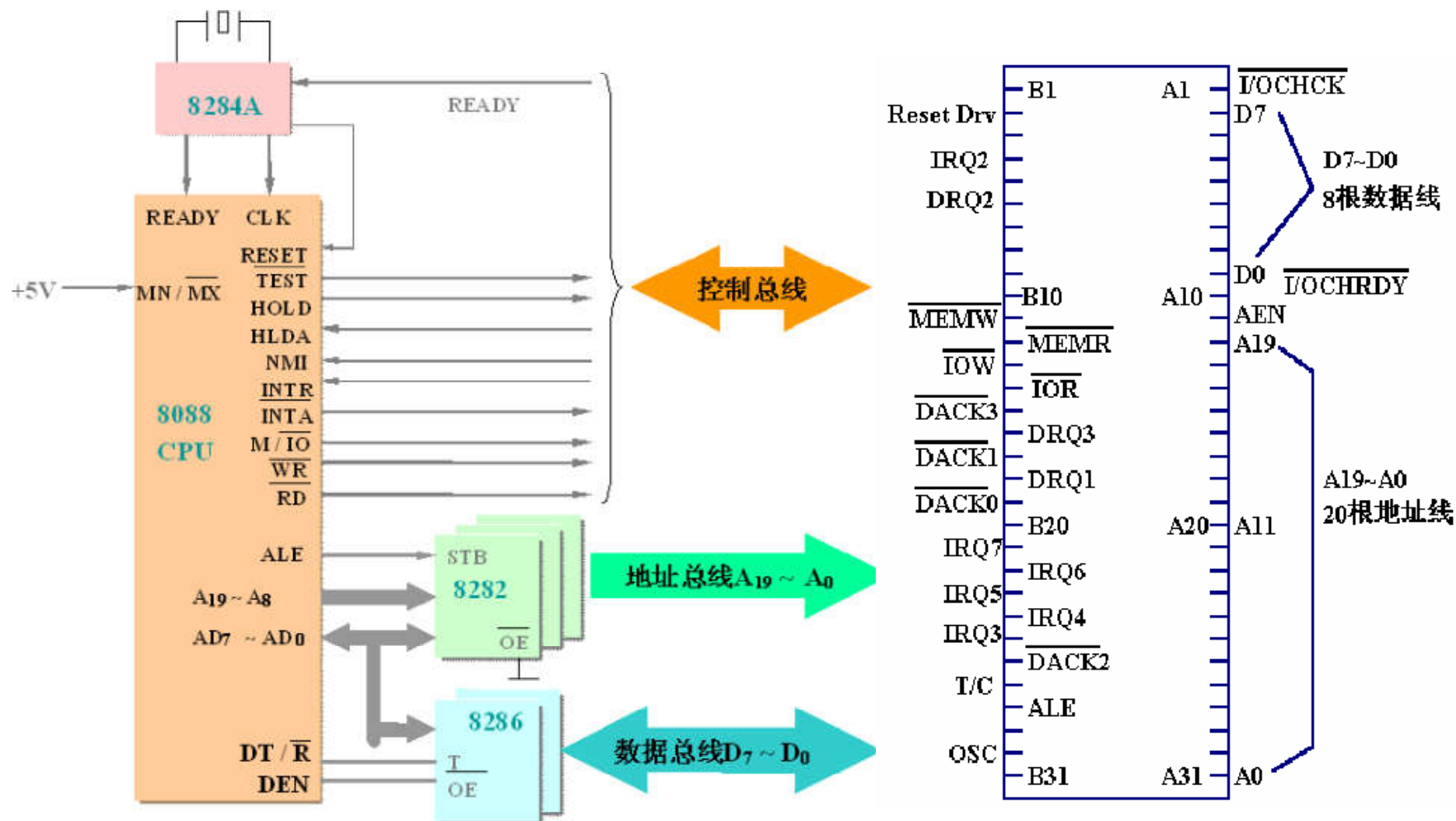
16位ISA总线



8位ISA总线接口



最小组态系统





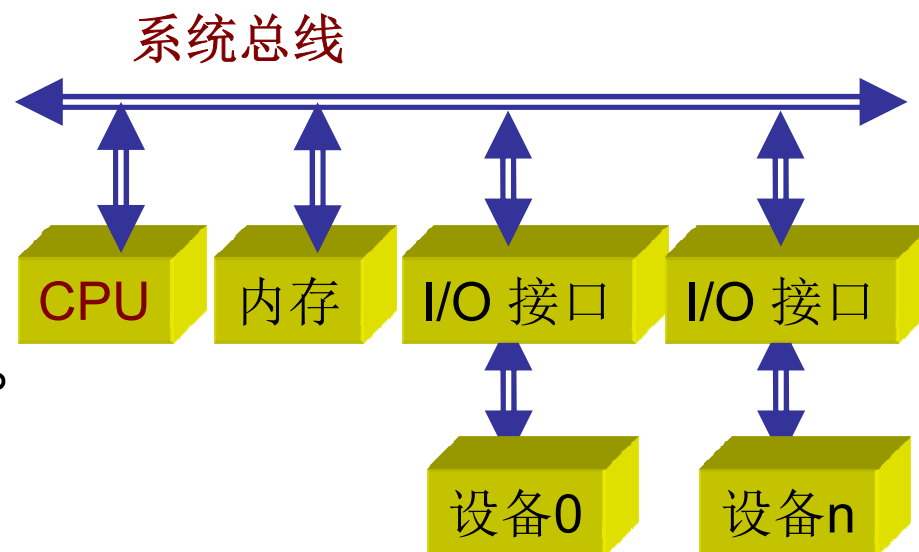
3.3 总线的拓扑结构

- 单总线结构
- 双总线结构
- 多总线结构



单总线结构

- 单总线结构将CPU、主存、I/O设备（通过I/O接口）都挂到一组总线上，允许I/O之间、I/O与主存之间直接交换信息。
- 这种结构简单，便于扩充。但是，由于所有的传送都通过这组总线，容易形成计算机系统的瓶颈。

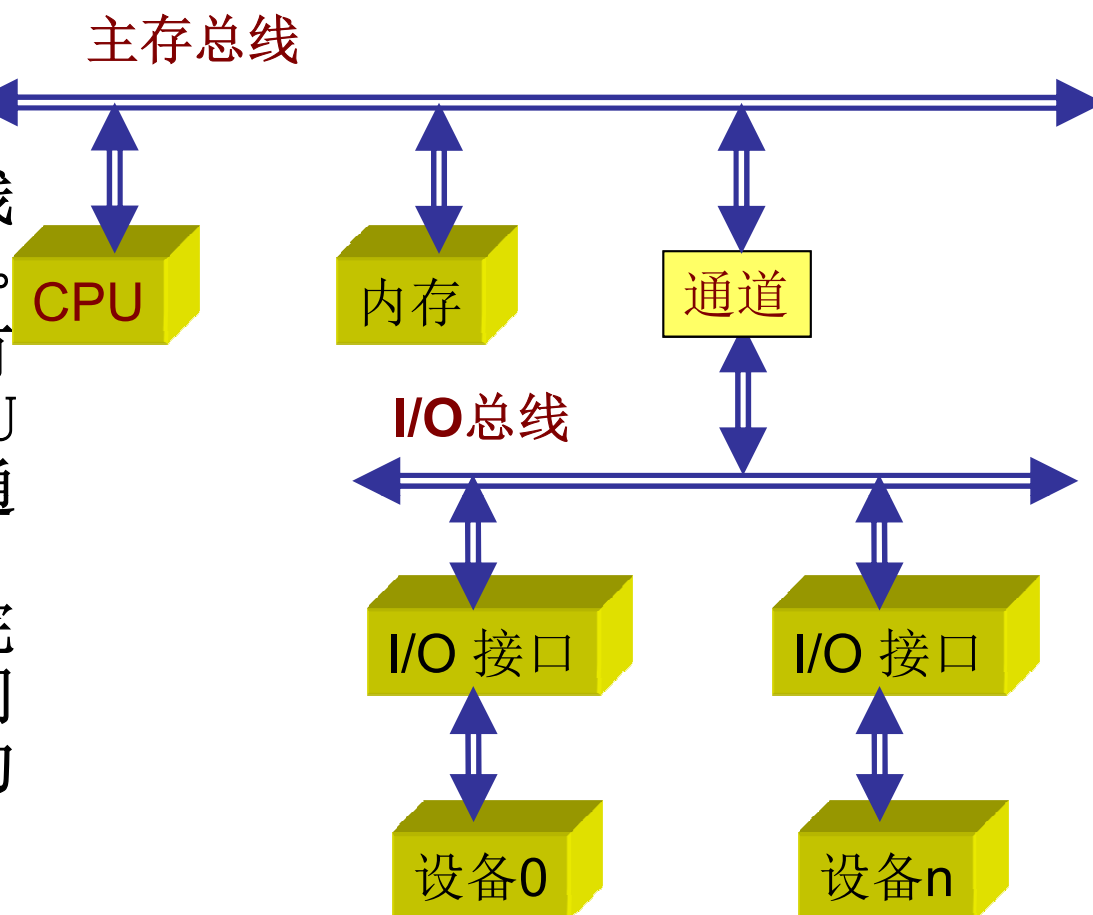


- 为了从根本上解决CPU、主存与I/O设备之间**传输速率的不匹配问题**，实现CPU与其他设备的相对同步，不得不采用多总线结构。



双总线结构

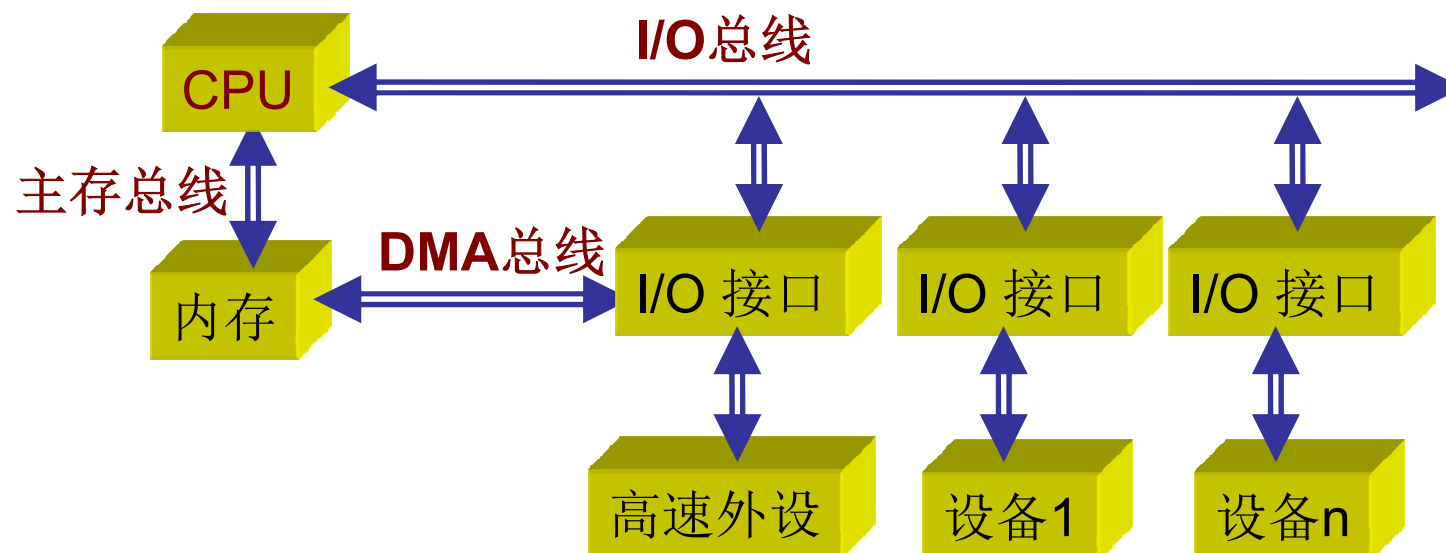
- **特点：**将速度较低的I/O设备从单总线上分离出来，形成主存总线和I/O总线分开的结构。
- **概念：**通道是一个具有特殊功能的处理器，CPU将一部分功能下放给通道，使其对I/O设备具有统一管理功能，以完成外部设备与主存之间的数据传送，其系统的吞吐能力可以相当大。



如果将速率不同的I/O设备进行分类，然后将它们连接在不同的通道上，那么计算机系统的利用率会更高，如此发展成多总线结构。

三总线结构

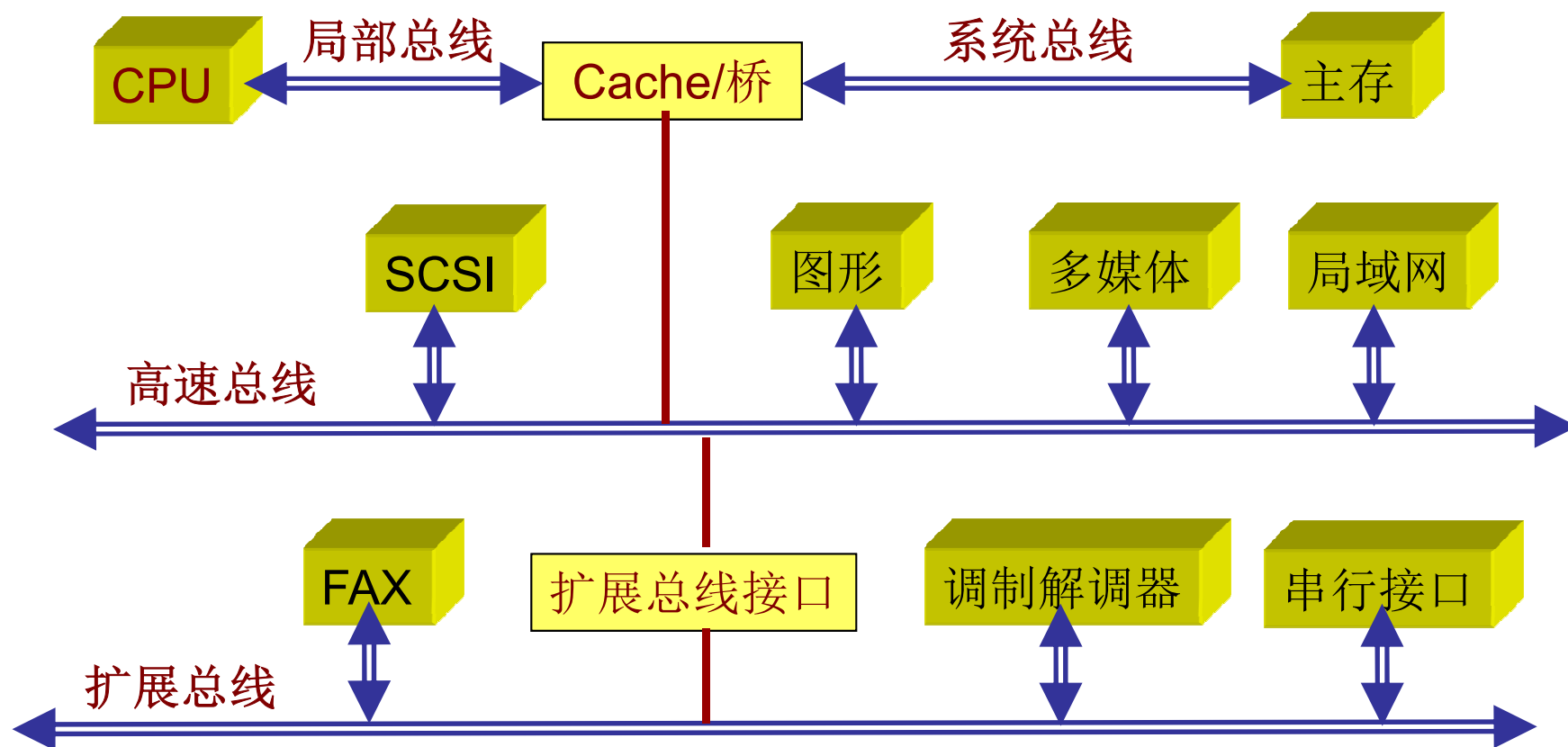
- 主存总线
- I/O总线
- DMA总线
- 主存总线与DMA总线不能同时对主存进行存取。



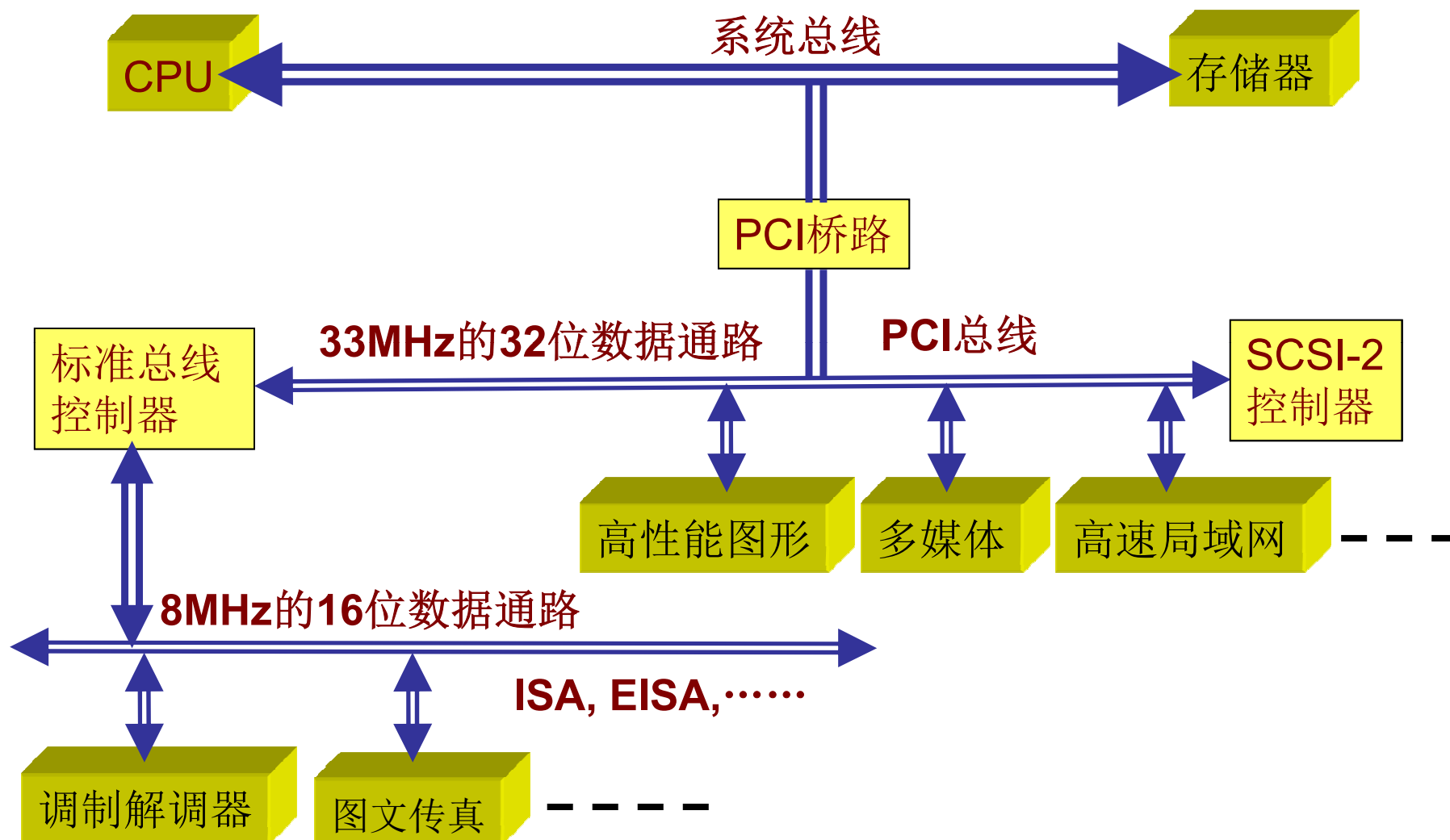


四总线结构

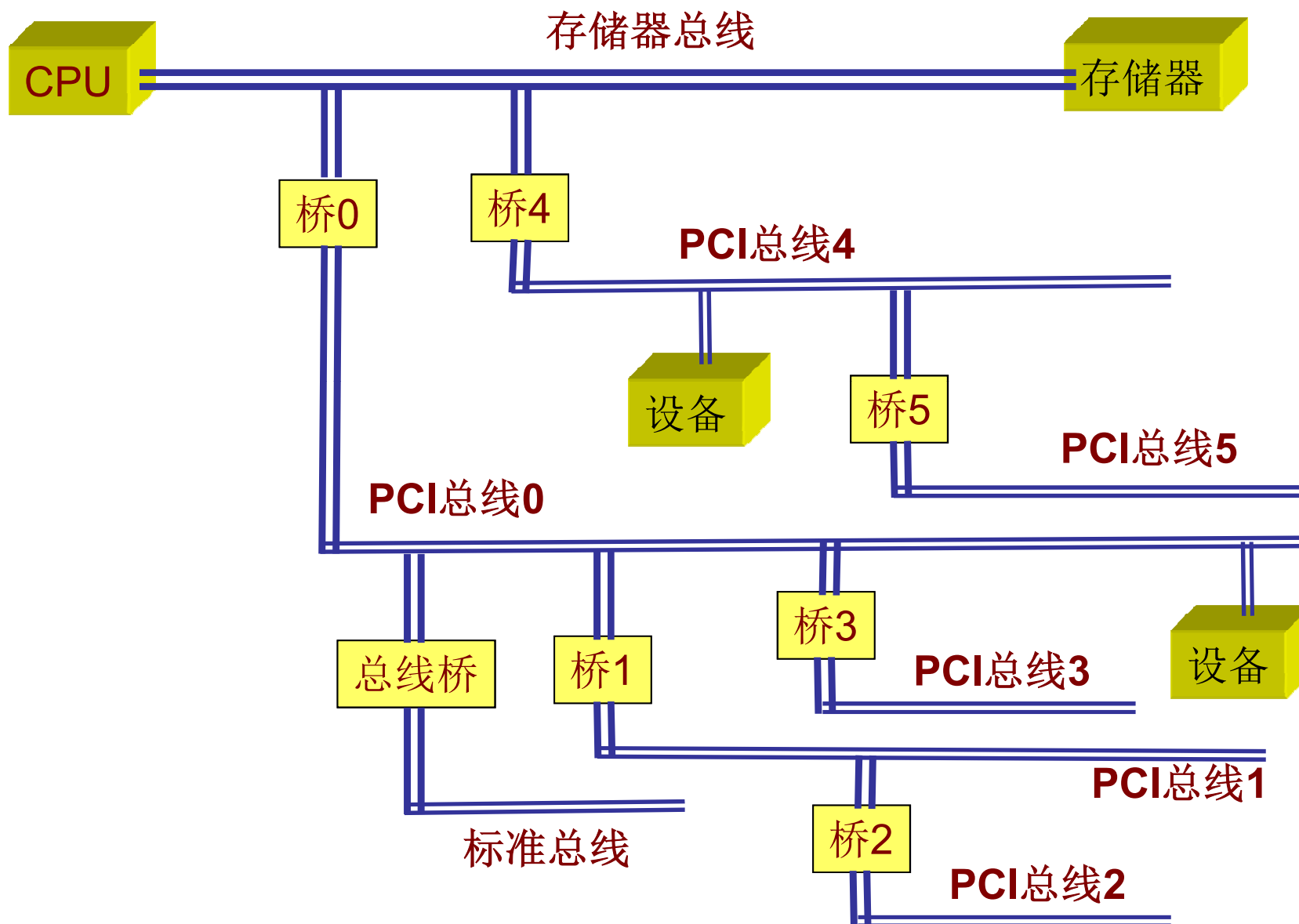
- 为了进一步提高I/O的性能，又出现了四总线结构。
- 局部总线、系统总线、高速总线、扩展总线



PCI总线结构



多层PCI总线结构



PCIE



英文全名	Peripheral Component Interconnect Express
中文全名	快捷外设互联标准
发明日期	2004年
发明者	Intel

PCI Express Example Connectors

x1

BANDWIDTH

Single direction: 2.5 Gbps/200 MBps
Dual Directions: 5 Gbps/400 MBps



x4

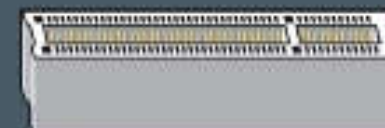
BANDWIDTH

Single direction: 10 Gbps/800 MBps
Dual Directions: 20 Gbps/1.6 GBps



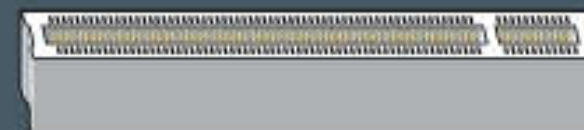
x8

BANDWIDTH Single direction: 20 Gbps/1.6 GBps
Dual Directions: 40 Gbps/3.2 GBps



x16

BANDWIDTH Single direction: 40 Gbps/3.2 GBps
Dual Directions: 80 Gbps/6.4 GBps



Source: IBM

Pentium计算机主板总线结构图

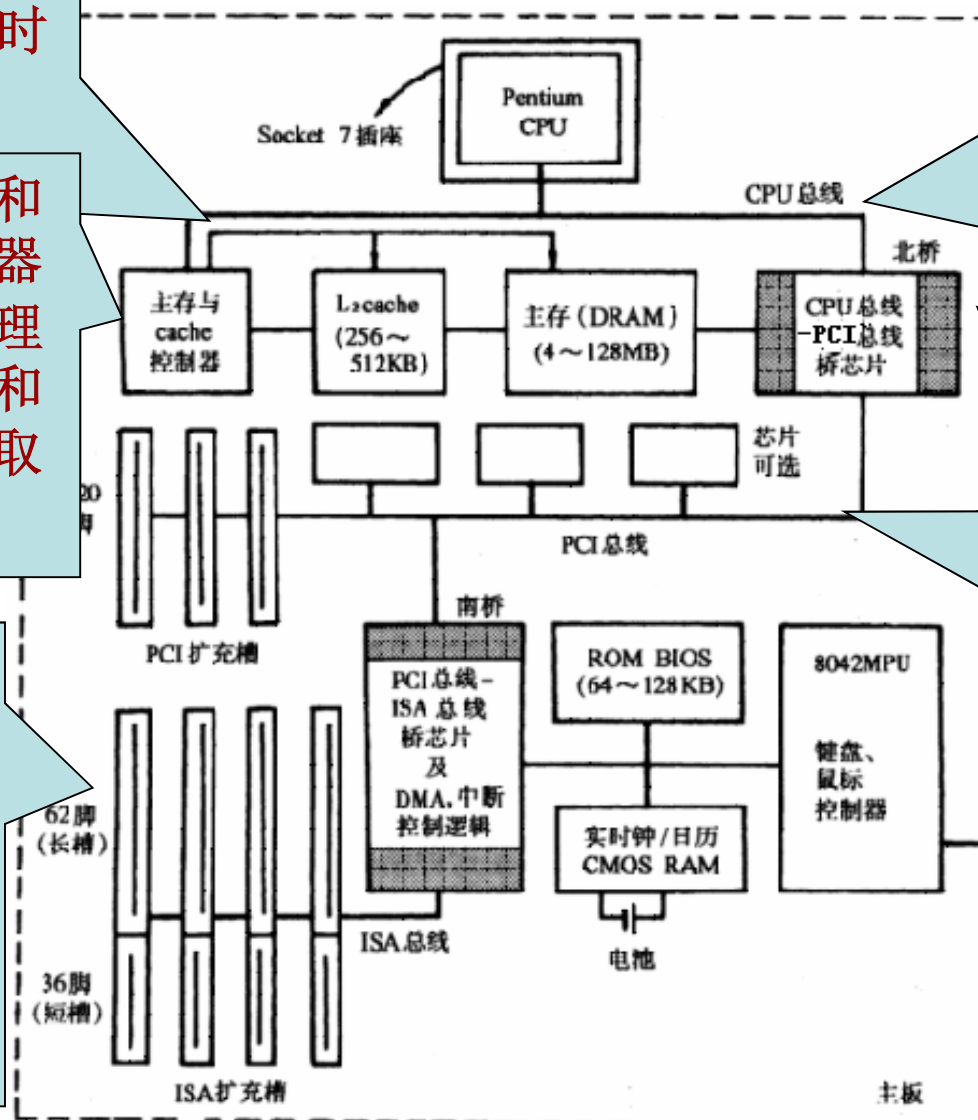


CPU总线的时钟频率为

66 MHz

主存控制器和Cache控制器芯片用来管理CPU对主存和Cache的存取操作。

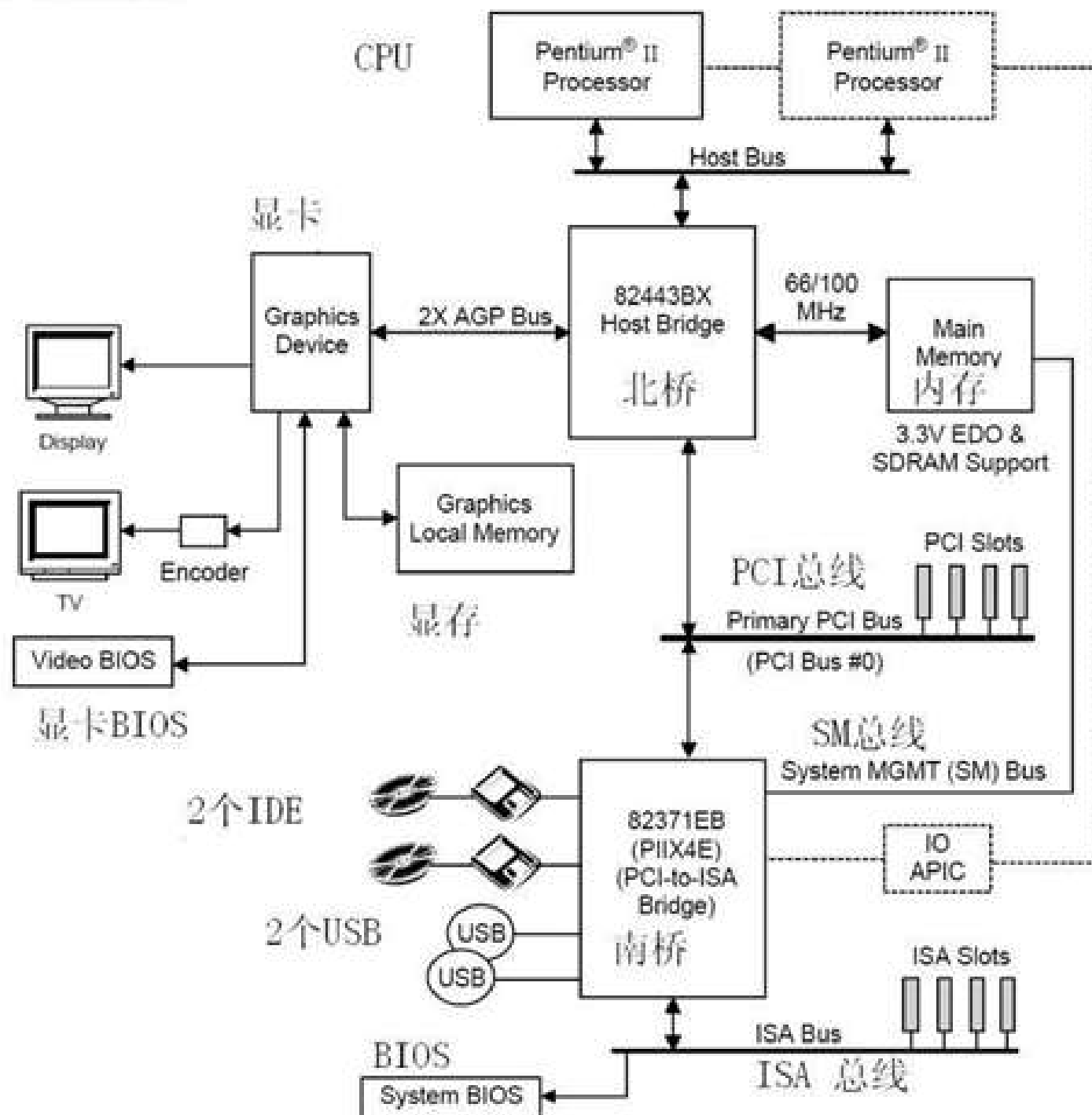
ISA总线连接低速I/O设备，支持7个DMA通道和15级可屏蔽硬件中断。



CPU、RAM、ROM

CPU总线、PCI总线和ISA总线通过两个“桥”芯片连成整体。桥芯片起到了信号速度缓冲、电平转换和控制协议转换的作用。

速的I/O设备模块，如显卡等。通过“桥”芯片，PCI总线上连CPU总线，下连ISA总线。



多处理器系统的PCI配置



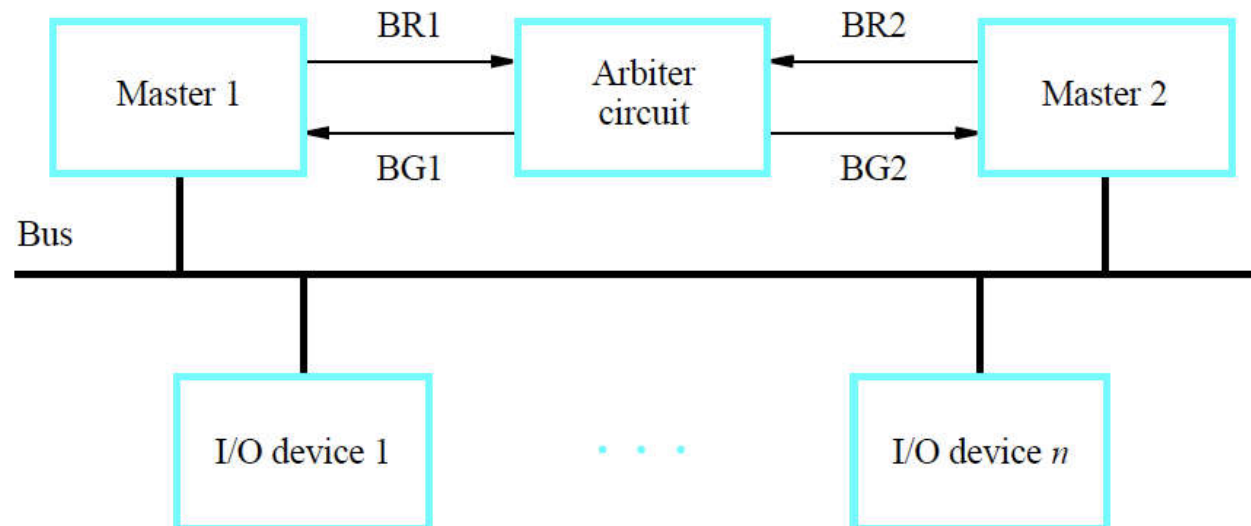
3.4 总线控制

- 总线传输过程
- 总线判优控制
- 总线通信控制（同步方式，传输模式）

思考:



- what type of interaction?
 - Is it an asynchronous message (like sending a letter)?
 - Is it a rendezvous communication (like making a phone call)?
 - Is it a clocked update of data (as in a synchronous digital circuit)?
- Does time play a role in the interaction?
 - Is the interaction discrete or continuous?



总线传输过程



- 总线完成一次传输可分为4个阶段
 - 申请分配阶段：由需要使用总线的主设备提出申请，经总线仲裁机构决定将下一传输周期的总线使用权授予某一申请者。
 - 寻址阶段：取得了使用权的主设备，通过总线发出本次打算访问的从设备的存储地址或设备地址及有关命令，启动参与本次传输的从设备。
 - 传数阶段：主设备和从设备进行数据交换。
 - 结束阶段：从总线上撤除有关信息，让出使用权。
- 对于独占系统（只有一个主设备的简单系统），只有2、3两个阶段



总线控制

- 两个问题

- 判优控制：使用权分配，也称为仲裁逻辑
- 通信控制：同步控制，数据传输模式

- 总线判优控制：

- 多个主设备同时申请总线时，按一定的优先等级顺序确定哪个主设备能使用总线。
 - 集中式：将控制逻辑集中在一处——总线仲裁器（arbitrator），分为链式查询、计数器定时查询、独立请求三种
 - 分布式：将控制逻辑分散在与总线连接的各个部件或设备上，由各个节点竞争使用权（network）

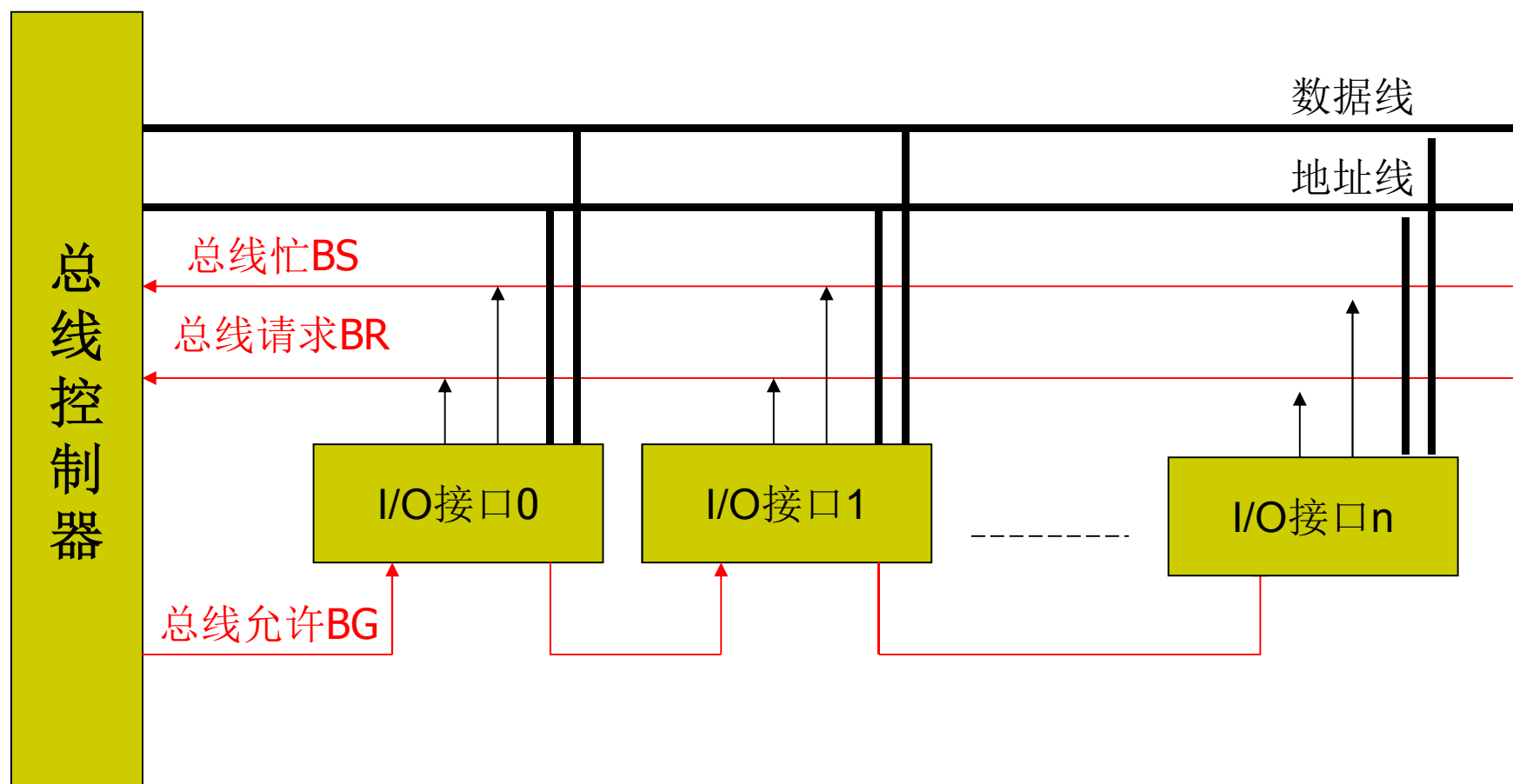
- 总线通信控制

- 同步控制：同步通信、异步通信、半同步通信、分离式通信
- 单字（节），批量



总线判优控制——集中式

①链式查询方式：控制器电路？



总线判优控制——集中式

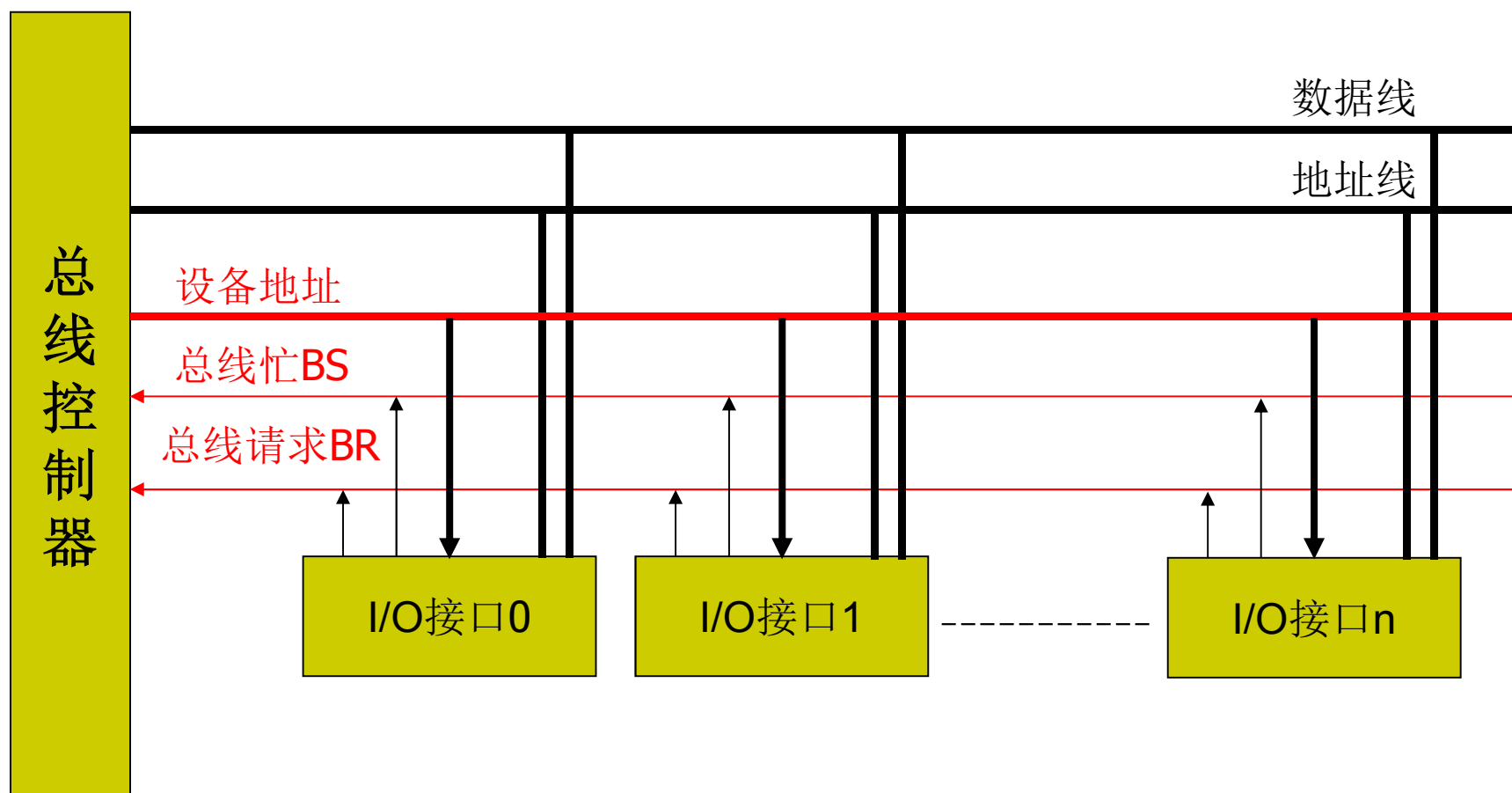


- 链式查询方式的主要特点：
 - 越靠近控制器的模块，优先级越高；
 - 链形优先级存在传播延迟，这种延迟与模块数成正比，所以判优速度较慢，一般只接少量（几个）模块；
 - 链形结构，一个故障，链失效；
 - 结构较简单，造价较低。



总线判优控制——集中式

②计数器定时查询方式





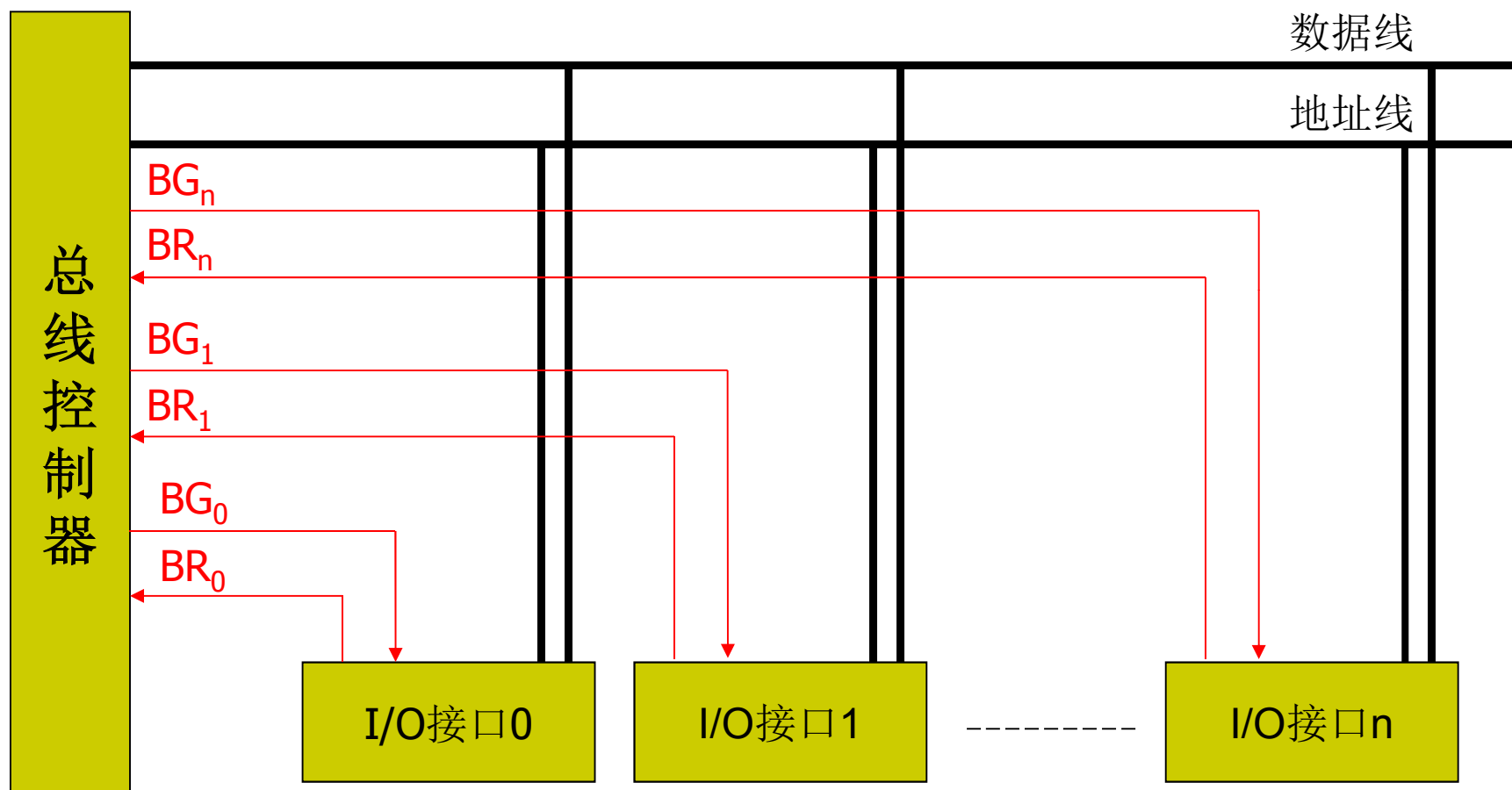
总线判优控制——集中式

- 计数器定时查询方式的主要特点：
 - 计数方式与优先次序直接相关。
 - 计数可以从“0”开始，此时设备的优先次序是固定的；
 - 计数也可以从终止点开始，即是一种循环方法，此时设备使用总线的优先级相等；
 - 计数的初始值还可由程序设置，故优先次序可以改变。
 - 对电路故障不如链式查询方式敏感，但增加了主控制线（设备地址），控制也较复杂。



总线判优控制——集中式

③独立请求方式





总线判优控制——集中式

- 独立请求方式的工作原理：

- 每个模块有一组独立的“总线请求”和“总线允许”信号线，每对信号线有其相应的优先级；
- 控制器中有一个优先级编码器和优先级译码器，用以选择优先级最高的请求，并产生出相应的“总线允许”信号；
- 当“总线忙”信号有效时，表示有的模块正在使用总线，因此请求使用总线的模块必须等待；直至“总线忙”信号变为无效时，所有需要使用总线的模块都可以发出“总线请求”信号，总线仲裁器仅向**优先级**最高的模块发出“总线允许”信号。

- 独立请求方式的主要特点：

- 判优速度快，且与模块数无关；
- 所需“请求线”和“允许线”较多， N 个模块需要 $2N$ 条。



总线判优控制——分布式

- 分布式仲裁不需要中央仲裁器，有三种常见的仲裁方式：
 - 自举分布式仲裁
 - 冲突检测分布式仲裁
 - 并行竞争分布式仲裁



总线判优控制——分步式

①自举分布式仲裁

- 自举分布式仲裁方法使用多个请求线
- 不需要中心裁决器
 - 每个设备独立地决定自己是否是最高优先级请求者。
 - 每个需要请求总线控制权的设备在各自的总线请求线上送出请求信号
 - 在总线裁决期间，每个设备将有关请求线上的信号合成后取回分析，根据这些请求信号确定自己能否拥有总线控制权。
 - 每个设备通过取回的合成信息能够检测出其他设备是否发出了总线请求。
 - 如果一个设备在发出总线请求的同时，检测到其他优先级更高的设备也请求使用总线，则本设备不立即使用总线；否则，本设备就可立即使用总线。
- **NuBus（Macintosh II中的底板式总线）和SCSI总线采用此方案。**

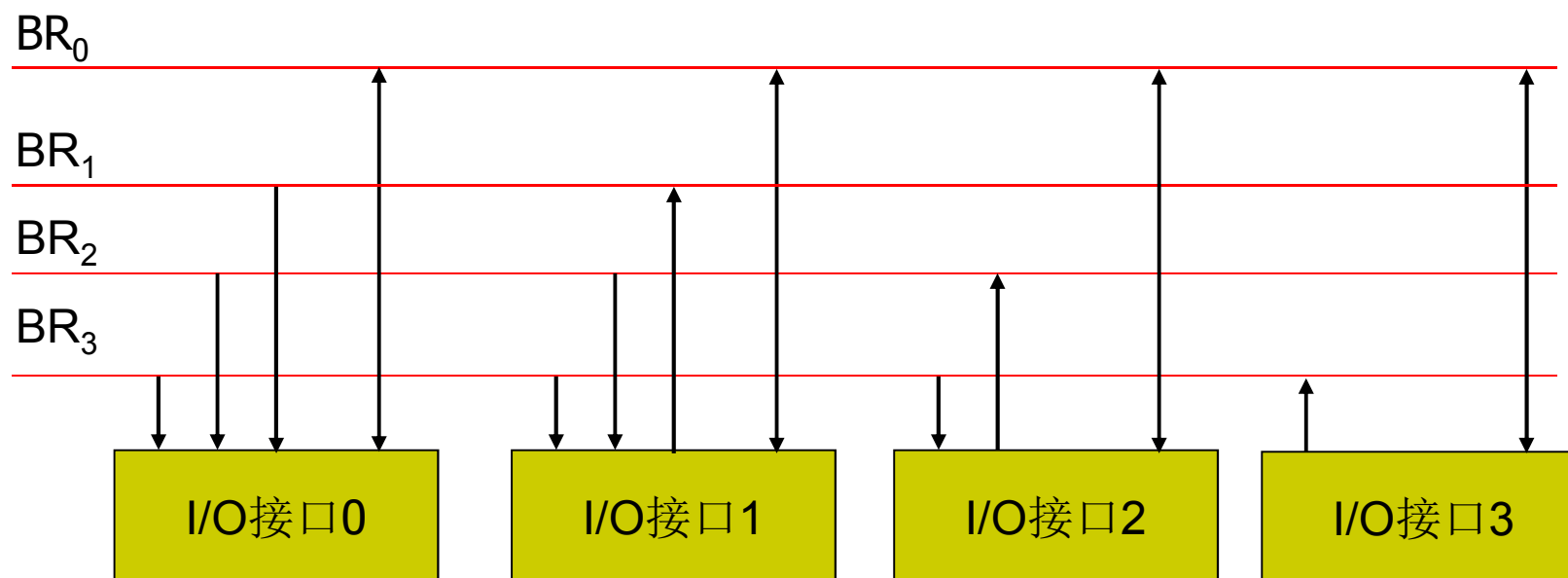


总线判优控制——分布式

①自举分布式仲裁

假定：

- BR_0 为总线忙信号线
- BR_i (i 从 1~3) 为 I/O 接口 i 的总线请求信号线。

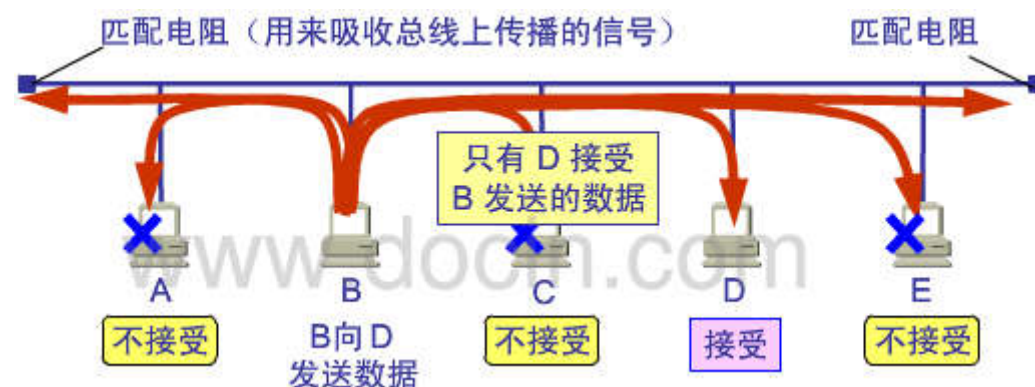




总线判优控制——分布式

②冲突检测分布式仲裁

- **基本思想：**每个设备独立地请求总线，多个同时使用总线的设备会发生冲突，这时冲突被检测到，按照某种策略在冲突的各方选择一个设备。
 - 传输延时和通信响应的“不确定性”
- **Ethernet总线仲裁方案（CSMA/CD）**
 - Carrier Sense Multiple Access/Collision Detect
 - 先听后讲
 - 边讲边听
 - 随机重发





总线判优控制——分布式

③并行竞争分布式仲裁

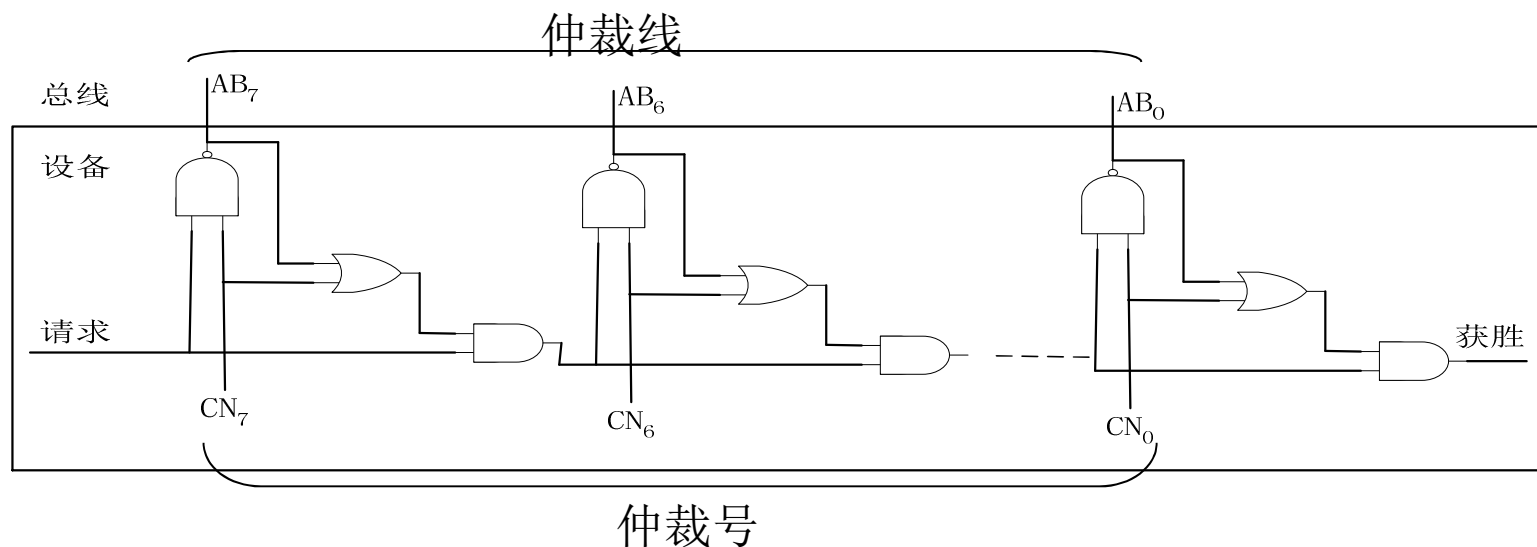
• 基本思想：

- 总线上的每个设备都有唯一的**仲裁号(ID)**。
- 需要使用总线的设备把“仲裁号”发到仲裁线上
- 设备根据并行竞争算法决定是否获得总线使用权
 - 发送最大仲裁号的设备将获得总线使用权。
 - 8位，可以表示256个优先级。仲裁号为255的设备优先级最高，而 0 最低
- 与自举分布式仲裁算法相比，可以用很少的仲裁线挂接大量的设备。

总线判优控制——分布式

③并行竞争分布式仲裁

- 仲裁算法：**每个设备的仲裁逻辑将检查仲裁线上的结果值，并根据下列规则修改它放到总线上的仲裁号：如果该设备的仲裁号中有某一位为0，而这一位对应的仲裁线信号为1，则修改这个仲裁号，使其所有低位都从总线上撤销（送出一个“0”）。这样，具有最高仲裁号的设备将会发现它的仲裁号和留在仲裁线上的号匹配，所以它将赢得总线使用权。





- ▲ 两个设备同时要求使用总线，仲裁号分别是00000101和00001010；最终留在仲裁线上的号为00001010。

裁决号1		裁决号2		裁决线电平	裁决线逻辑
cn	AB	cn	AB		
0	高	0	高	高	0
0	高	0	高	高	0
0	高	0	高	高	0
0	高	0	高	高	0
0	高	1	低	低	1
1	高	0	高	高	0
0	高	1	低	低	1
1	高	0	高	高	0

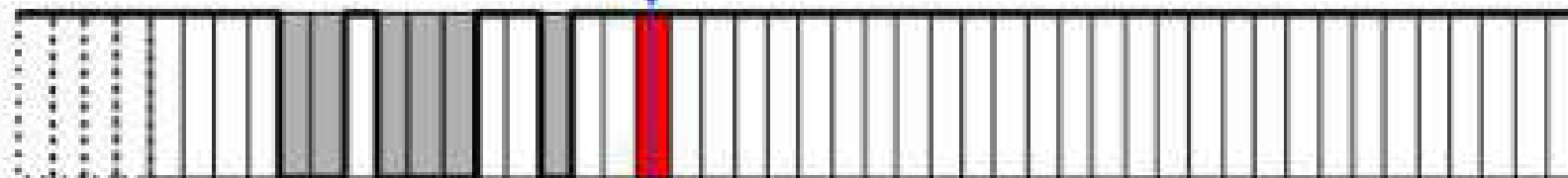
表7.1 并行竞争裁决逻辑举例分析结果

CAN总线仲裁：2胜出！

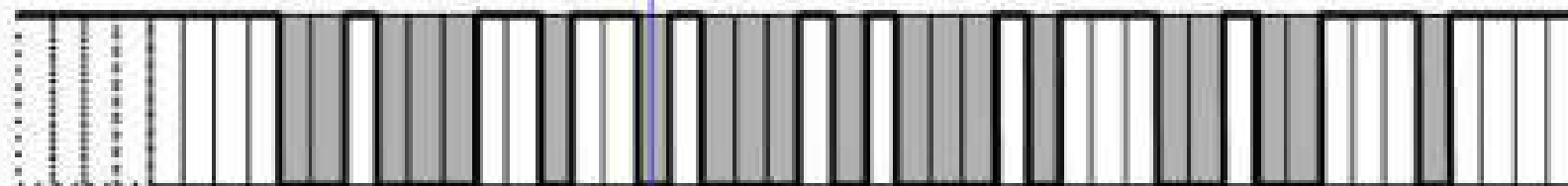


仲裁失利，从下一个位开始转为接收状态工作

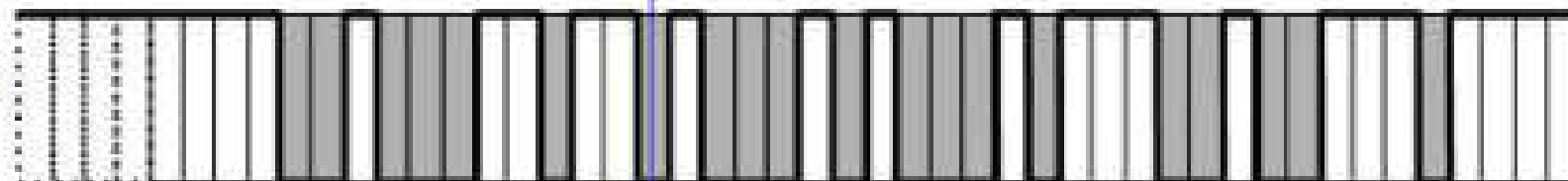
单元 1



单元 2



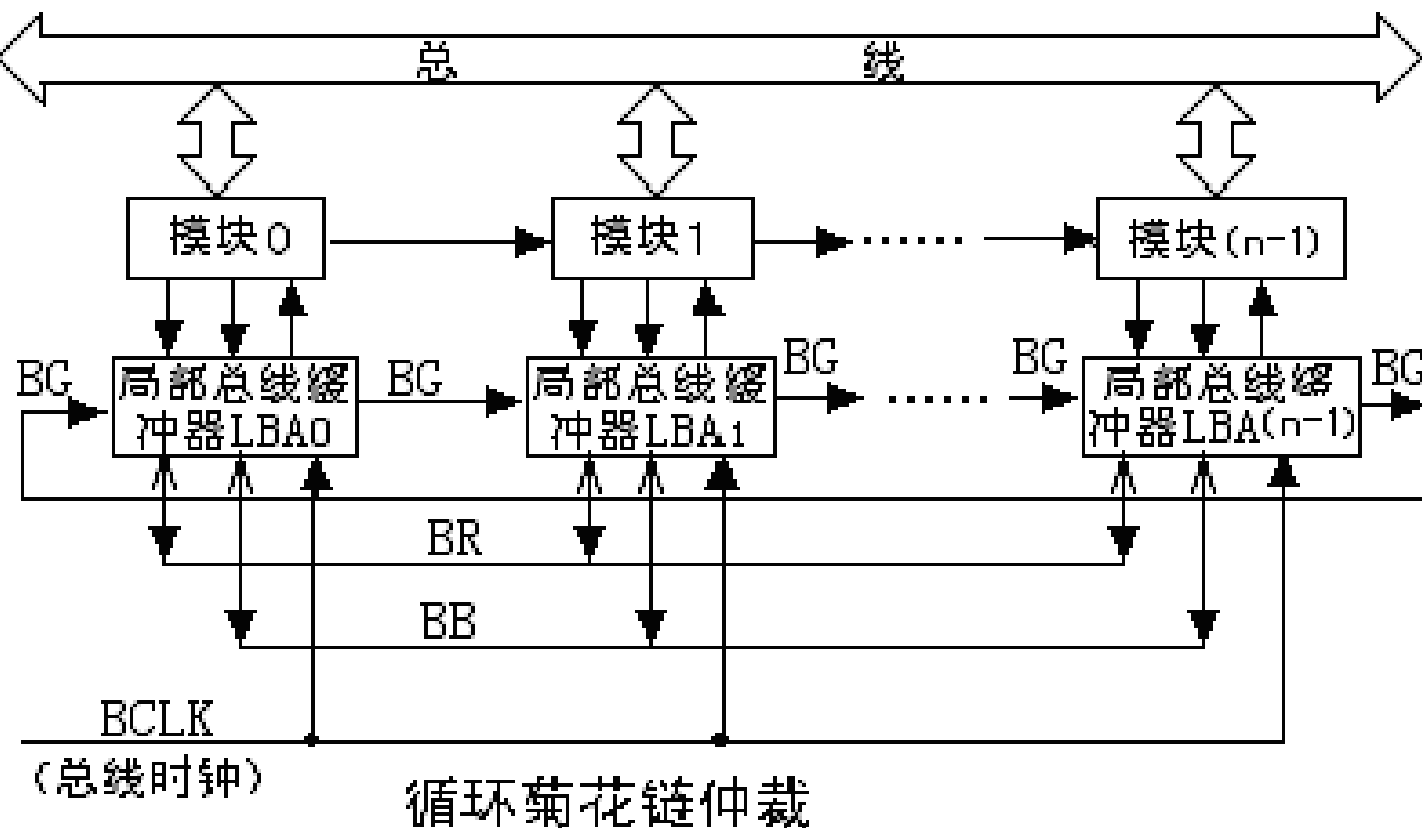
总线电平



循环菊花链(Round Robin Daisy Chaining)



- 分布式仲裁
- 获准接管总线总线的模块同时兼作当前的总线仲裁器
- 每个模块的优先权取决于它沿总线允许信号BG传输方向距当前总线控制器的远近





总线使用权分配小结

- 选择不同裁决方案的因素
 - 可扩充性：I/O设备的数量，总线长度
 - 响应时间：总线裁决应该多快？
 - 公平性
 - 通信时间的确定性
 - TT or ET
 - 容错能力
- 基本策略
- 集中式、分布式
- 优先级固定、优先级可变
- 公平性问题
 - 自举式：优先级固定
 - 冲突检测式：公平，无优先级
 - 并行竞争式：优先级固定

总线通信控制：同步通信方式

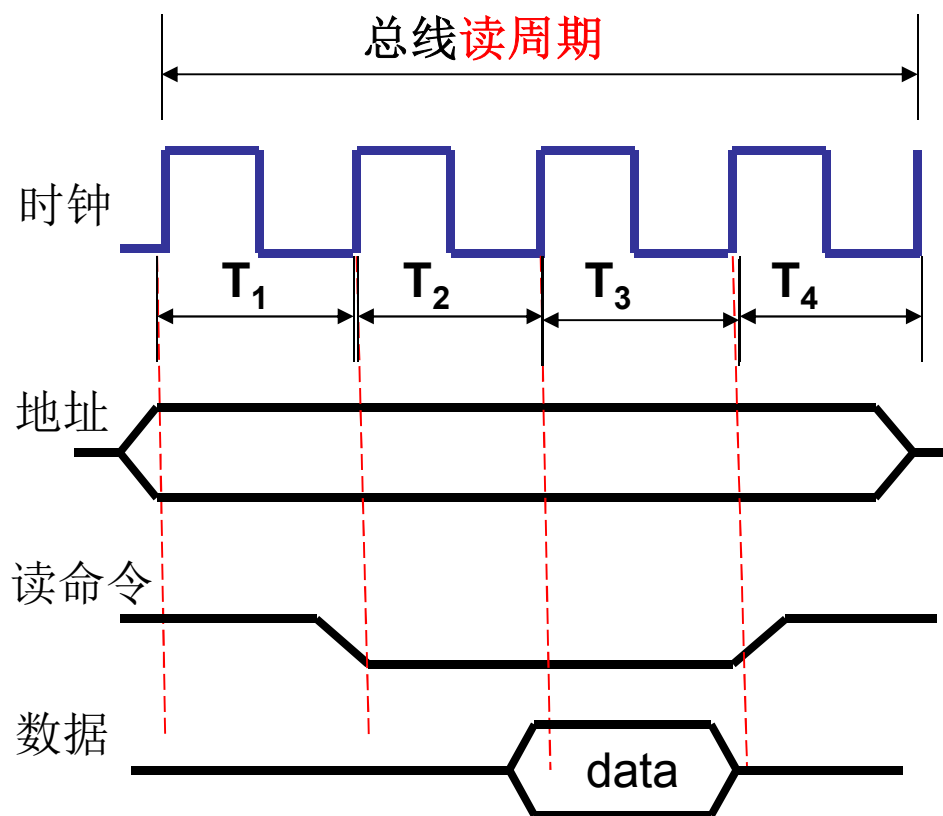


- 通信双方由统一时标控制数据传送称为**同步通信**。时标通常由CPU的总线控制部件发出，送到总线上的所有部件；也可以由每个部件各自的时序发生器发出，但是必须有总线控制部件发出的时钟信号对它们进行同步。

- 对于**读**命令，其传输周期为：

- T_1 : 主模块发地址
- T_2 : 主模块发读命令
- T_3 : 从模块提供数据
- T_4 : 主模块撤销读命令

- 仲裁？



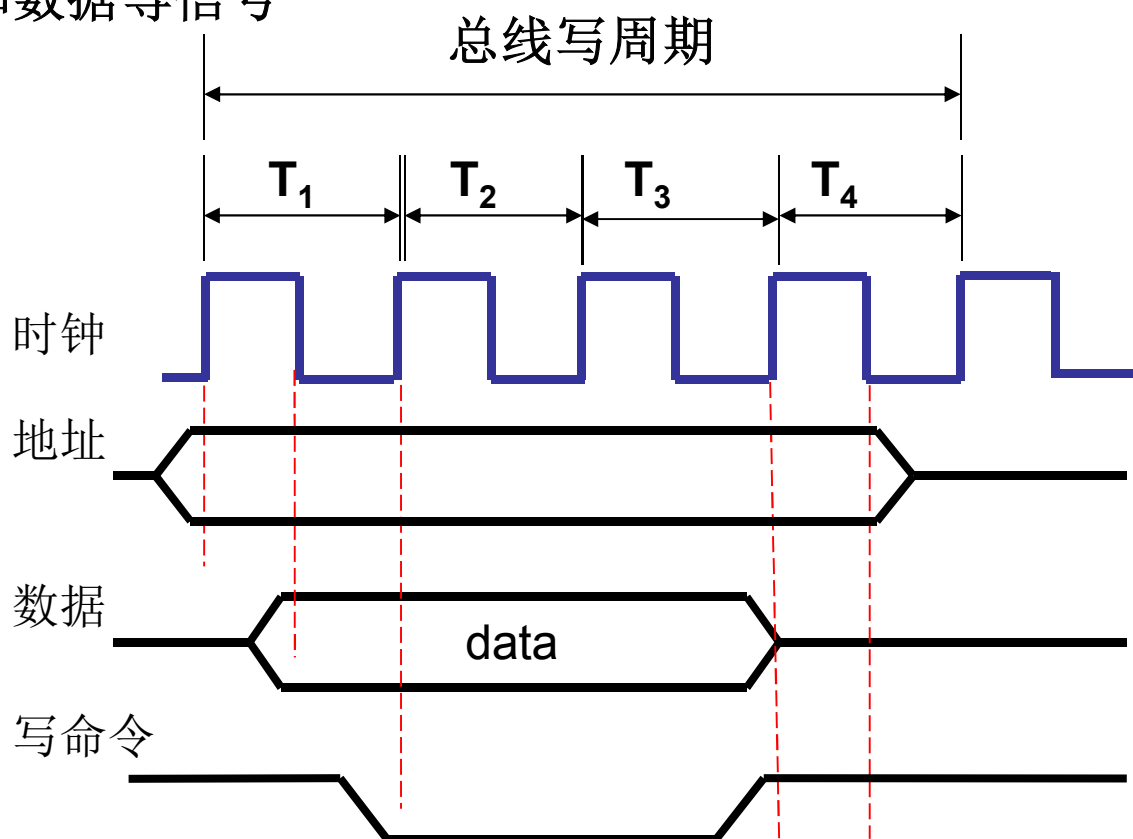


同步通信方式

- 对于写命令，其传输周期为：
- T_1 : 主模块发地址
- $T_{1.5}$: 主模块提供数据
- T_2 : 主模块发写命令，从模块必须在规定时间内将数据写入地址总线所指定的单元中
- T_4 : 主模块撤销写命令和数据等信号

同步通信方式的优点与缺点：

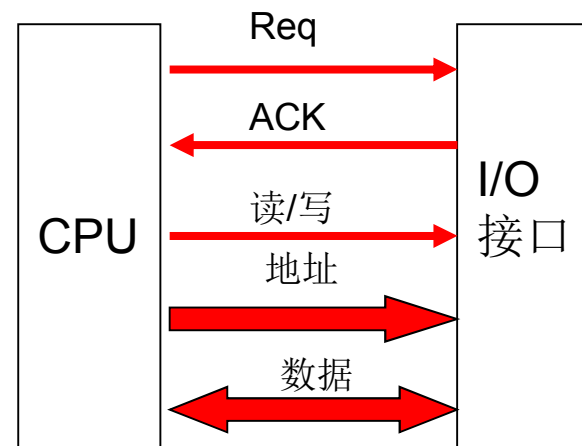
1. 优点是模块间的配合简单一致；
2. 缺点是主从模块时间配合属强制性同步，必须按速度最慢的部件来设计公共时钟。





异步通信方式

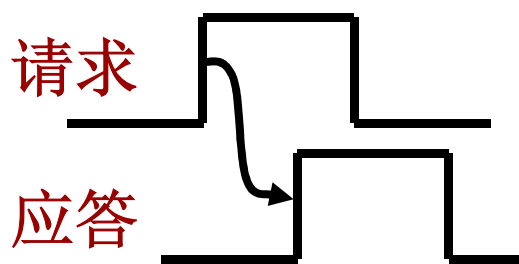
- 异步通信方式克服了同步通信的缺点，允许各模块速度的不一致性，给设计者充分的灵活性和选择余地。
- 异步通信方式没有公共的时钟标准，而是采用应答方式（又称握手方式）：主设备发Request，从设备响应Ack；当然，这就要求主从模块之间要增加两条应答线。
- 异步通信方式分为三种类型
 - 不互锁方式
 - 半互锁方式
 - 全互锁方式



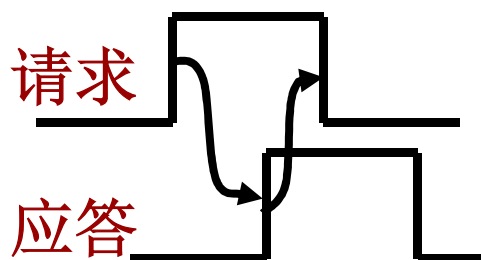


异步通信方式的三种类型

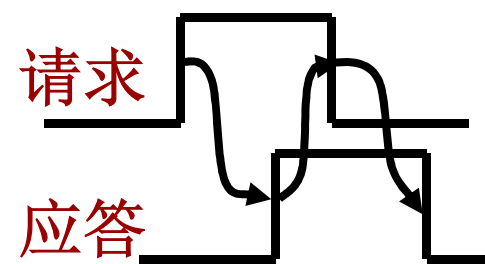
- **不互锁方式**
 - 主设备发Request后，间隔固定时间，认为从设备已经收到；从设备发ACK后，间隔固定时间，认为主设备也收到。
- **半互锁方式**
 - 主设备发Request后，等待ACK；从设备发ACK后，不等待主设备。
- **全互锁方式**
 - 主从设备相互等待ACK



不互锁方式

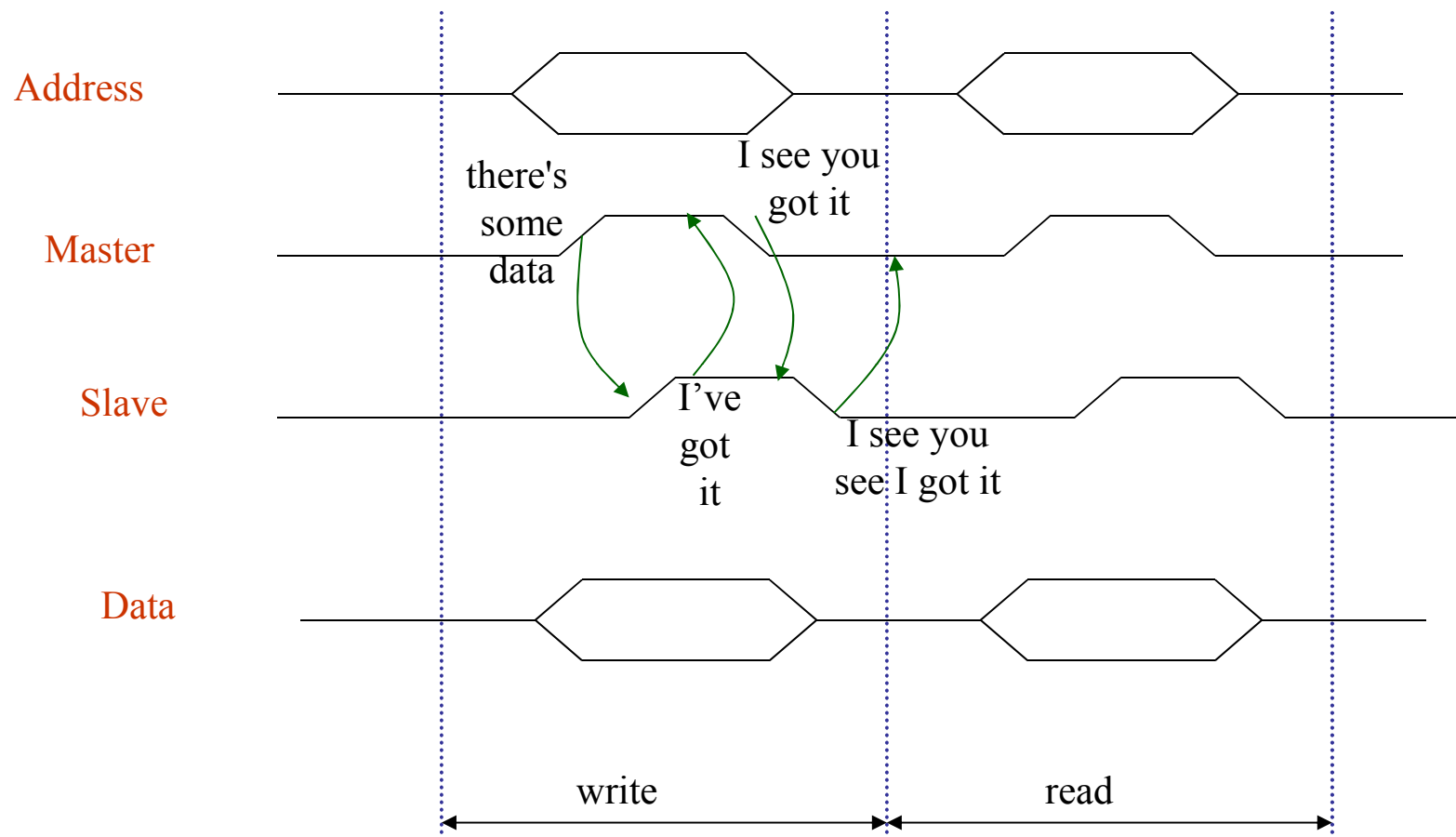


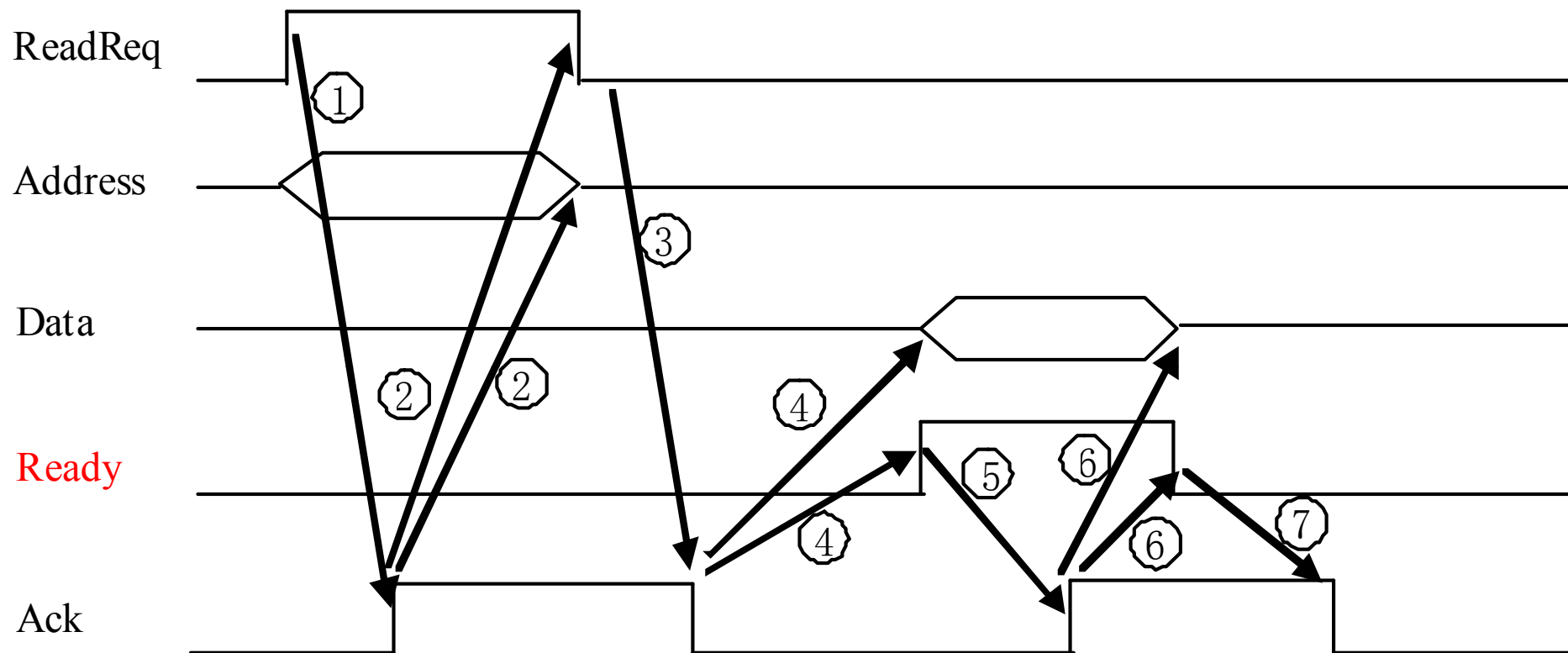
半互锁方式



全互锁方式

全互锁时序



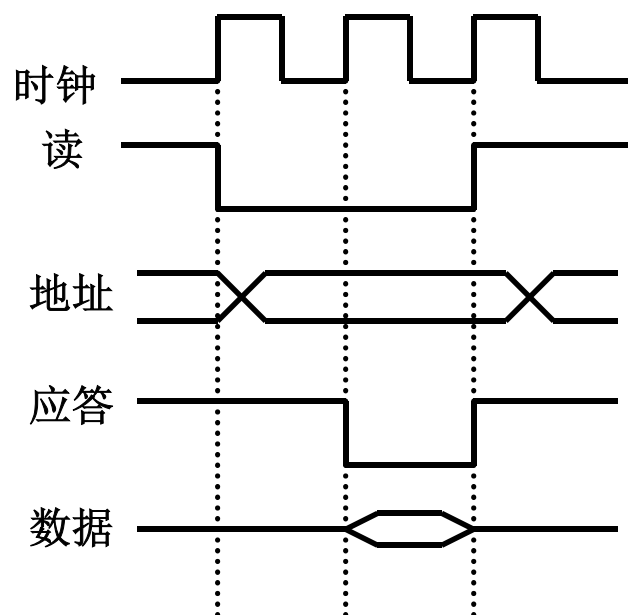


异步通信协议

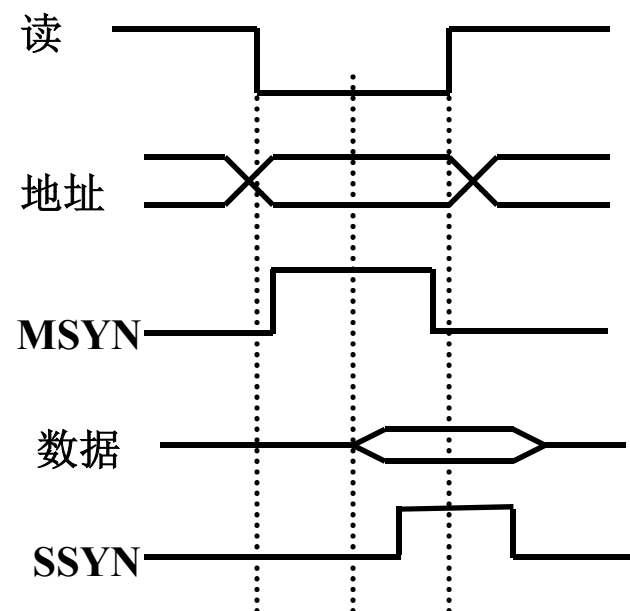
同步总线 vs. 异步总线



同步总线时序图



异步总线时序图



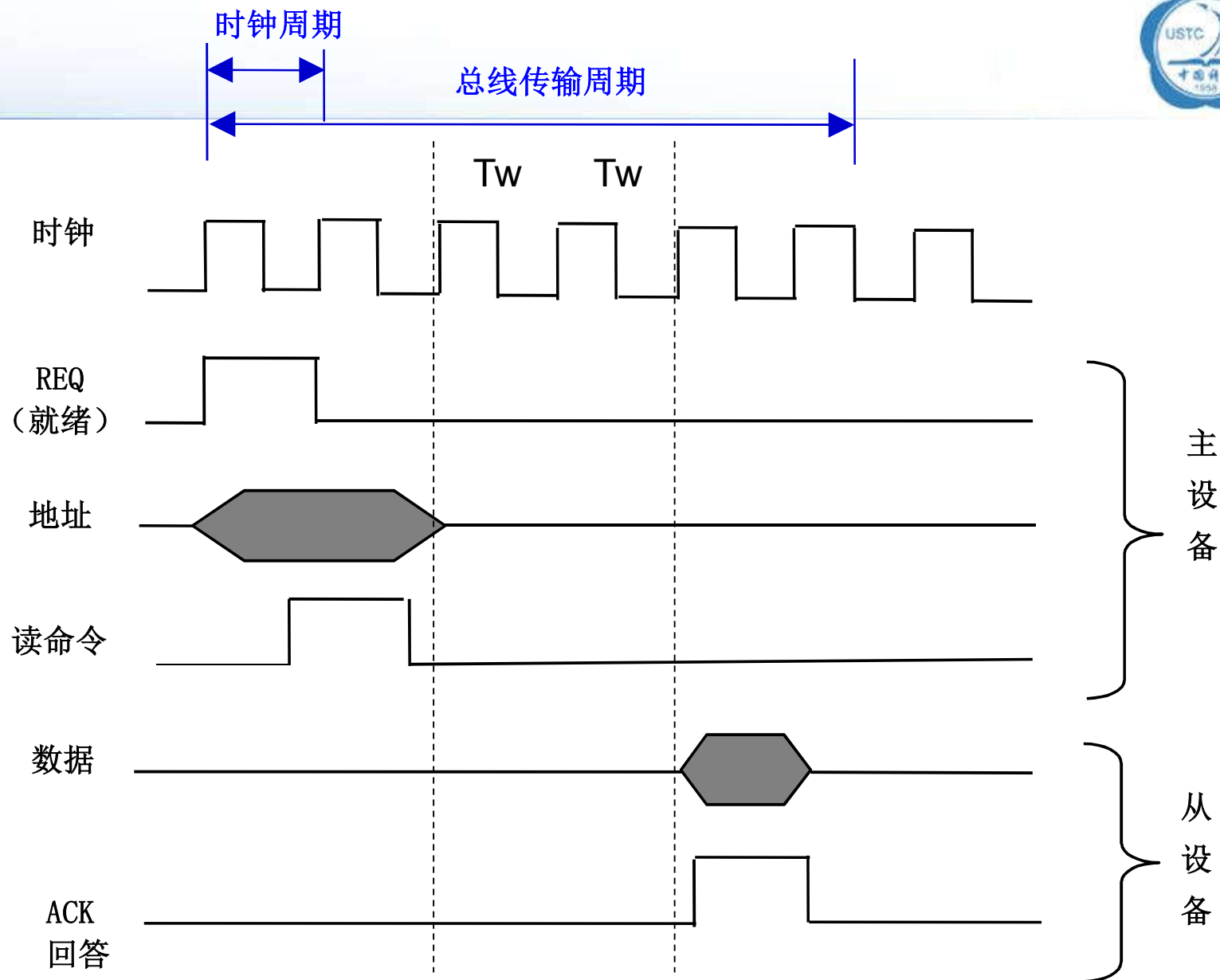


半同步通信方式

- 按同步方式定时
- 增加 $\overline{\text{wait}}$ 状态信号线
- 在 T_2/T_3 之间插入 T_w

以读命令为例，半同步通信时序为：

- T_1 : 主模块发地址
- T_2 : 主模块发读命令
- T_w : 当 $\overline{\text{WAIT}}$ 信号为低电平时有效，等待，其时间间隔与 T 统一
-
- T_3 : 从模块提供数据
- T_4 : 主模块撤销读命令



半同步通信协议



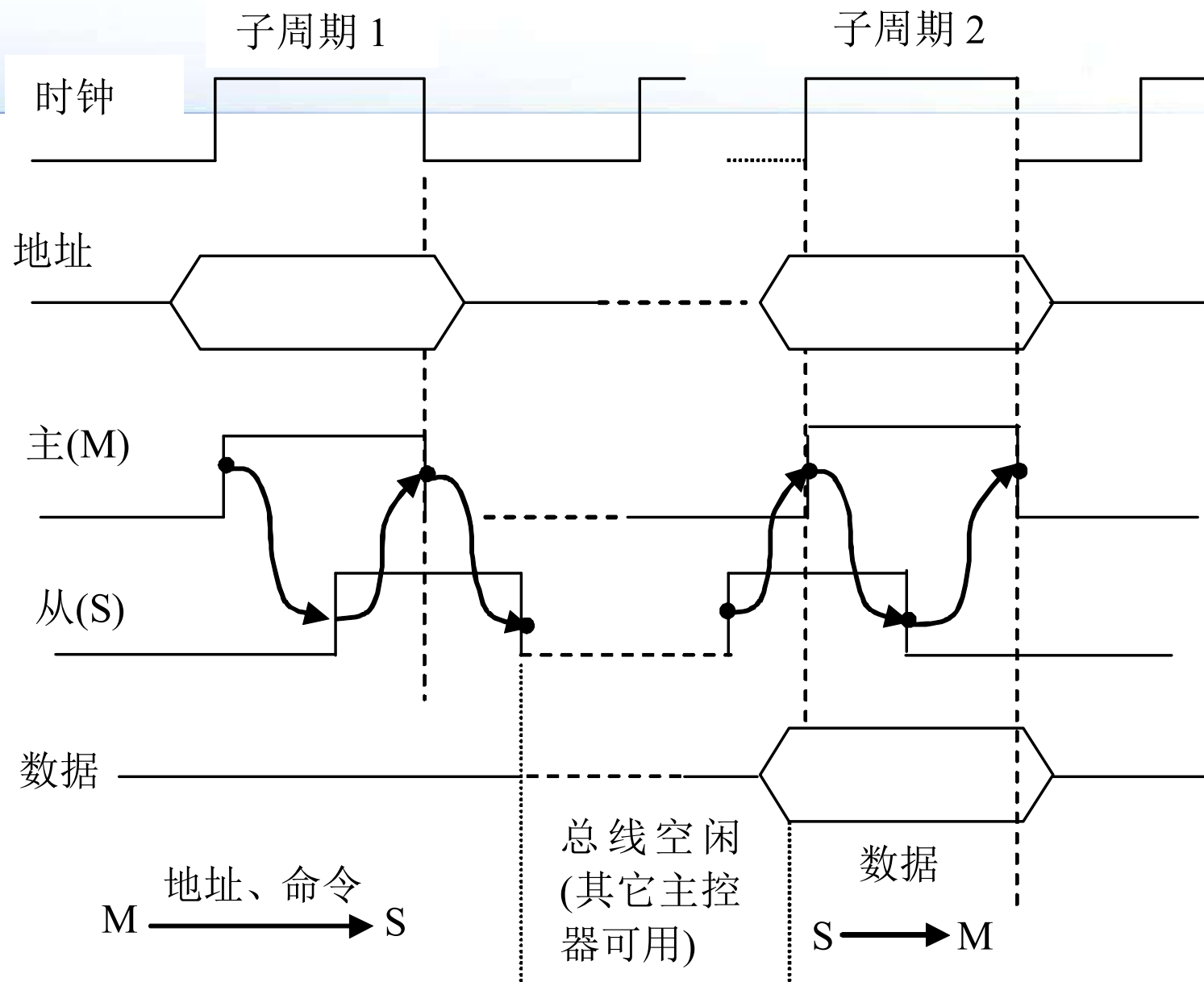
半同步通信方式的特点

- 半同步通信方式集同步与异步通信之优点，适用于系统工作速度不高，但又包含了许多工作速度**差异**较大的**各类**设备的简单系统。
- 半同步通信控制方式比异步通信简单，可靠性较高。
- 半同步通信方式的缺点是对系统时钟频率不能要求太高，故从整体上看，系统工作的速度还是不高。



分离式通信

- 在同步通信、异步通信和半同步通信的整个传输过程中，系统总线的使用权完全由占有使用权的主设备以及由它选中的从设备占据。
- 读命令过程分析：进一步分析读命令传输周期，我们可以发现除了申请总线这一阶段外，其余时间主要被花在如下三个方面：
 - （1）主模块通过传输总线向从模块发送地址和命令；
 - （2）从模块按照命令进行读数据的必要准备；
 - （3）从模块经数据总线向主模块提供数据。



分离事务通信协议

分离式通信



- 基本思想：将一个传输周期（或总线周期）分解为两个子周期。
 - 在第一个子周期中，主模块A获得总线使用权后将命令、地址、**A模块的编号**等其他信息发到系统总线上，经总线传输后，由有关的从模块B接收下来。
 - 在第二个子周期中，当B模块接收到A模块发来的有关命令信号后，经过一序列内部操作，将A模块所需的数据准备好，然后由B模块申请总线使用权，一旦获准，B模块将**A模块的编号**、**B模块的地址**、A模块所需数据等信息送到总线上，供A模块接收。

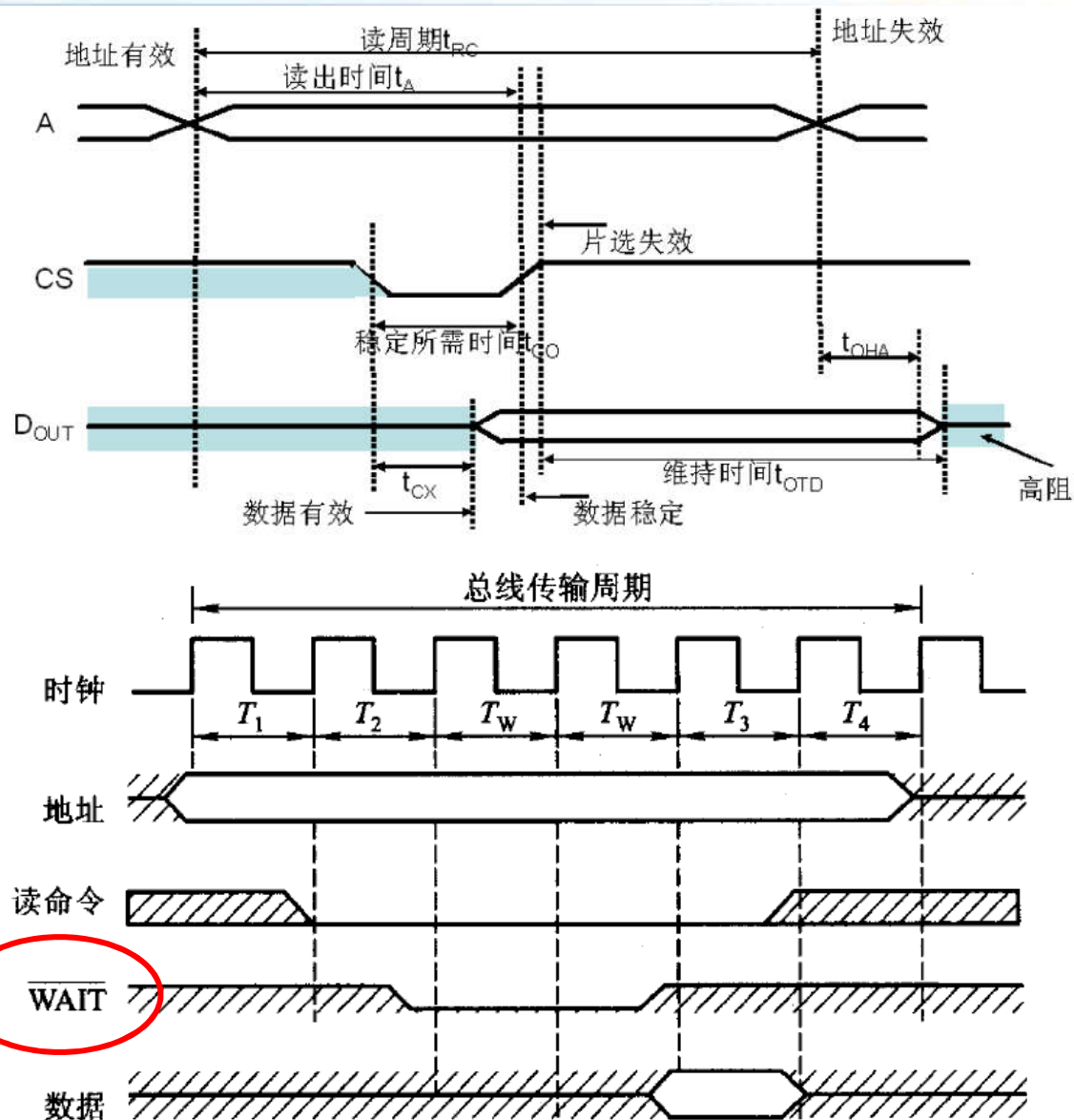
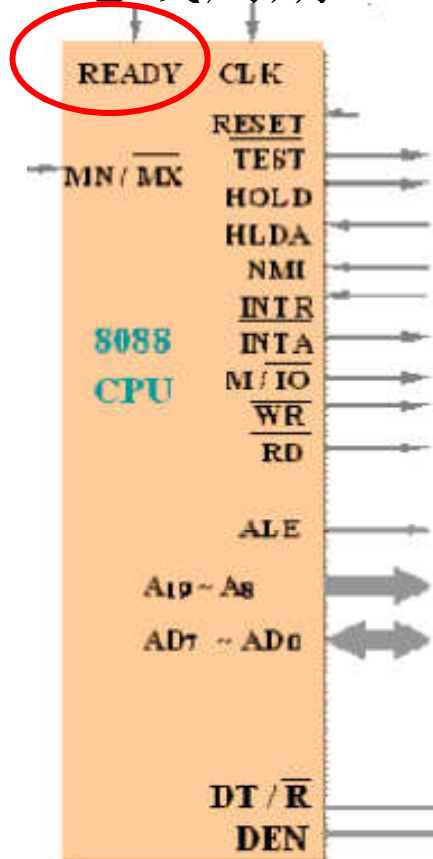


分离式通信的特点

- ① 各模块欲占用总线使用权都必须提出申请。
- ② 在得到总线使用权后，主模块在先规定的时间内向对方传送信息，采用同步方式传送，不再等待对方的回答信号。
- ③ 各模块在准备数据传送的过程中都不占用总线，使总线可接受其他模块的请求。
- ④ 总线在被占用时都在作有效工作。

例：访存过程控制

- 同步方式
 - 同步？异步？
 - 存储周期
 - 总线周期





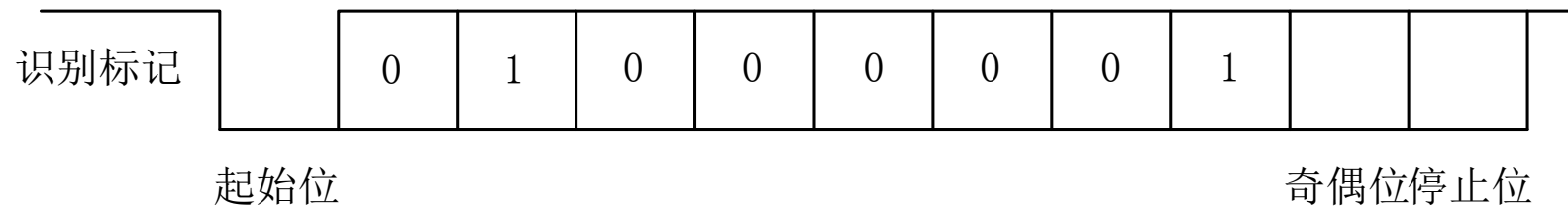
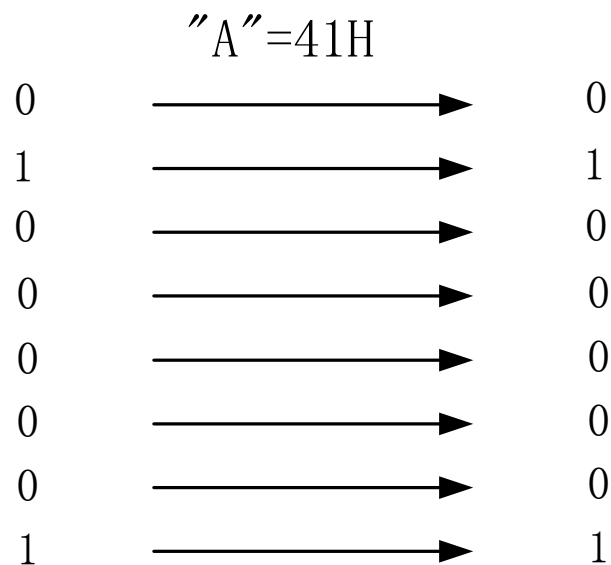
总线数据传输方式

- 总线传输方式
 - 串行总线、并行总线
 - 传输一字节所使用的**信道数**
 - 串行、并行传输
 - 串并转换问题
- 数据编码方式
- 数据传输模式
 - 单字节传输
 - 突发传输

信息传送方式



- 并行、串行



数据编码方式



数字数据

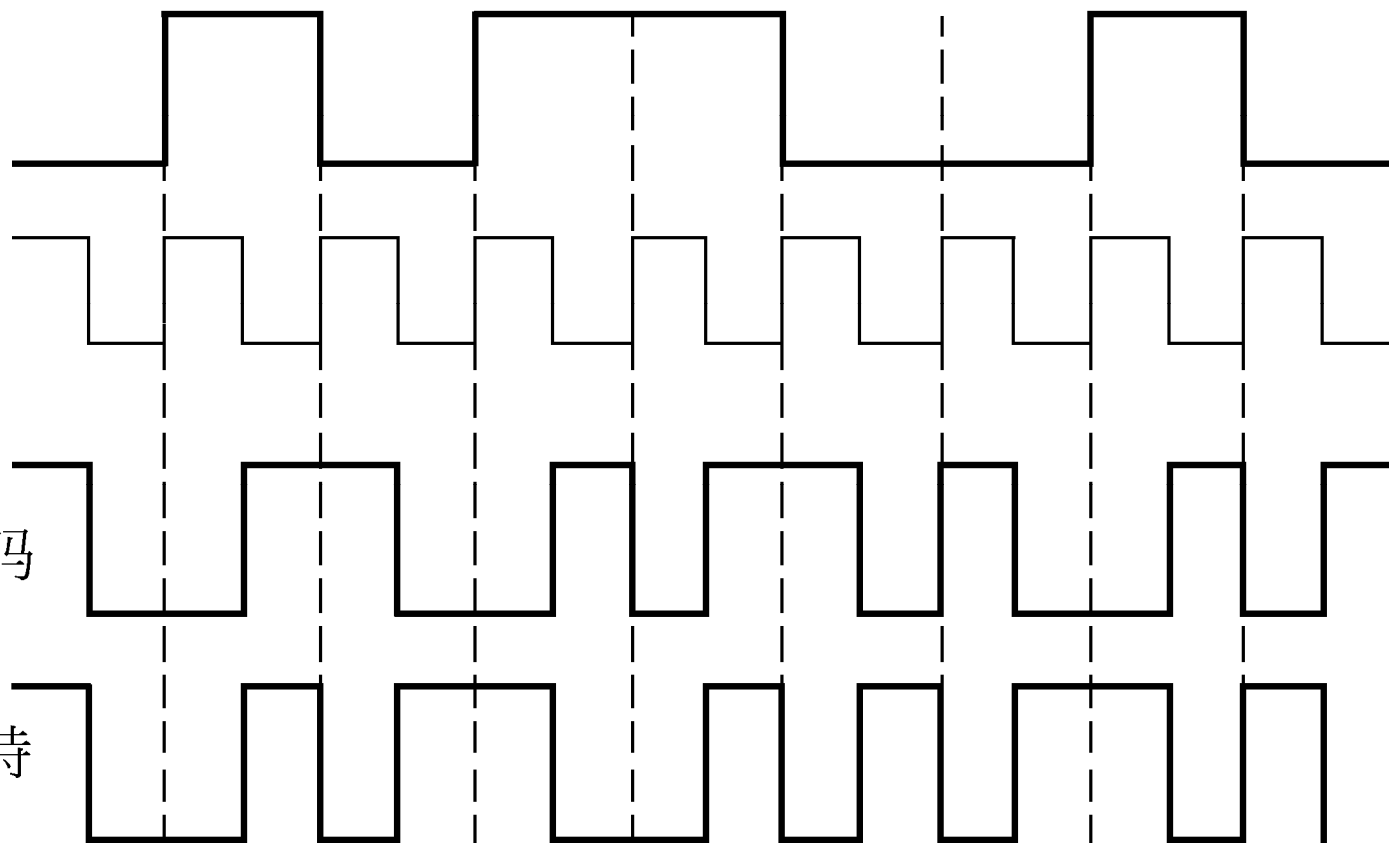
0 1 0 1 1 0 0 1 0

(a) NRZ编码

NRZ编码的
同步时钟

(b) 曼彻斯特编码

(c) 差分曼彻斯特
编码





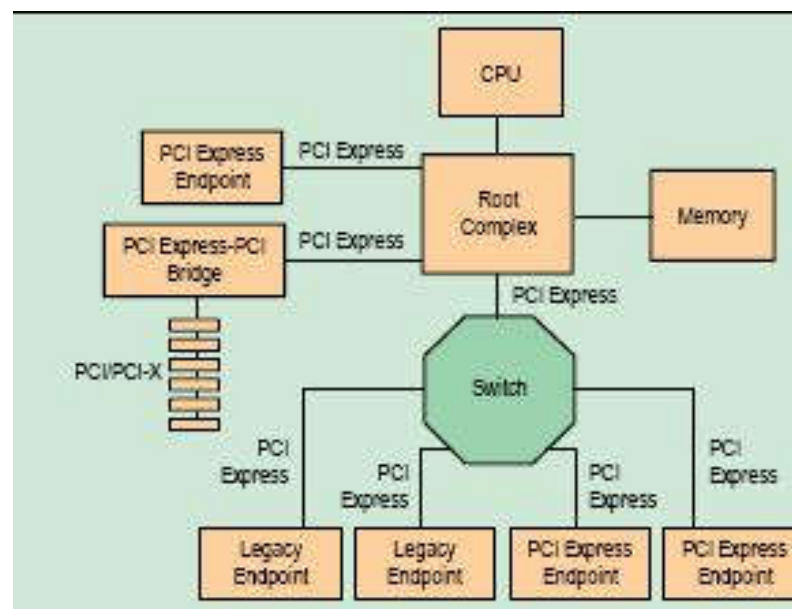
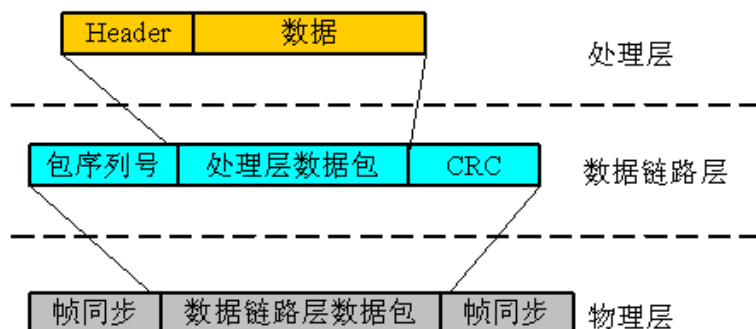
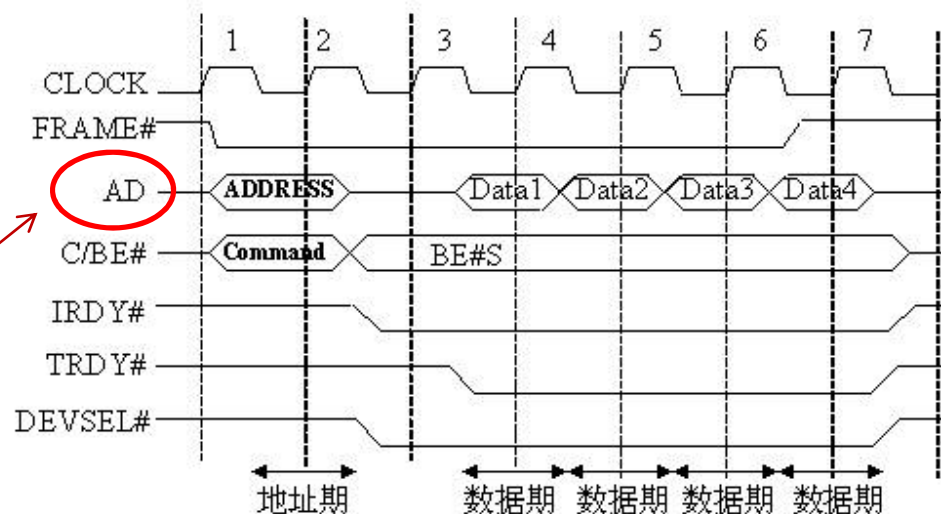
总线数据传输模式

- 单字节传输方式
 - 在一个传输周期内，一般是先给出地址，然后给出数据，在后面传输周期里，不断重复这种先送地址、后送数据的方式进行传输。
- 突发传输方式（burstmode）
 - 在传输大批量地址连续的数据时，除了第一个周期先送首地址、后给出数据外，以后的传输周期内，不需要再送地址（地址自动加一）而直接送数据，从而达到快速传送数据的目的。

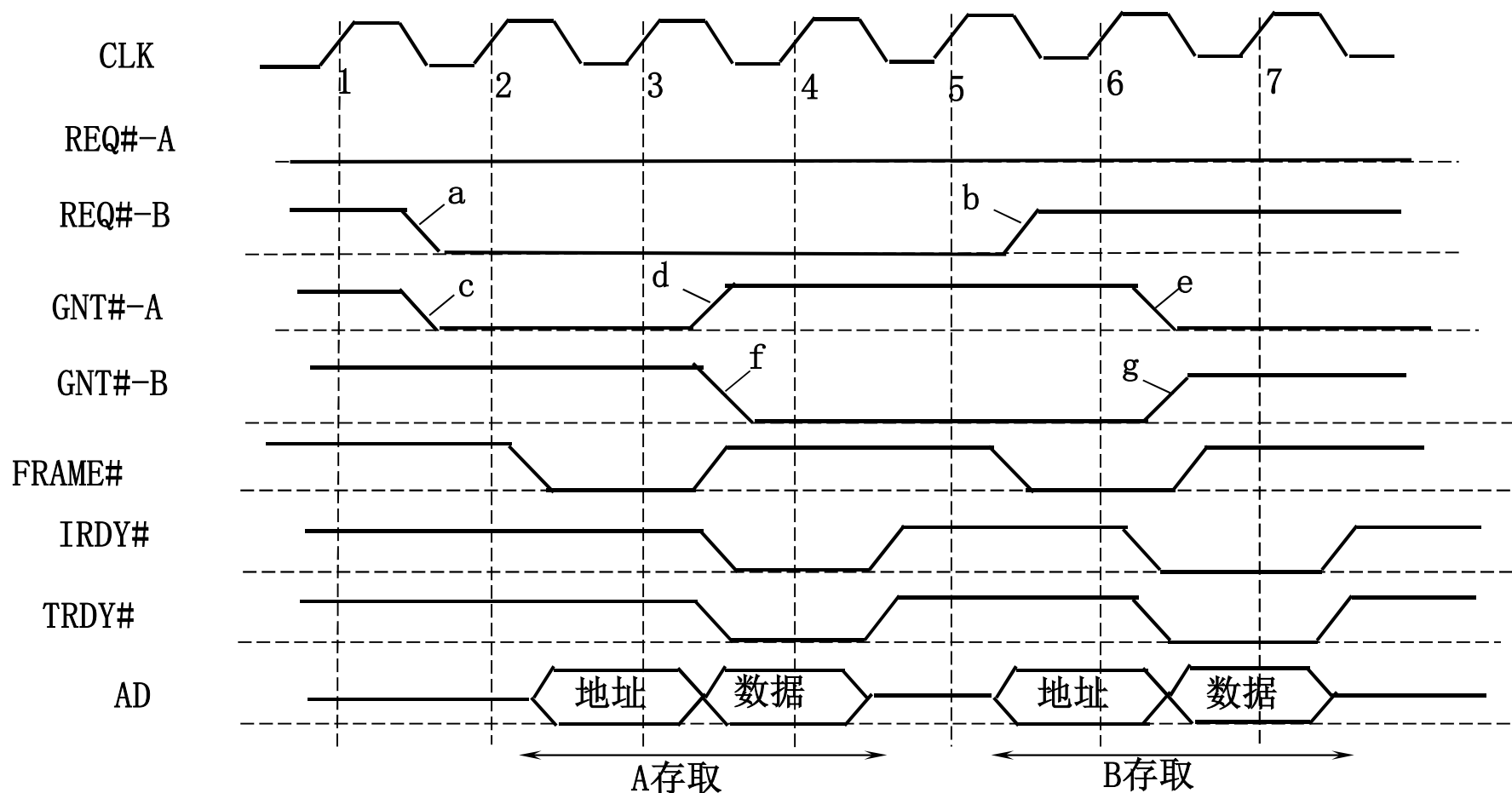


PCI总线(外围部件互连)

- 特点
 - 主从设备共享
 - 即插即用(Plug and Play)
 - Low Pin Count (复用)
 - 中断共享 (支持大量中断设备)
- PCI Express
 - 采用点对点连接方式
 - 采用分层设计
 - 与PCI总线的寻址方式兼容
 - 现有的应用和驱动可以不加改变地在PCI-X上使用

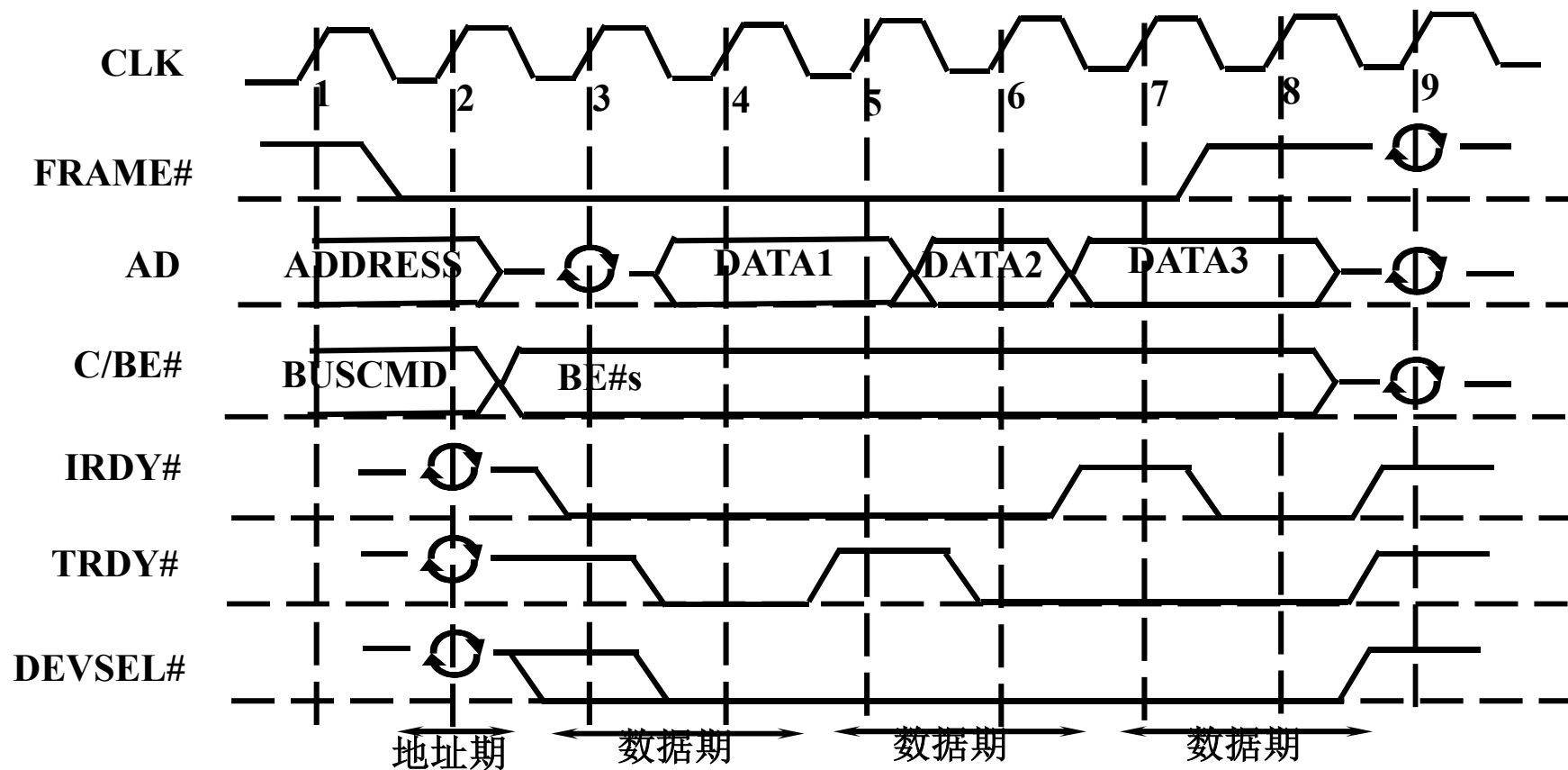


PCI总线单字节数据传输模式



地址、数据复用

PCI总线突发数据传输模式



PCI仲裁—独立请求仲裁

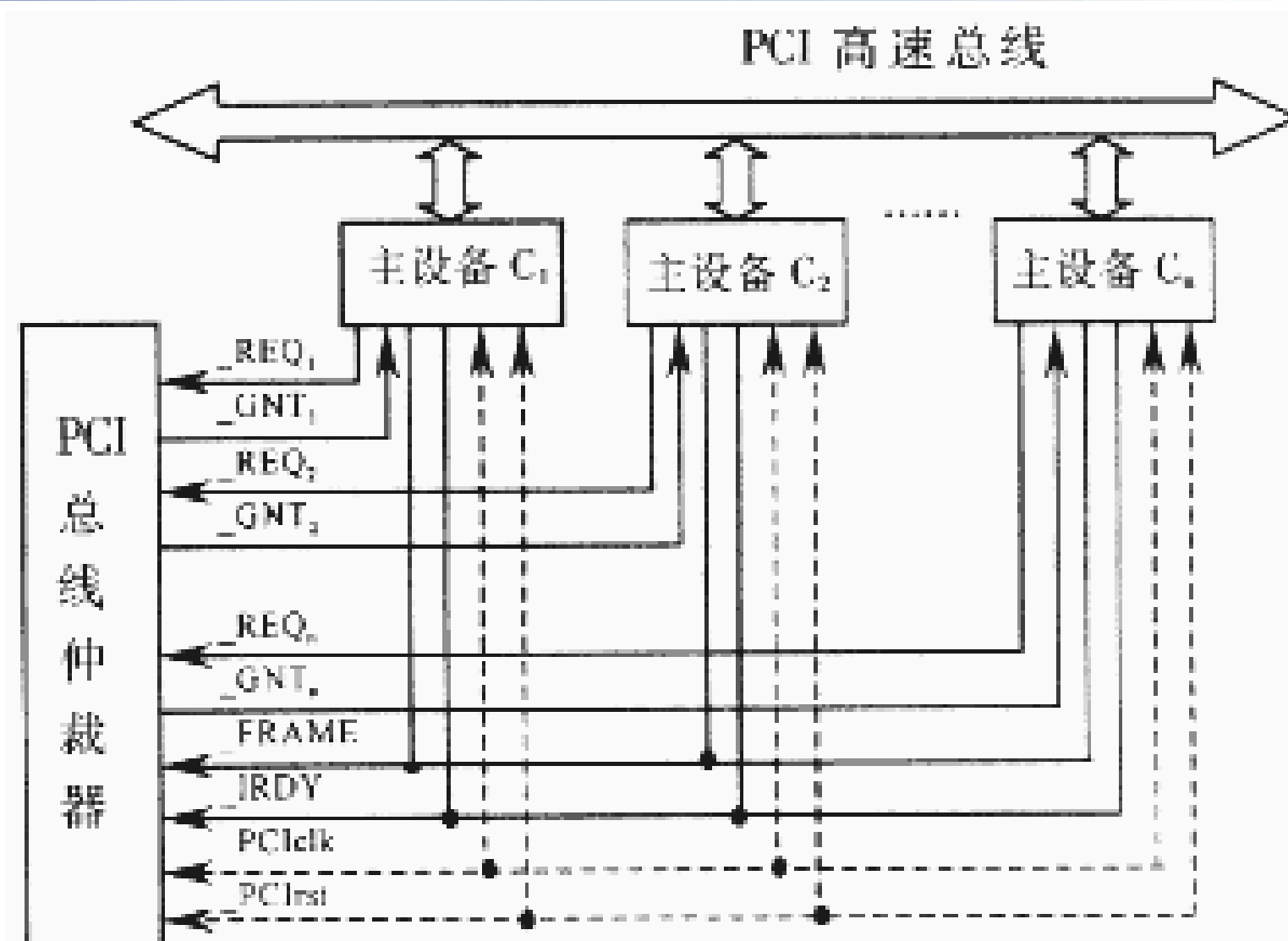
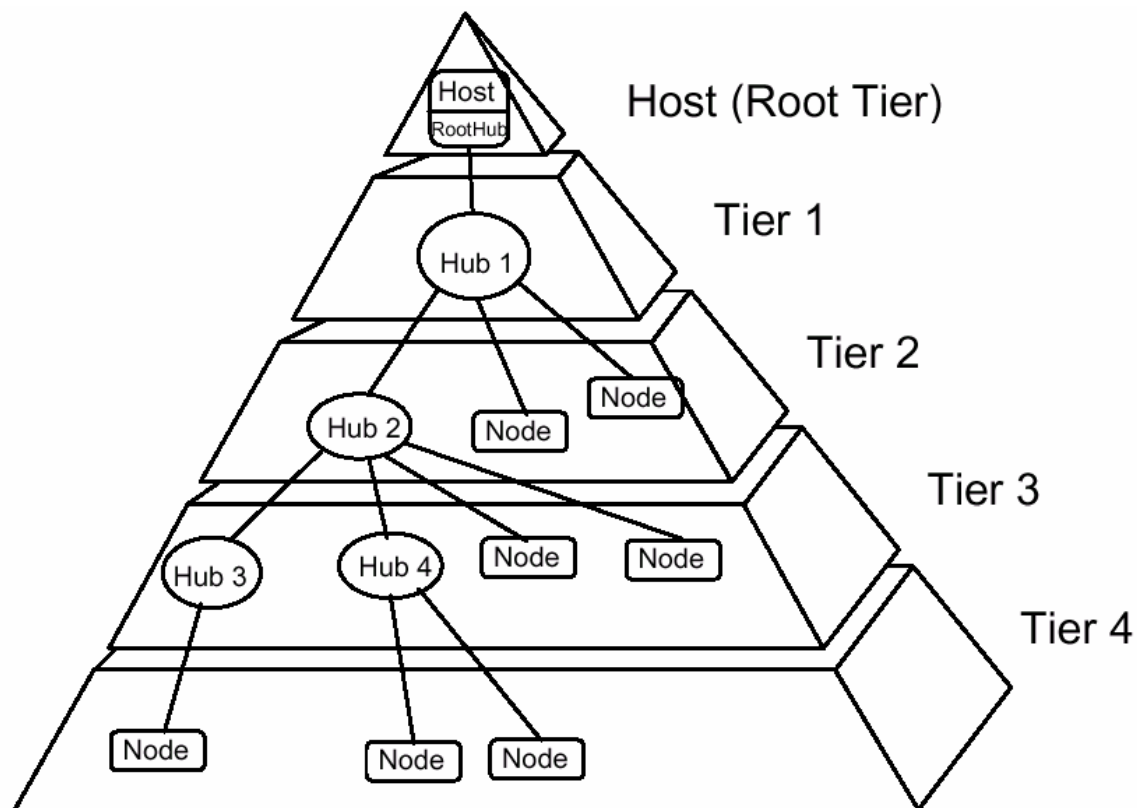
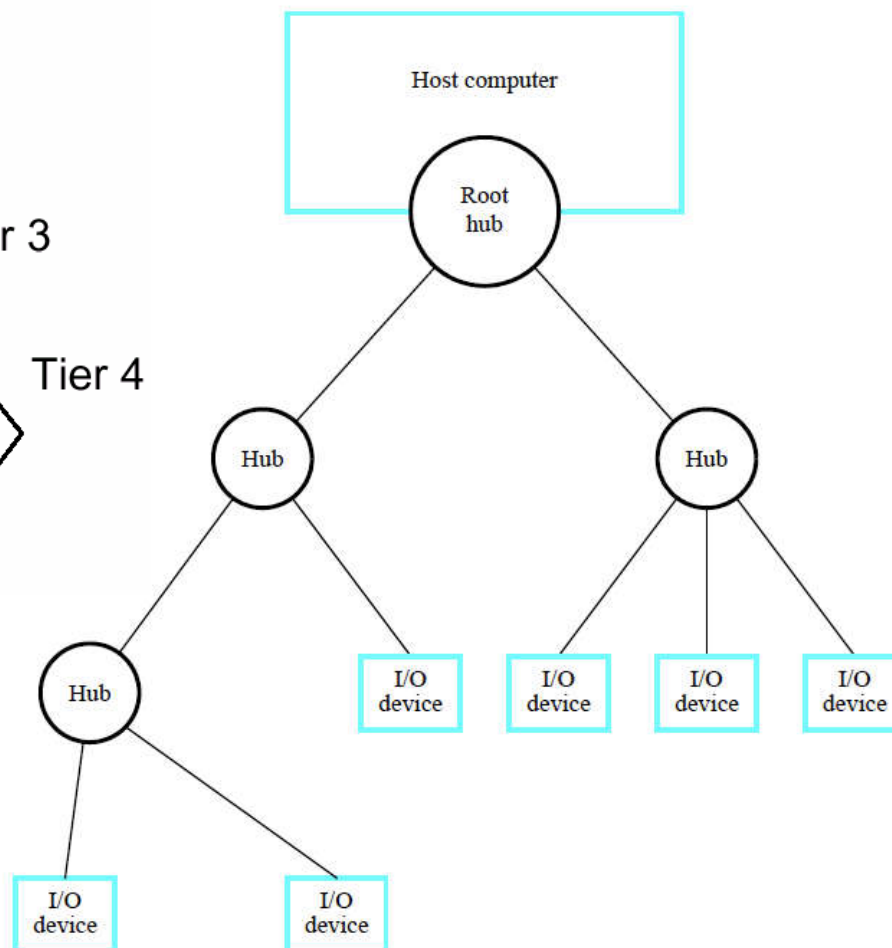


图 1 PCI 总线仲裁机制示意图

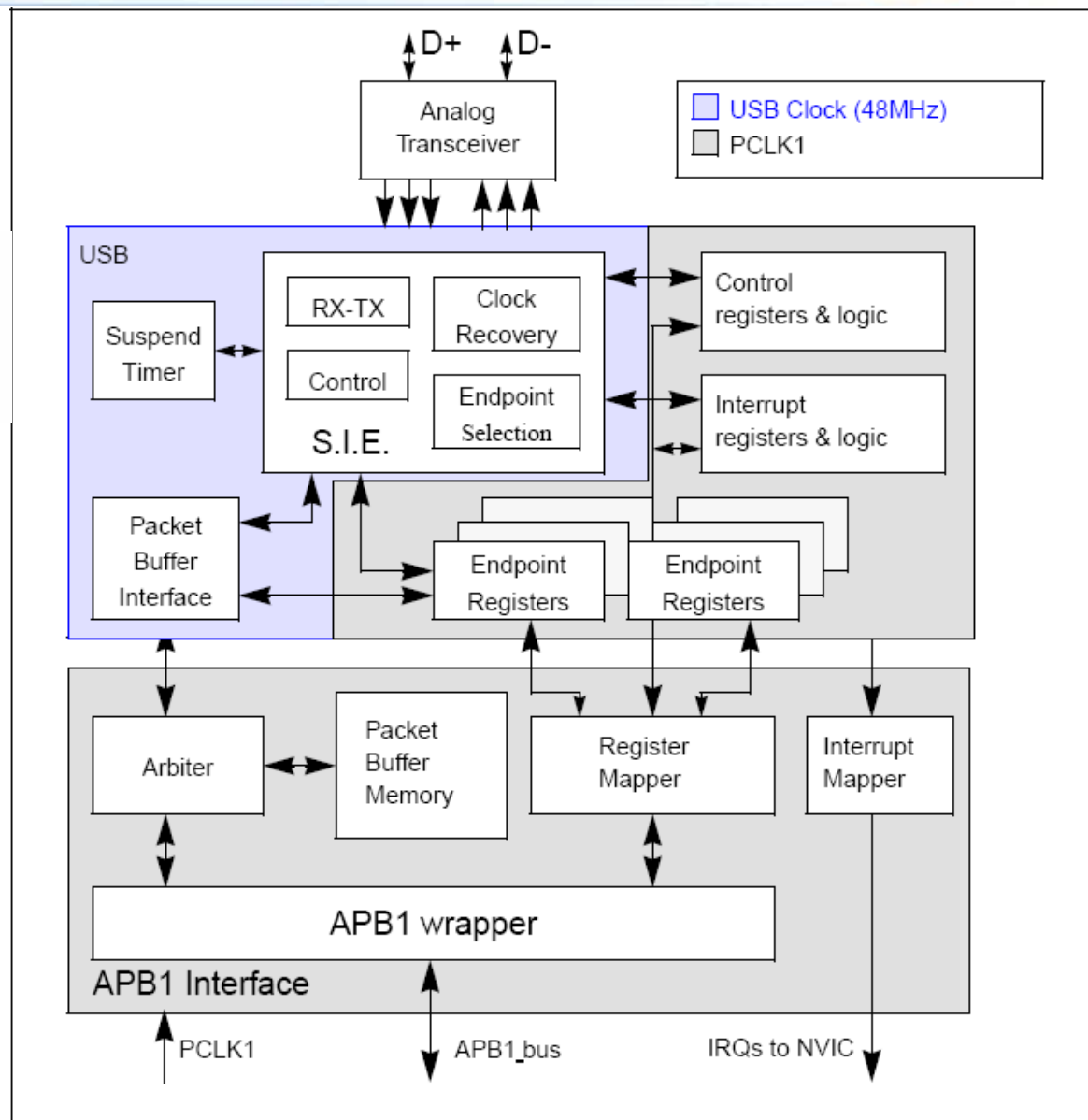
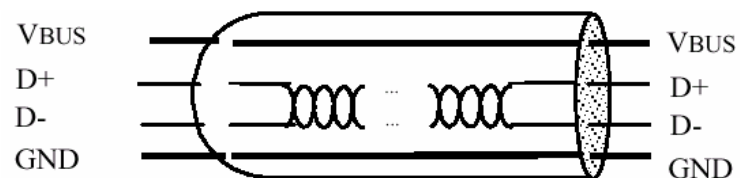
USB总线拓扑结构



传输距离不大于5米。
可通过菊花链的形式同时挂接多个（可达127个）USB设备。



USB外设的结构框图



USB接口技术



- USB 总线属于一种**轮循**方式的总线，主机控制端口初始化所有的数据传输
- 支持3种数据传输速率操作
 - 低速1.5Mb/s，全速12Mb/s和高速480Mb/s。
- 支持4种类型的传输模式
 - 控制数据传送：在设备连接时对设备进行设置，还可对指定设备进行控制，如通道控制；
 - 两种类型的通道：流和消息。
 - 批量数据传送：大批量产生并使用的数据，在传输约束下，具有很广的动态范围；
 - 中断数据的传送：由事件产生，数据是少量的，且其数据延迟时间也是有限范围的。
 - 同步数据的传送：由预先确定的传送延迟来填满预定的**USB** 带宽。

USB数据传输

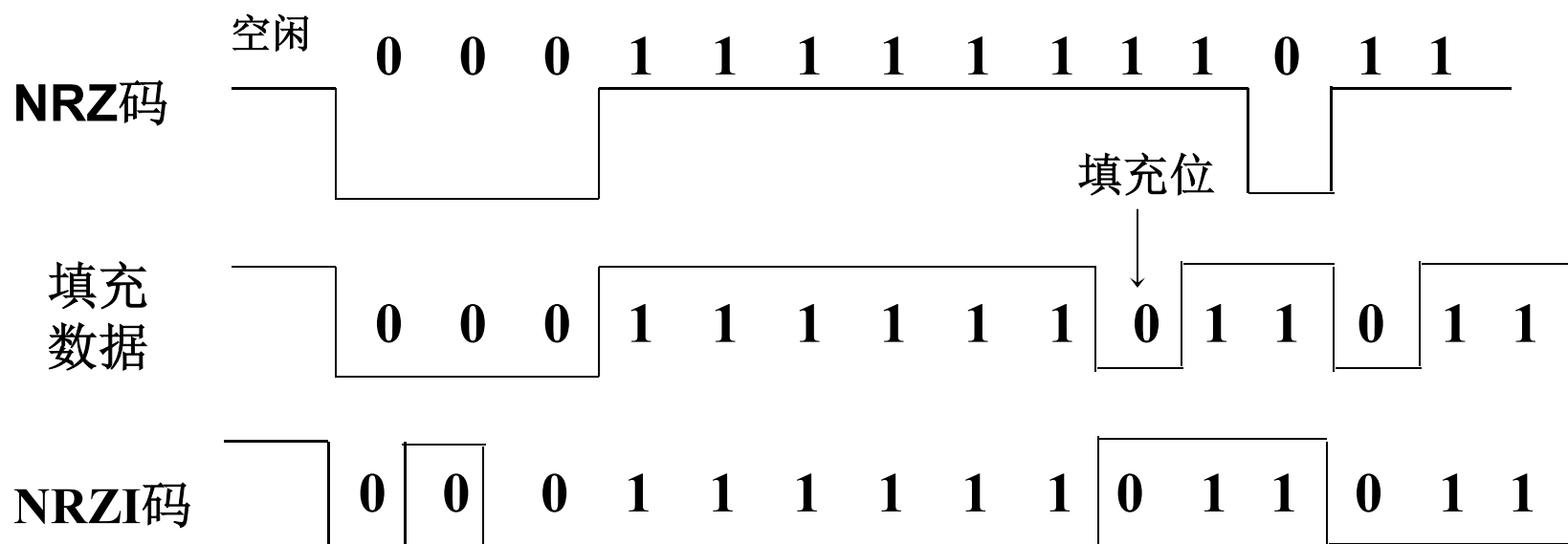
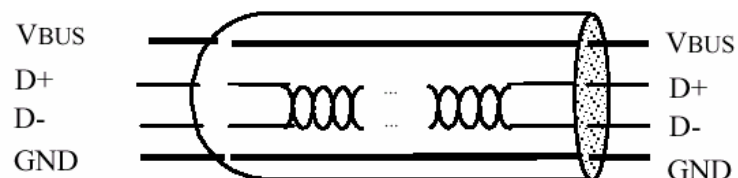


- 每一总线执行动作最多传送三个数据包
 - 标志包(token packet)
 - 在每次传送开始时主机控制器发送，描述传输运作的种类、方向、**USB** 设备地址和终端号
 - 数据包
 - 握手包
 - 接收端表明是否传送成功
 - 可利用其进行流量控制

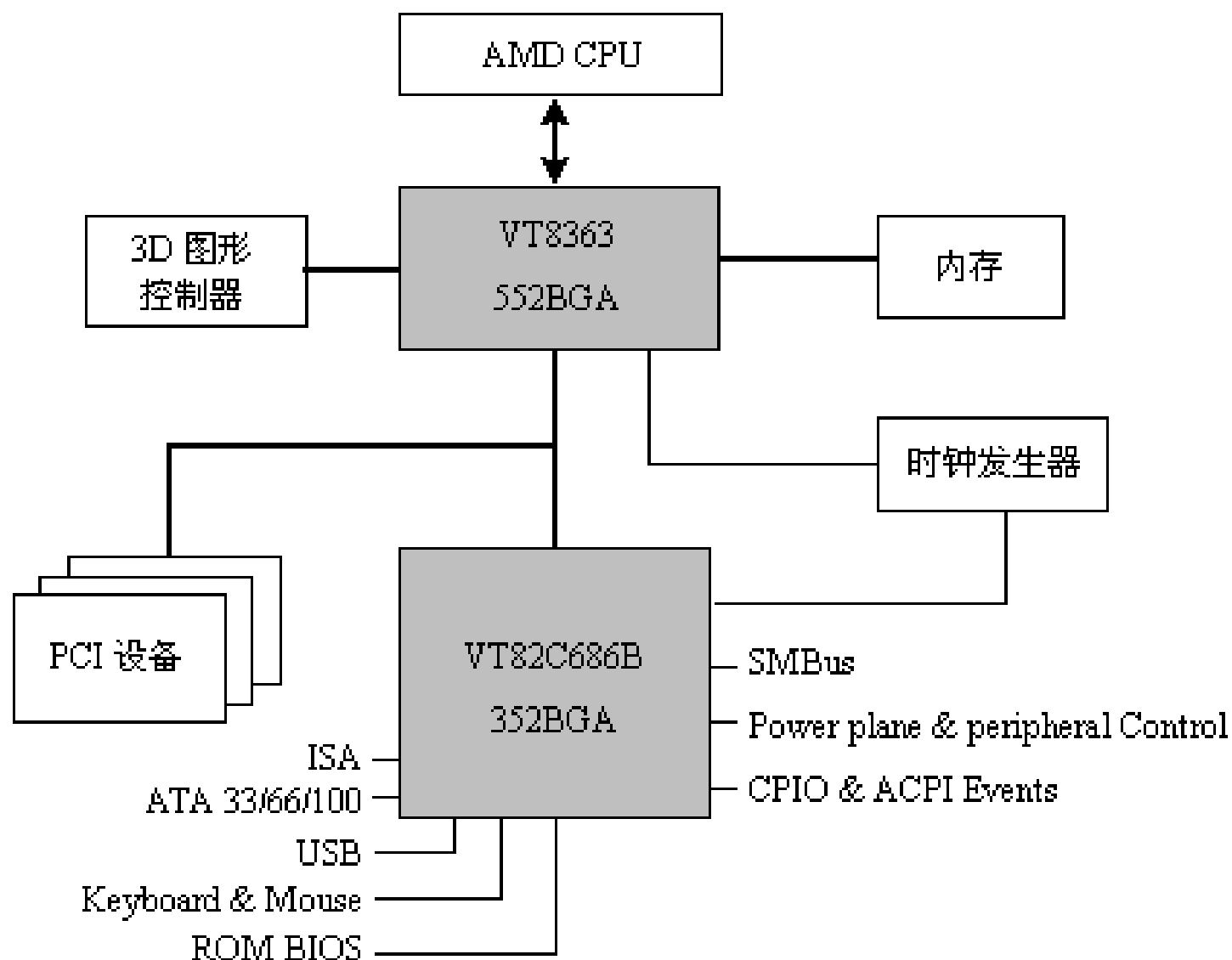
USB总线的编码方式



- “见0就翻”



南北桥结构的KT133芯片组



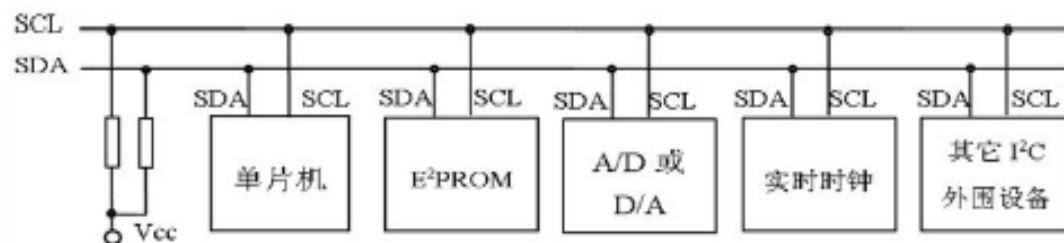


I2C(Inter-IC)总线

- I2C(Inter-Integrated Circuit): 两线式**串行总线**
 - 双向数据线Serial Data(SDA)、时钟线Serial Clock(SCL)
 - 允许不同IC以不同波特率进行通信
 - 并联在一条总线上的每个IC都有唯一的地址

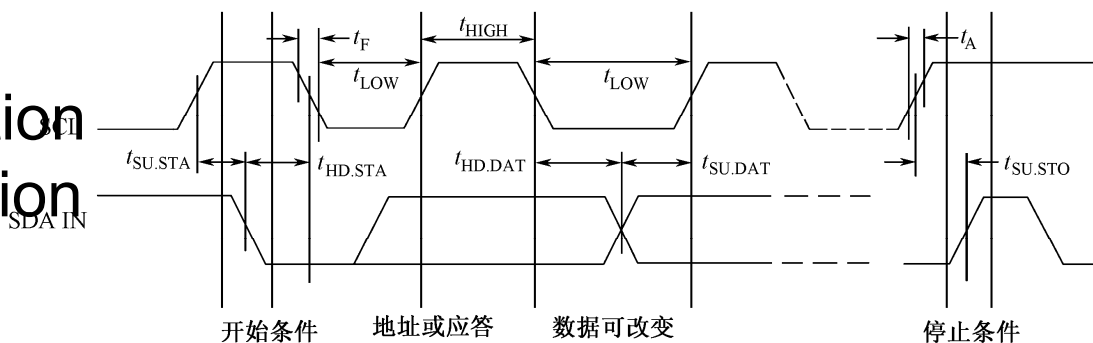
- 总线仲裁：基于总线的“线与”逻辑，“低电平优先”

- SCL线时钟同步
 - 由主设备发出
- SDA线仲裁



- 数据传输

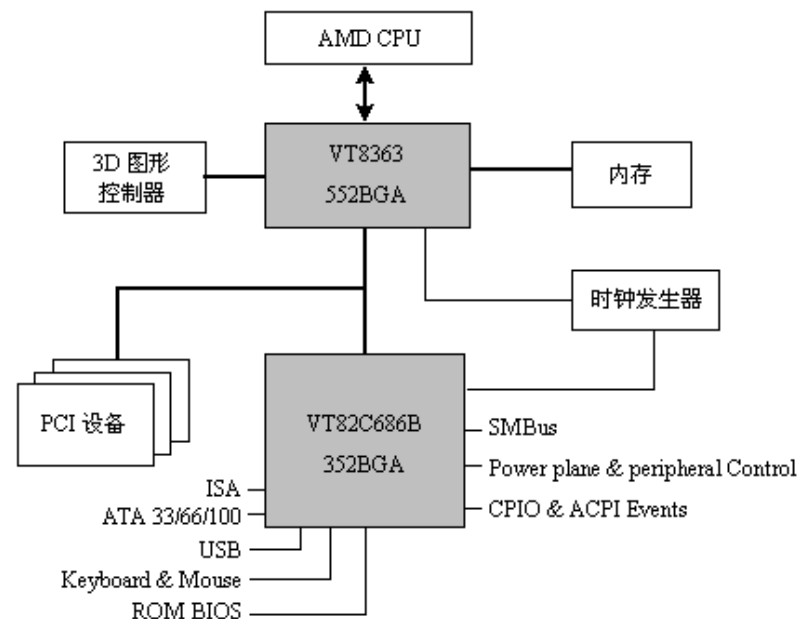
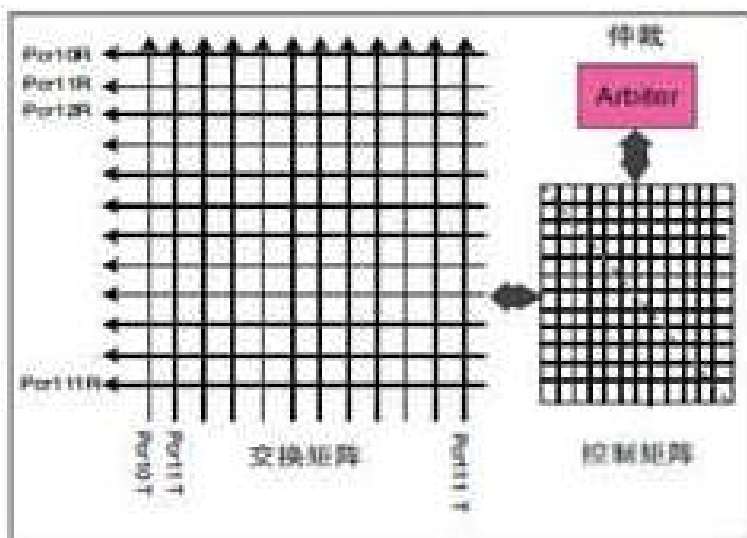
- 开始信号start condition
- 结束信号stop condition
- 应答信号
 - 一个Byte一个ACK



前端总线（Front Side Bus, FSB）



- 将CPU连接到北桥芯片的总线
 - 基于PACKET的**网络式**通信方式
- 最新的INTEL和AMD多核处理器都不用FSB了
 - 官方名字叫做CSI（Common System Interface）
 - 用来实现芯片之间的直接互联，而不是在通过FSB连接到北桥
 - INTEL技术称QPI（快速通道互联，QuickPath Interconnect）
 - 无论是速度、带宽、每个针脚的带宽、功耗等都超越HT总线。
 - AMD称HT（HyperTransport）



总线事务（Bus transaction）



- 在一个总线周期中发生的一系列活动
 - 典型的总线事务：请求操作、裁决操作、地址传输、数据传输和总线释放。
- **Pentium Pro**处理器总线事务类型有**11**种。
 - 延迟回答：当一个从设备需要花很长时间才能完成某个事务时，就通过发出该“延迟回答”事务，以“分离事务”方式来处理该事务。
 - 中断响应：当处理器响应从**8259**中断控制器送来的中断请求而要去读中断向量时。
 - 特殊事务：当处理器要广播一条与某个内部事件（如**shutdown**、**halt**等）有关的消息时。
 - 分支跟踪消息：在指令执行过程中当一个转移目标的条件被满足时。它将送出转移指令的地址和转移到的目标指令的地址。

Pentium Pro总线事务（续）



- 存储器读并无效：处理器产生该“存储器读并无效”事务，主要是为了对一个**Cache**行进行独占访问。
- 存储器代码读：当处理器要从存储器中取指令时。
- 存储器数据读：当执行到某指令要从存储器中取数据时。
- 存储器写（不可重试）：当处理器要写回一个更新的**Cache**行到存储器（淘汰）以便为一个新行腾出空间时，由处理器发出该事务。
- 存储器写（可重试）：当处理器执行到某指令需写数据到存储器中去时，由处理器发出该事务。
- **I/O**读：当处理器执行**IN**或**INS**指令，要从某个**I/O**设备读取数据或状态时。
- **I/O**写：当处理器执行**OUT**或**OUTS**指令，要将数据或命令写到某个**I/O**设备上时。

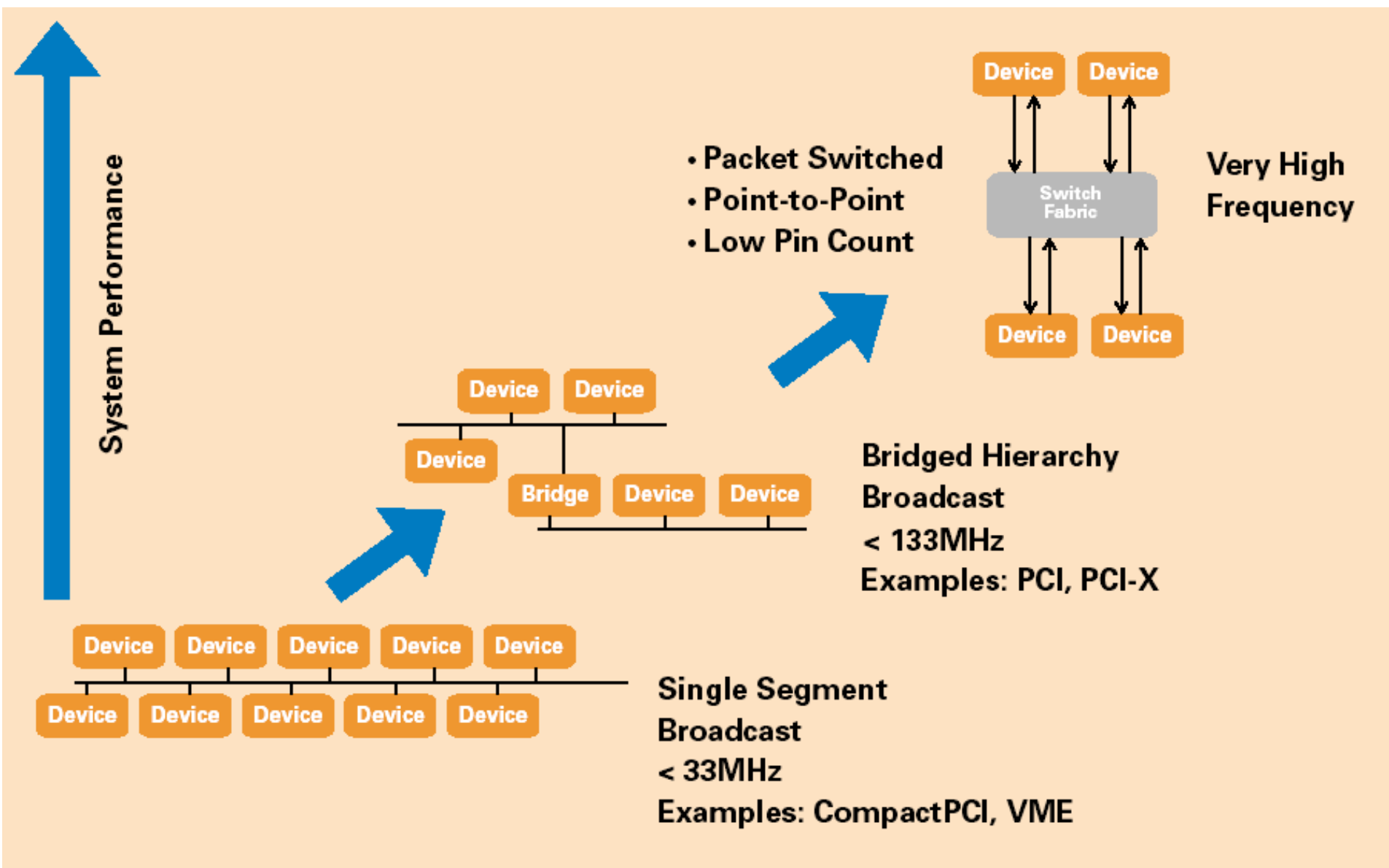


总线事务的操作阶段

◆ Pentium Pro处理器每个总线事务包含五个操作阶段

- 请求阶段（地址阶段）
 - 送出地址信息和事务类型信息，以及有关事务的其他信息。
- 检错阶段
 - 对请求阶段送出的地址和请求信息所对应的奇偶校验信号进行检测。
- 侦听阶段
 - 对请求阶段送出地址中所对应的数据，检查其在各个**Cache**中的命中状态，确定以后阶段如何处理该事务。
- 响应阶段
 - 根据请求的事务类型、检错和侦听结果，确定如何响应当前事务。
 - 返回的响应结果可以是重试事务、延迟事务、硬件错、无数据传送事务、回写（**Writeback**）事务或正常数据传送事务等。
- 数据阶段
 - 送数据到数据总线上，或从数据总线上取数据

总线系统及其发展趋势





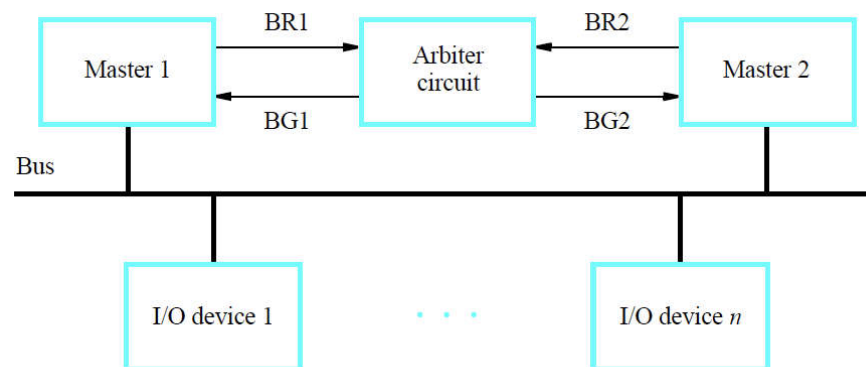
总线驱动程序

- 主要任务
 - 枚举其总线上的设备
 - 响应 **PnP** 和电源管理IRP
 - 总线的多路访问（对某些总线）
 - 总体上管理其总线上的设备
- **PCI, PnP ISA, SCSI 和USB**

思考



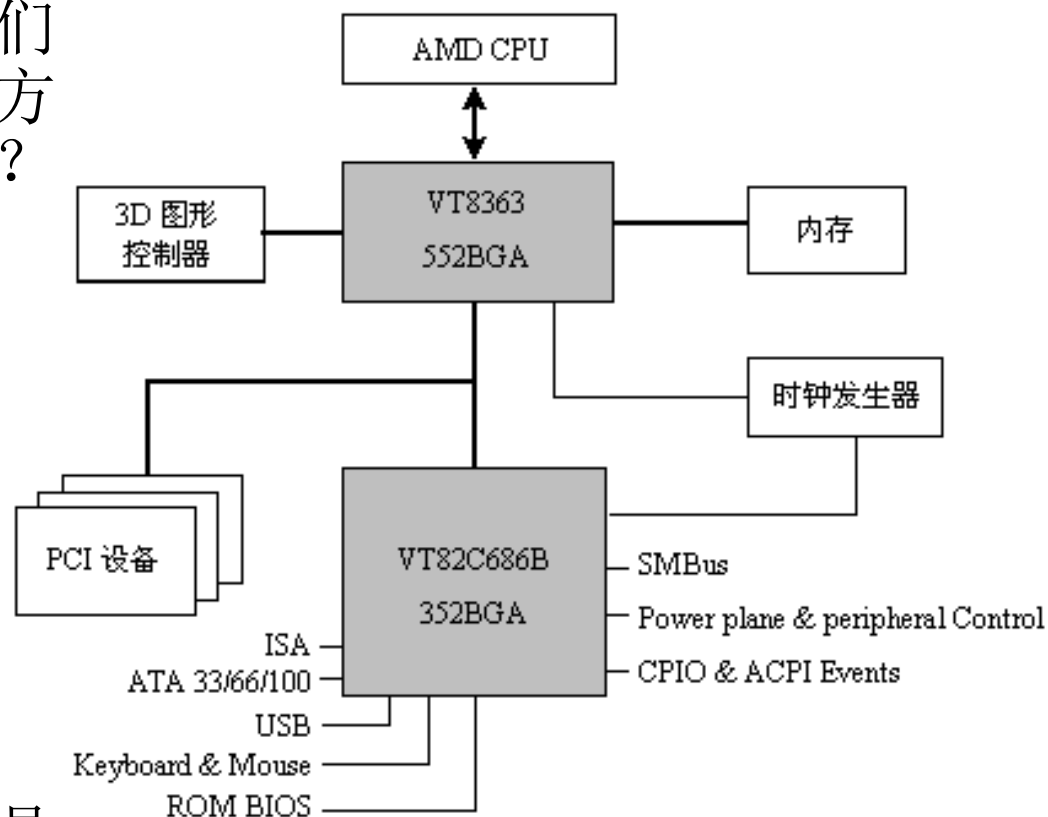
- 总线应用场景有哪些？
 - 主机内（单CPU，SMP，CMP），主机间
- 总线数据传输过程
 - 单master系统
 - 多master系统
 - 集中式：申请，传输，撤销
 - 分布式：
 - 空闲？
 - » Carrier Sense: 非空闲则本地buffer
 - 仲裁：
 - » ethernet: 抢占式（冲突时会出现“碎片”）
 - » CAN: ID仲裁
 - 发送
- 总线传输同步方式
 - 物理层：同步式，异步式
 - 链路层：帧同步



思考



- 总线时钟宽度由什么因素决定?
- 系统含多种设备, 它们之间采用哪种同步控制方式, 哪种数据传输模式?
 - 主设备: CPU
 - 从设备:
 - MEM
 - Disk
 - Display
 - Keyboard
 - Mouse
 - Network
 -
- 对用户而言, 总线属性是否透明?



小结



- 总线分类、特性与性能指标，拓扑结构

- 总线周期，总线时钟，总线带宽

- 总线仲裁

- 分配策略有哪些？

- 总线通信控制

- 传输过程

- 同步控制：时序图

- 总线数据传输

- 串并行方式，编码方式

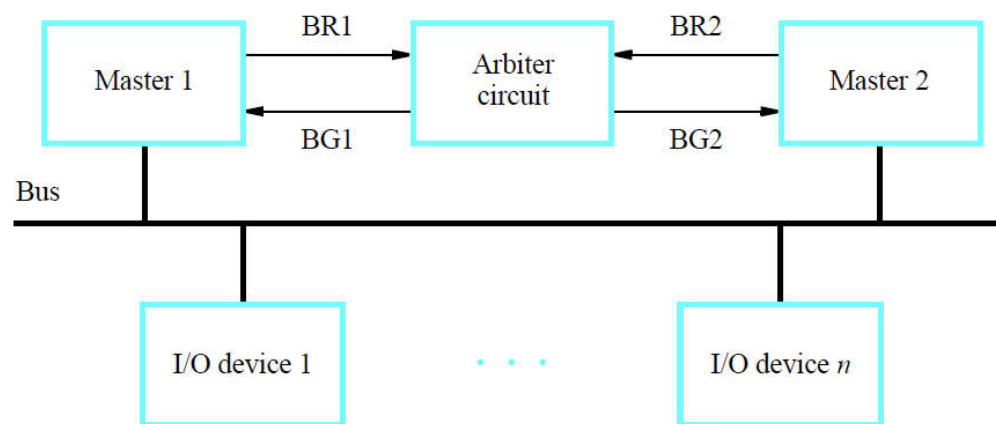
- 数据传输模式：单字节、突发式

- 总线控制器：功能？如何实现？

- 软硬件接口：总线驱动程序？

- 作业

- 3.4、3.8、3.12（选）、3.14、3.15、3.16





Thank you