**4 ЛАБОРАТОРНАЯ РАБОТА №4**

**«ИССЛЕДОВАНИЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ И ФУНКЦИОНАЛЬНЫХ УЗЛОВ НА ИХ ОСНОВЕ»**

**4.1 Цель работы**

Экспериментальные исследования функционирования и параметров логических элементов на базе КМОП-транзисторов и элементов задержки и генераторов прямоугольных импульсов. Приобретение практических навыков измерения электрических параметров и регистрации временных диаграмм с помощью электро- и радиоизмерительных приборов.

**4.2 Ход выполнения работы**

4.2.1 Были нарисованы схемы логических элементов ИЛИ и И на диодах в рабочем окне симулятора Proteus (рисунки 4.1, 4.2).

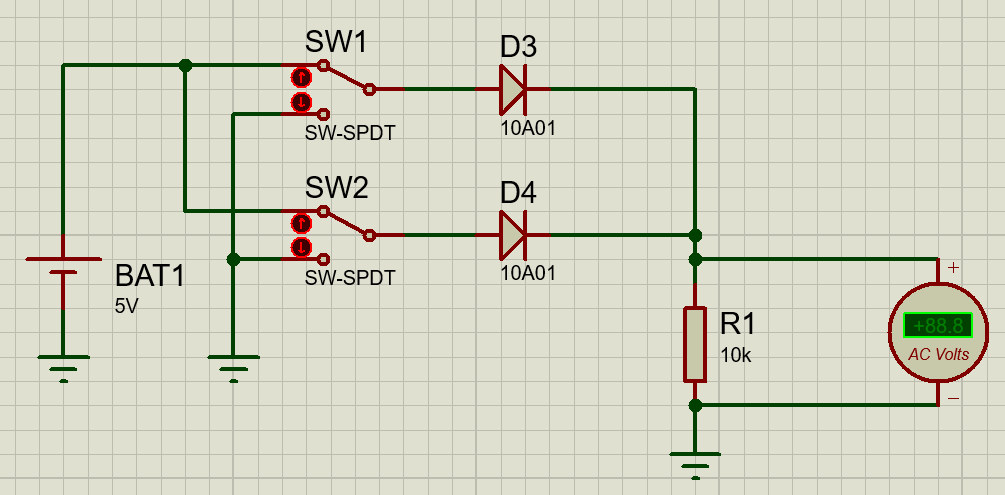


Рисунок 4.1 – Схема логического элемента ИЛИ на диодах

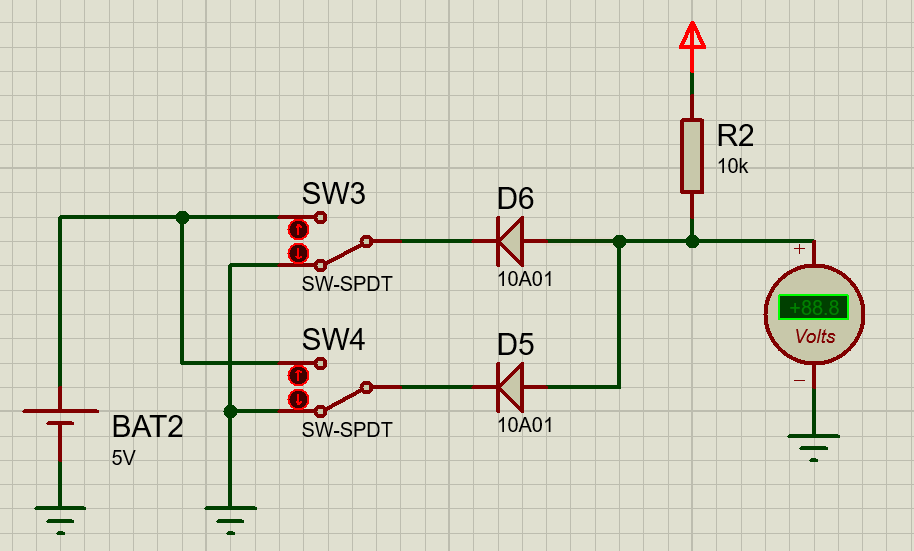


Рисунок 4.2 – Схема логического элемента И на диодах

С помощью переключателей на вход схем были поданы 0 или 1, а затем составлена таблица истинности исследуемых логических элементов.

Таблица истинности для логического элемента ИЛИ:

|  |  |  |
| --- | --- | --- |
|  | 0 | 1 |
| 0 | 0 (0 В) | 1 (4,66 В) |
| 1 | 1 (4,66 В) | 1 (4,7 В) |

Таблица истинности для логического элемента И:

|  |  |  |
| --- | --- | --- |
|  | 0 | 1 |
| 0 | 0 (0,3 В) | 0 (0,34 В) |
| 1 | 0 (4,66 В) | 1 (5 В) |

4.2.2 Далее были нарисованы схемы логических элементов ИЛИ-НЕ и И-НЕ интегральных микросхемах, выполненных на КМОП-транзисторах, в рабочем окне симулятора Proteus, по варианту были взяты модели 4023 и 4001 (рисунки 4.3, 4.4).

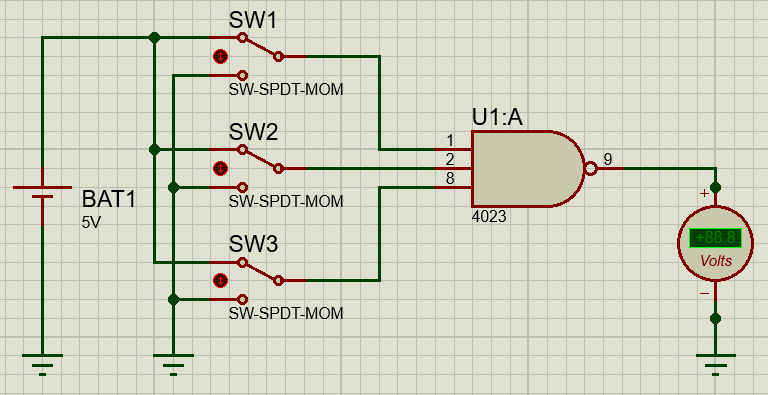


Рисунок 4.3 – Схема логического элемента И-НЕ

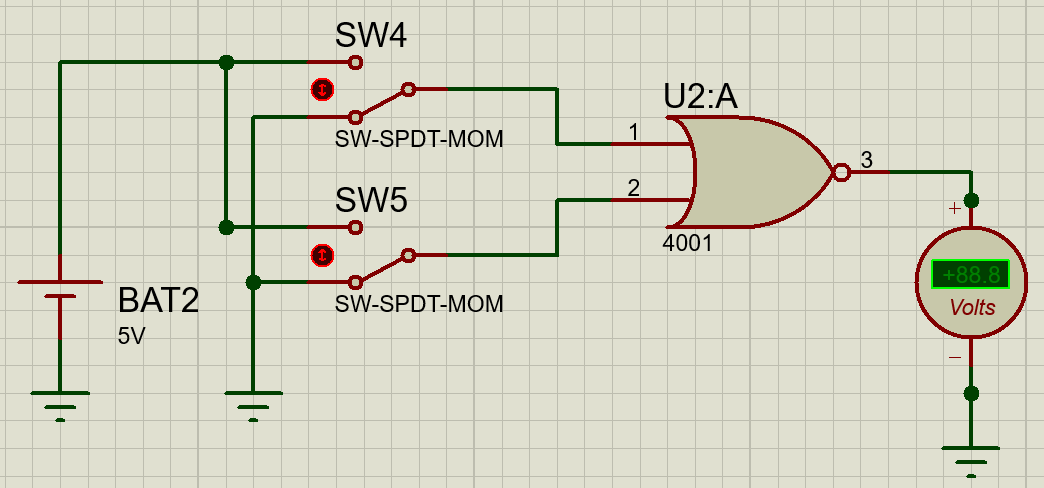


Рисунок 4.4 – Схема логического элемента ИЛИ-НЕ

С помощью переключателей на вход схем были поданы 0 или 1, а затем составлена таблица истинности исследуемых логических элементов.

Таблица истинности для логического элемента И-НЕ:

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | 2 | 3 | Вых |
| 0 | 0 | 0 | 1 (5 В) |
| 0 | 0 | 1 | 1 (5 В) |
| 0 | 1 | 0 | 1 (5 В) |
| 0 | 1 | 1 | 1 (5 В) |
| 1 | 0 | 0 | 1 (5 В) |
| 1 | 0 | 1 | 1 (5 В) |
| 1 | 1 | 0 | 1 (5 В) |
| 1 | 1 | 1 | 0 (0 В) |

Таблица истинности для логического элемента ИЛИ-НЕ:

|  |  |  |
| --- | --- | --- |
|  | 0 | 1 |
| 0 | 1 (5 В) | 0 (0 В) |
| 1 | 0 (0 В) | 0 (0 В) |

4.2.3 В рабочем окне симулятора были собраны схемы задержки импульсов (рисунки 4.5, 4.7). Были сняты осциллограммы входных и выходных импульсов инверторов (рисунки 4.6, 4.8), а также измерено время задержки выходного импульса, для первой схемы она составляет 11 миллисекунд, а для второй – 3.

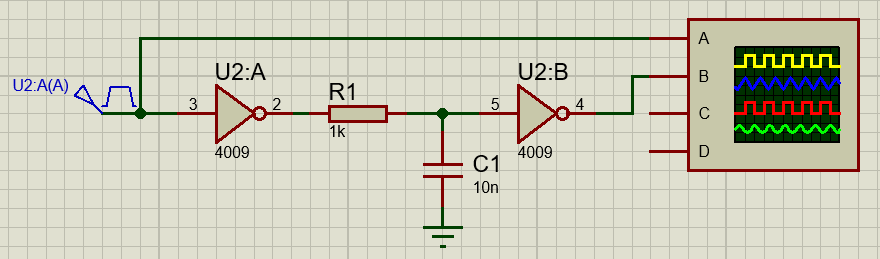


Рисунок 4.5 – Схема задержки импульсов 1

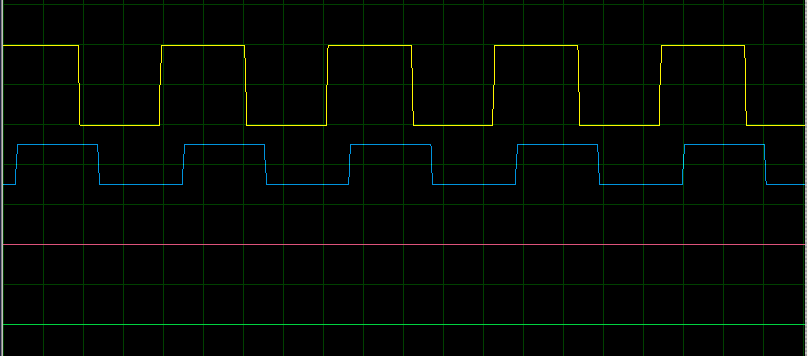


Рисунок 4.6 – Осциллограмма схемы задержки импульсов 1

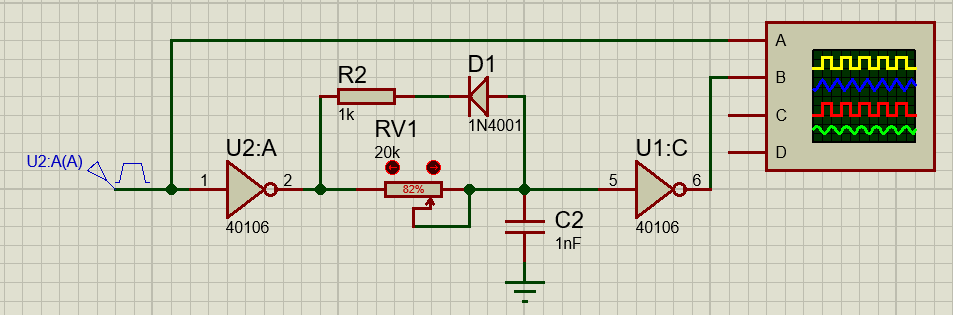


Рисунок 4.7 – Схема задержки импульсов 2

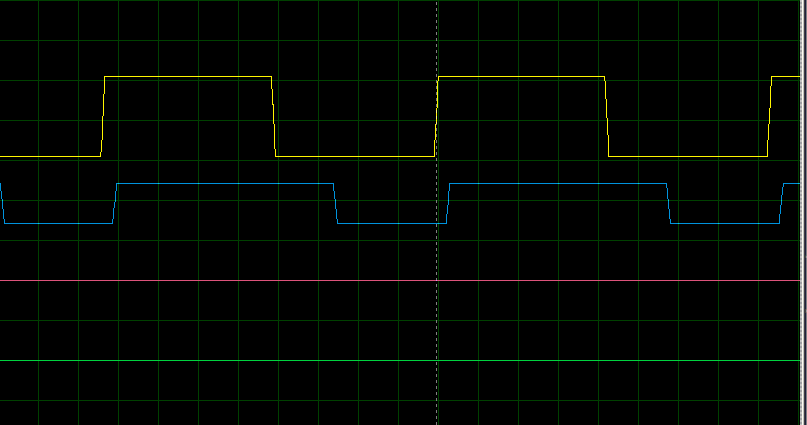


Рисунок 4.8 – Осциллограмма схемы задержки импульсов 2

4.2.4 Следующим шагом на рабочем поле симулятора была создана схема генератора прямоугольных импульсов с параметрами RC-цепочки (рисунок 4.9). Для этой схемы были сняты осциллограммы форм импульсов на входах и выходах инверторов и измерить частоту генерируемых импульсов и рассчитана частота, которая составила 12.5 Гц (рисунок 4.10)

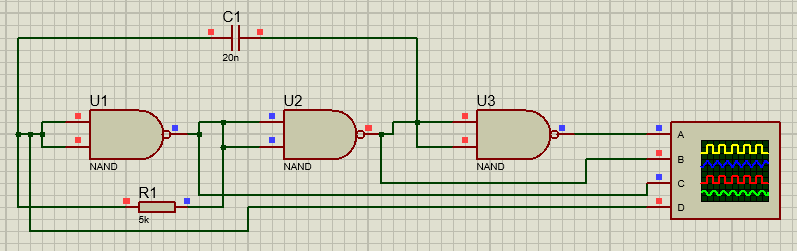


Рисунок 4.9 – Схема генератора прямоугольных импульсов

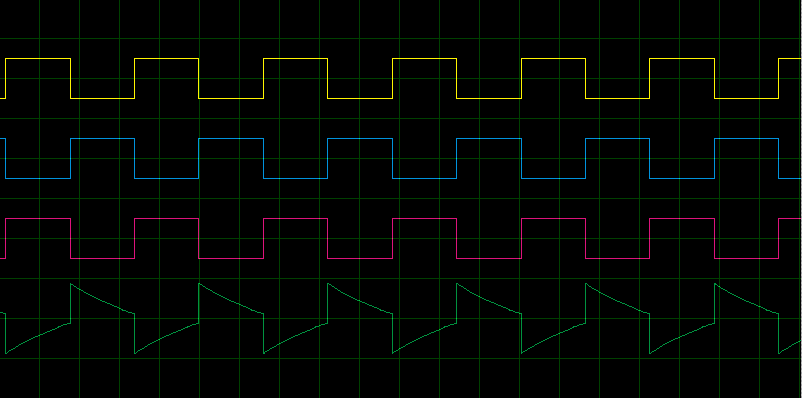


Рисунок 4.10 – Осциллограммы форм импульсов на входах и выходах инверторов

**Выводы**

В ходе работы были проведены экспериментальные исследования функционирования и параметров логических элементов на базе КМОП-транзисторов и элементов задержки и генераторов прямоугольных импульсов. Были приобретены практические навыки измерения электрических параметров и регистрации временных диаграмм с помощью электро- и радиоизмерительных приборов.