

CS 5160-00 FPGA Architecture & CAD Fall 2020

(Due: Jan. 9, 2021)

109062630 Chieh-Yu, Cheng 鄭傑予

Method :

我參考 TimberWolf 的 Simulated-Annealing placement 的方法，使用 two stage 的 random-based 的 greedy 演算法，而每次 random 的動作有兩種。

Move 1 (random swap) :

隨機選取兩個 LUT 或兩個 FF，交換他們所在的 CLB 位置，若能使得 HPWL 變小才接受此動作。

Move 2 (random move) :

隨機選取一個 LUT 或 FF 及一個 CLB，若能將選取的 LUT 或 FF 在滿足 CLB constraint 且能使得 HPWL 變小才接受此動作。

Stage 1 :

在程式執行的前 1000 秒為 global 的 random 優化，允許全部的 LUT 或 FF 被交換或被移動到全部的 CLB。

Stage 2 :

在程式執行的 1000 到 1700 秒為 local 的 random 優化，允許全部的 LUT 或 FF 被交換但只允許欲被移動的 LUT 被換到他所在的 row 或 column。

Result :

testcase	initial HPWL	final HPWL	Runtime(s)
alu4_4	45265	9116	1700
clma_4	636447	169199	1700
diffeq_4	67392	11998	1700
frisc_4	229947	50497	1700
s38417_4	535901	124643	1700
tseng_4	36647	8973	1700