



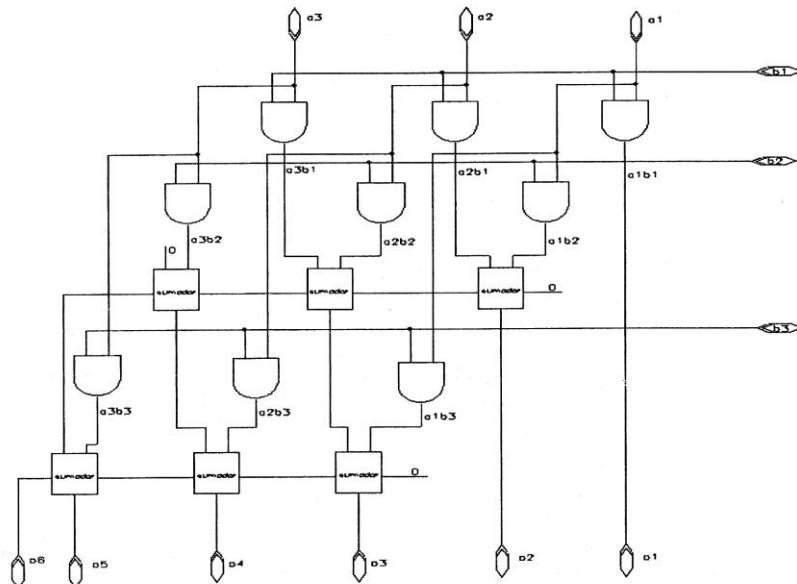
Estructuras de Computadores – (34010)

Examen (6 de Junio de 2012)

Pregunta 1.

(3 puntos)

Dado el siguiente multiplicador sin signo combinacional:



Suponiendo que los sumadores están implementados con semisumadores y que el retardo de la puerta AND es 1 T, se pide:

- Indicar el retardo de cada elemento. Obtener el redardo del circuito (1 punto)
- Obtener el retardo del circuito suponiendo que multiplique números de 4 bits. (2 puntos)

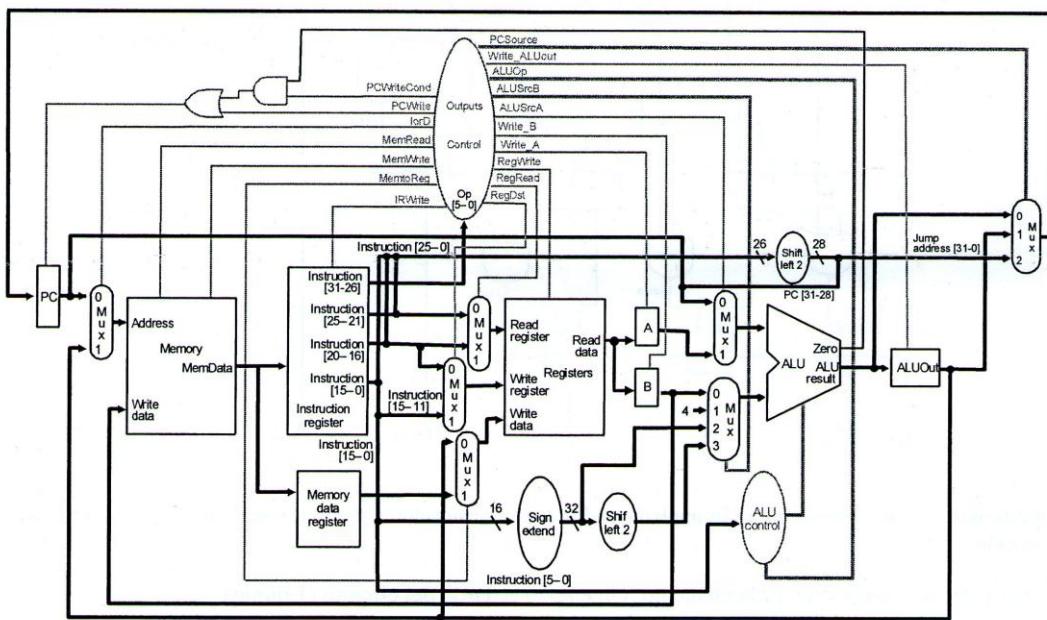


Pregunta 2.

(4 puntos)

En la ruta de datos multiciclo del MIPS de la figura se han realizado unas pequeñas modificaciones respecto a la ruta de datos estudiada en clase. El banco de registros de esta ruta de datos sólo tiene un puerto de lectura por lo que solo se puede leer un registro en cada ciclo de reloj. Por esta razón se han añadido señales de control de escritura a los registros A, B y ALUout con nombre *Write_A*, *Write_B* y *Write_ALUout*. Suponed que en esta nueva ruta de datos se ejecutan instrucciones aritmético-lógicas (**add**, **sub**, **and**, **or** y **slt**) con formato tipo R y las intrucciones **lw**, **sw** y **beq** con formato tipo I y la instrucción **j** con formato tipo J.

- Obtened las acciones a realizar en cada ciclo de reloj mediante lenguaje de transferencia de registros (por ejemplo: $PC \leftarrow PC + 4$) (2 puntos).
- Obtened las señales de control que se activan en cada ciclo de reloj. Suponed que al inicio de cada ciclo de reloj todas señales de control tienen el valor 0. (1 punto).



- Después de estudiar la solución, el diseñador ha realizado las siguientes afirmaciones
 - La señal de control *Write_A* se puede eliminar.
 - La señal de control *Write_B* se puede eliminar.
 - La señal de control *Write_ALUout* se puede eliminar.

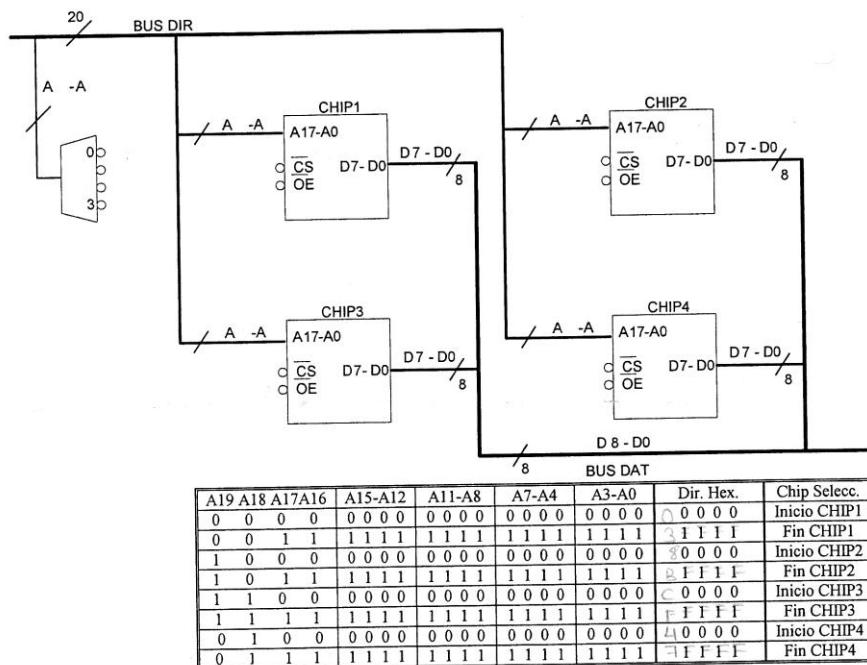
Discutir la validez o no de cada una de las afirmaciones anteriores exponiendo los argumentos necesarios para defender vuestro razonamiento. No se puntuarán respuestas no razonadas. (1 punto)



Pregunta 3.

(3 puntos)

- a) Completa el mapa de memoria de la figura teniendo en cuenta que el rango direcciones para el cual estaría activo cada chip es el indicado en la tabla inferior (valor binario y hexadecimal) (2 puntos). Indica cuántos bits del bus de direcciones y su rango llegarían al decodificador y a cada uno de los chips



- b) La memoria de la figura es una memoria RAM de un tamaño de 2GBytes estructurada en palabras de 32 bits. Su bus de direcciones está compuesto por m bits y su bus de datos por n . Indica razonadamente los valores de m y n (1 punto).

