



Estructuras de los Computadores (34010)

Control Tema 1 Introducción

Nombre _____ DNI _____

Grupo de teoría _____ Hora _____ Fecha _____

1.- ¿Qué es la memoria principal de un computador? ¿Qué entradas y salidas tiene?

2.- Define arquitectura de un computador.



3.- Describe la estructura interna de una unidad aritmético-lógica

4.- ¿Qué es un bus? ¿Qué es el bus de datos?

5.- Indica si es cierto o falso las siguientes afirmaciones. Justifica la respuesta.



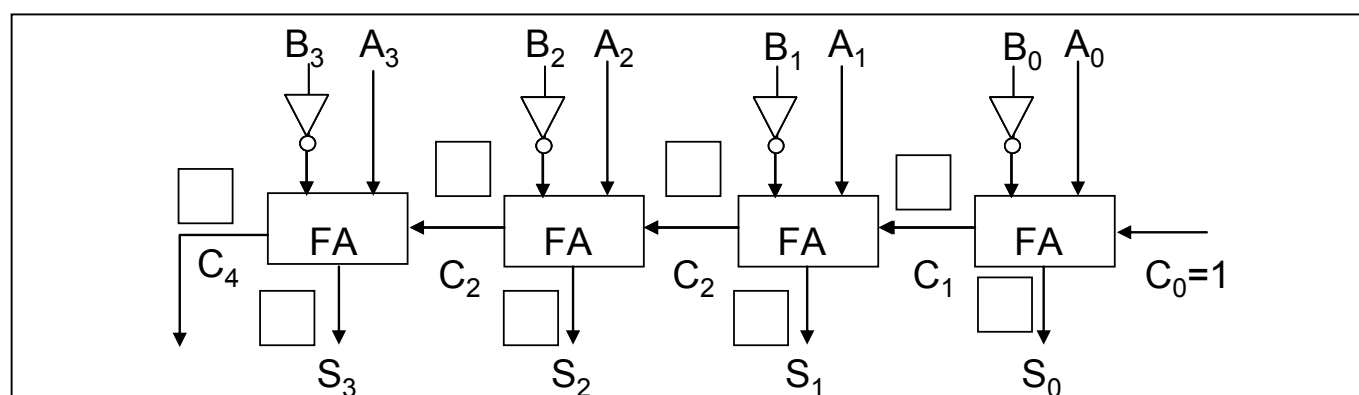
Estructuras de los Computadores (34010)

Control Tema 2 Unidad Aritmético Lógica

Nombre _____ DNI _____

Grupo de teoría _____ Hora _____ Fecha _____

1.- Suponiendo que los sumadores completos se construyen con semisumadores, rellena los cuadros con los tiempos para el siguiente restador suponiendo que todas las puertas tienen el mismo retardo T .



2.- Se desea multiplicar mediante el algoritmo de Booth los siguientes números de cinco bits, Multiplicando=11100 y Multiplicador=11011. Rellenar la tabla siguiente con el proceso de multiplicación detallando cada uno de los pasos que ocurren.

| Multiplicando | Producto | q_{-1} | Acción | Iteración |
|---------------|----------|----------|--------|-----------|
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |
| | | | | |



3.- Realizar la operación $A+B$ de los siguientes números **representados** en el formato IEEE 754. Especificar los pasos seguidos utilizando el algoritmo de suma estudiado para números representados en este formato.

A= 1100 0001 1100 1000 0000 0000 0000 0000

B= 0100 0000 0100 0000 0000 0000 0000 0000



La máquina de von Neumann se caracteriza por almacenar los datos y las instrucciones en dos memorias de lectura-escritura.

La organización de un computador hace referencia a la estructura del computador desde el punto de vista del programador.



Estructuras de los Computadores (34010)

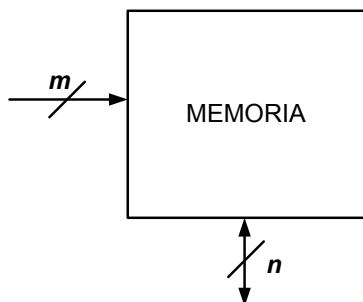
Control Tema 3 Memoria

Apellidos _____ y
nombre _____ DNI _____

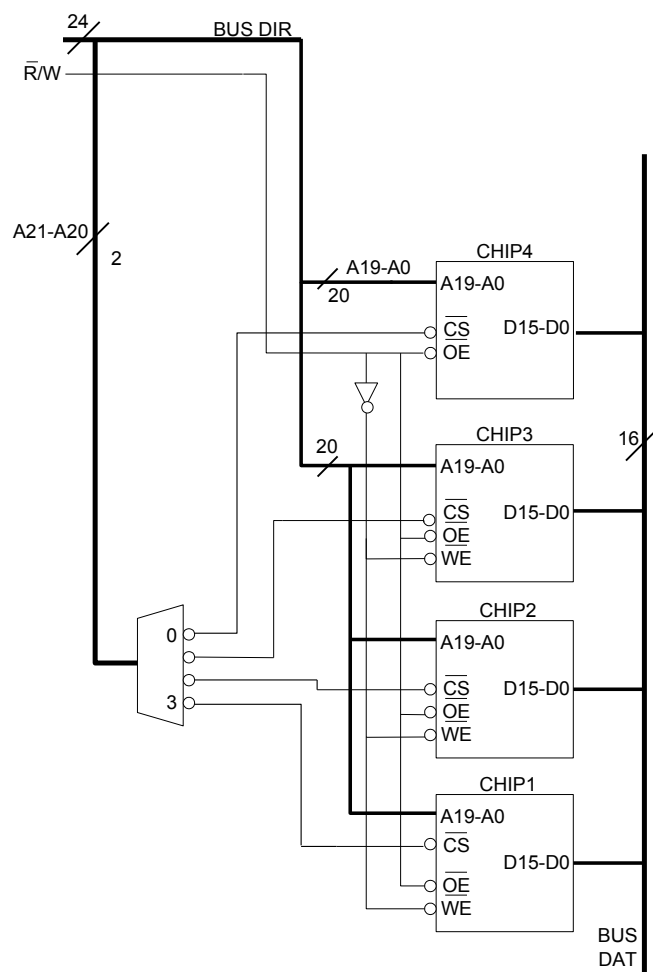
Grupo _____ de _____ teoría _____
Hora _____ Fecha _____

1.- La capacidad de una memoria es de 512Mx8. Expresala en ZZZMx16 y en YYYMx32

2.- Disponemos de una memoria de 512Mx8. Calcular el vnúmero de líneas del bus de direcciones ***m*** y el número de líneas de bus de datos ***n***



3.- Dado el mapa de memoria:



- El espacio de memoria direccionable por el procesador al que se haya conectado a través de "BUS_DIR".
- El tamaño y el tipo de cada uno de los chips.
- Completa la siguiente tabla indicando, tanto en binario como en hexadecimal, la dirección de inicio y final de cada uno de los chips.

| A23 A22 A21 A20 | A19 A18 A17 A16 | A15... A12 | A11 ... A8 | A7 A4 | A3..... A0 | DIRECCIÓN HEXADECIMAL | | CHIP |
|-----------------|-----------------|------------|------------|------------|------------|--------------------------|--------|------|
| | | | | | | | INICIO | 1 |
| | | | | | | | FINAL | 1 |
| | | | | | | | INICIO | 2 |
| | | | | | | | FINAL | 2 |
| | | | | | | | INICIO | 3 |
| | | | | | | | FINAL | 3 |
| | | | | | | | INICIO | 4 |
| | | | | | | | FINAL | 4 |

1. Disponemos de la ruta de datos de MaNoTaS. Realizar el cronograma de la instrucción **Stax**, de definida como $A \leftarrow M(D\&E)$

NOTA: EL CRONOGRAMA SE REALIZARÁ CON EL MENOR NÚMERO POSIBLE DE PERIODOS Y DIBUJANDO DE FORMA ADECUADA LAS SEÑALES SÍNCRONAS CON EL FLANCO DE SUBIDA DEL RELOJ Y LAS SEÑALES ASÍNCRONAS POR NIVEL UNO

