

VLSI ASIC DESIGN FLOW

---> Digital Electronics

---> Neso Academy

---> RTL

---> Verilog

---> Day1-100 Challenge

---> DAY 1

---> DAY 2

---> DAY 3

---> DAY 4

---> DAY 5

---> DAY 6

---> DAY 7

---> DAY 8

---> DAY 9

---> DAY 10

---> LINKEDILN

---> GITHUB

---> DAY 11

---> DAY 12

---> DAY 13

---> DAY 14

---> DAY 15

---> DAY 16

---> DAY 17

---> DAY 18

---> DAY 19

---> DAY 20

---> LINKEDILN

---> GITHUB
---> DAY 21
---> DAY 22
---> DAY 23
---> DAY 24
---> DAY 25
---> DAY 26
---> DAY 27
---> DAY 28
---> DAY 29
---> DAY 30
---> LINKEDILN
---> GITHUB
---> DAY 31
---> DAY 32
---> DAY 33
---> DAY 34
---> DAY 35
---> DAY 36
---> DAY 37
---> DAY 38
---> DAY 39
---> DAY 40
---> LINKEDILN
---> GITHUB
---> DAY 41
---> DAY 42
---> DAY 43
---> DAY 44
---> DAY 45
---> DAY 46
---> DAY 47
---> DAY 48
---> DAY 49
---> DAY 50

---> LINKEDILN
---> GITHUB
---> DAY 51
---> DAY 52
---> DAY 53
---> DAY 54
---> DAY 55
---> DAY 56
---> DAY 57
---> DAY 58
---> DAY 59
---> DAY 60
---> LINKEDILN
---> GITHUB
---> DAY 61
---> DAY 62
---> DAY 63
---> DAY 64
---> DAY 65
---> DAY 66
---> DAY 67
---> DAY 68
---> DAY 69
---> DAY 70
---> LINKEDILN
---> GITHUB
---> DAY 71
---> DAY 72
---> DAY 73
---> DAY 74
---> DAY 75
---> DAY 76
---> DAY 77
---> DAY 78
---> DAY 79

---> DAY 80
---> LINKEDILN
---> GITHUB
---> DAY 81
---> DAY 82
---> DAY 83
---> DAY 84
---> DAY 85
---> DAY 86
---> DAY 87
---> DAY 88
---> DAY 89
---> DAY 90
---> LINKEDILN
---> GITHUB
---> DAY 91
---> DAY 92
---> DAY 93
---> DAY 94
---> DAY 95
---> DAY 96
---> DAY 97
---> DAY 98
---> DAY 99
---> DAY 100
---> LINKEDILN
---> GITHUB

---> SYNTHESIS

---> COURSE

---> LINKEDILN

---> SPICE Simulations-Part-1

---> COURSE

---> LINKEDILN

---> SPICE Simulations-Part-2

---> COURSE

---> LINKEDILN

---> PHYSICAL DESIGN NPTEL

---> PARTITIONING

---> COURSE

---> LINKEDILN

---> FLOORPLANNING

---> COURSE

---> LINKEDILN

---> PLACEMENT

---> COURSE

---> LINKEDILN

---> ROUTING

---> COURSE

---> LINKEDILN

---> CTS

---> COURSE

---> LINKEDILN

---> STA

---> COURSE

---> LINKEDILN

---> DRC

---> COURSE

---> LINKEDILN

---> LVS

---> COURSE

---> LINKEDILN

---> RTL-GDS NPTEL Course

---> WEEK-1

---> Course

---> Revise

---> WEEK-2

---> Course

---> Revise

---> WEEK-3

---> Course

---> Revise

---> WEEK-4

---> Course

---> Revise

---> WEEK-5

---> Course

---> Revise

---> WEEK-6

---> Course

---> Revise

---> WEEK-7

---> Course

---> Revise

---> WEEK-8

---> Course

---> Revise

---> WEEK-9

---> Course

---> Revise

---> WEEK-10

---> Course

---> **Revise**

---> WEEK-11

---> Course

---> Revise

---> WEEK-12

---> Course

---> Revise

---> VLSI Skilling Program

---> Revise

---> LAYOUT DESIGN

---> Circuit Designing

---> Stick Diagram

---> Layout Designing

---> Layout Designing 50 days Challenge

---> DAY 1

---> LINKEDILN

---> GITHUB

---> DAY 2

---> LINKEDILN

---> GITHUB

---> DAY 3

---> LINKEDILN

---> GITHUB

---> DAY 4

---> LINKEDILN

---> GITHUB

---> DAY 5

---> LINKEDILN

---> GITHUB

---> DAY 6
 ---> LINKEDILN
 ---> GITHUB
---> DAY 7
 ---> LINKEDILN
 ---> GITHUB
---> DAY 8
 ---> LINKEDILN
 ---> GITHUB
---> DAY 9
 ---> LINKEDILN
 ---> GITHUB
---> DAY 10
 ---> LINKEDILN
 ---> GITHUB
---> DAY 11
 ---> LINKEDILN
 ---> GITHUB
---> DAY 12
 ---> LINKEDILN
 ---> GITHUB
---> DAY 13
 ---> LINKEDILN
 ---> GITHUB
---> DAY 14
 ---> LINKEDILN
 ---> GITHUB
---> DAY 15
 ---> LINKEDILN
 ---> GITHUB
---> DAY 16
 ---> LINKEDILN
 ---> GITHUB
---> DAY 17
 ---> LINKEDILN

---> GITHUB
---> DAY 18
---> LINKEDILN
---> GITHUB
---> DAY 19
---> LINKEDILN
---> GITHUB
---> DAY 20
---> LINKEDILN
---> GITHUB
---> DAY 21
---> LINKEDILN
---> GITHUB
---> DAY 22
---> LINKEDILN
---> GITHUB
---> DAY 23
---> LINKEDILN
---> GITHUB
---> DAY 24
---> LINKEDILN
---> GITHUB
---> DAY 25
---> LINKEDILN
---> GITHUB
---> DAY 26
---> LINKEDILN
---> GITHUB
---> DAY 27
---> LINKEDILN
---> GITHUB
---> DAY 28
---> LINKEDILN
---> GITHUB
---> DAY 29

---> LINKEDILN
---> GITHUB
---> DAY 30
---> LINKEDILN
---> GITHUB
---> DAY 31
---> LINKEDILN
---> GITHUB
---> DAY 32
---> LINKEDILN
---> GITHUB
---> DAY 33
---> LINKEDILN
---> GITHUB
---> DAY 34
---> LINKEDILN
---> GITHUB
---> DAY 35
---> LINKEDILN
---> GITHUB
---> DAY 36
---> LINKEDILN
---> GITHUB
---> DAY 37
---> LINKEDILN
---> GITHUB
---> DAY 38
---> LINKEDILN
---> GITHUB
---> DAY 39
---> LINKEDILN
---> GITHUB
---> DAY 40
---> LINKEDILN
---> GITHUB

---> DAY 41
 ---> LINKEDILN
 ---> GITHUB
---> DAY 42
 ---> LINKEDILN
 ---> GITHUB
---> DAY 43
 ---> LINKEDILN
 ---> GITHUB
---> DAY 44
 ---> LINKEDILN
 ---> GITHUB
---> DAY 45
 ---> LINKEDILN
 ---> GITHUB
---> DAY 46
 ---> LINKEDILN
 ---> GITHUB
---> DAY 47
 ---> LINKEDILN
 ---> GITHUB
---> DAY 48
 ---> LINKEDILN
 ---> GITHUB
---> DAY 49
 ---> LINKEDILN
 ---> GITHUB
---> DAY 50
 ---> LINKEDILN
 ---> GITHUB

---> TCL

---> COURSE
---> LINKDILN

---> PERL

---> COURSE

---> LINKEDILN

---> Standard Cell Designing with Characterization Flow

---> INVERTER

---> LINKEDILN

---> GITHUB

---> AND

---> LINKEDILN

---> GITHUB

---> OR

---> LINKEDILN

---> GITHUB

---> BUFFER

---> LINKEDILN

---> GITHUB

---> MUX

---> LINKEDILN

---> GITHUB

---> FLIP FLOP

---> LINKEDILN

---> GITHUB

---> RISC-V

---> COURSE

---> LINKEDILN

---> LINUX

---> COURSE

---> LINKEDILN

---> DRC

---> COURSE

---> LINKEDILN

---> LVS

---> COURSE

---> LINKEDILN

---> OPENLANE Flow

---> OPENLANE

--->SKYWATER PDKs

---> CAD Part-1

---> COURSE

---> LINKEDILN

---> CAD Part-2

---> COURSE

---> LINKEDILN

ADDITIONALS:

GITHUB REPOS

---> COURSE-1

---> COURSE-2

---> COURSE-3

---> COURSE-4

---> COURSE-5

---> COURSE-6

---> COURSE-7

---> COURSE-8

---> COURSE-----

---> -----

VLSI PHYSICAL DESIGN : FROM GRAPH PARTITIONING
TO TIMING CLOSURE

---> INTRODUCTION

---> CONTENT

---> EXERCISE

---> NETLIST AND SYSTEM
PARTITIONING

---> CONTENT

---> EXERCISE

---> CHIP PLANNING

---> CONTENT

---> EXERCISE

---> GLOBAL AND DETAILED
PLACEMENT

---> CONTENT

---> EXERCISE

---> GLOBAL ROUTING

---> CONTENT

---> EXERCISE

---> DETAILED ROUTING

---> CONTENT

---> EXERCISE

---> SPECIALIZED ROUTING

---> CONTENT

---> EXERCISE

---> TIMING CLOSURE

---> CONTENT

---> EXERCISE

PDFS

---> PDF-1

---> PDF-2.....

--->

GATE TARGET 1

---> SS

---> UNIT-1

---> READING

---> PROBLEMS

---> UNIT---.....

---> DSP

---> UNIT-1

---> READING

---> PROBLEMS

---> UNIT---.....

---> EDC

---> UNIT-1

---> READING

---> PROBLEMS

---> UNIT---.....

---> AEC

---> UNIT-1

---> READING

---> PROBLEMS

---> UNIT---.....

---> CS

---> UNIT-1

---> READING

---> PROBLEMS

---> UNIT---.....

---> DIGITAL ELECTRONICS

---> UNIT-1

---> READING

---> PROBLEMS

---> UNIT---.....

---> NT

---> UNIT-1

---> READING

---> PROBLEMS

---> UNIT---.....

TIMETABLE

05:00 AM – 06:30 AM -----> ACADEMICS/GATE

06:30 AM – 08:00 AM -----> BREAKFAST//GETTING READY

08:00 AM – 05:30 PM -----> CHOICE

05:30 PM -- 08:00 PM -----> VLSI (IN LIBRARY)

08:00 AM – 09:00 PM -----> DINNER

09:00 PM – 11:00 PM -----> GATE/ACADEMICS