

REPORT

IEEE Code of Ethics

(출처: <http://www.ieee.org>)

We, the members of the IEEE, in recognition of the importance of our technologies in affecting the quality of life throughout the world, and in accepting a personal obligation to our profession, its members and the communities we serve, do hereby commit ourselves to the highest ethical and professional conduct and agree:

1. to accept responsibility in making decisions consistent with the safety, health and welfare of the public, and to disclose promptly factors that might endanger the public or the environment;
2. to avoid real or perceived conflicts of interest whenever possible, and to disclose them to affected parties when they do exist;
3. to be honest and realistic in stating claims or estimates based on available data;
4. to reject bribery in all its forms;
5. to improve the understanding of technology, its appropriate application, and potential consequences;
6. to maintain and improve our technical competence and to undertake technological tasks for others only if qualified by training or experience, or after full disclosure of pertinent limitations;
7. to seek, accept, and offer honest criticism of technical work, to acknowledge and correct errors, and to credit properly the contributions of others;
8. to treat fairly all persons regardless of such factors as race, religion, gender, disability, age, or national origin;
9. to avoid injuring others, their property, reputation, or employment by false or malicious action;
10. to assist colleagues and co-workers in their professional development and to support them in following this code of ethics.

위 IEEE 윤리헌장 정신에 입각하여 report를 작성하였음을 서약합니다.

<실험 2 예비보고서>

학 부: 전자공학부

제출일: 2021.09.09

과목명: 논리회로실험

교수명: 박성진

문 반: 3

학 번: 202021025

성 명: 안준영

1. 목적

- CMOS 회로의 전기적 특성 이해

2. 실험이론

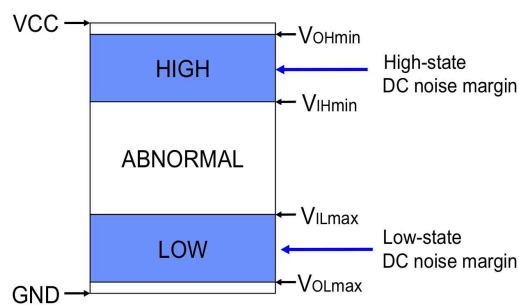
1) Logic levels & DC noise margins

잡음 내성(Noise Immunity)은 입력 신호의 변동에도 논리값을 정확하게 식별할 수 있는 능력을 말한다. 잡음 여유란, 이러한 잡음 내성의 수치적 척도이다.

디지털 신호는 오직 0 또는 1의 상태를 가진다. 0 또는 1의 상태를 특정하기 위한 전압을 Logic levels라고 한다. 그림의 V_{OHmin} 은 High(1)를 출력할 때 최소 허용 전압이다. V_{IHmin} 은 High를 입력 받을 때 최소 입력 전압이다. V_{ILmax} 는 Low를 입력 받을 때 최대 입력 전압이다. V_{OLmax} 는 Low를 출력할 때 최대 허용 전압이다.

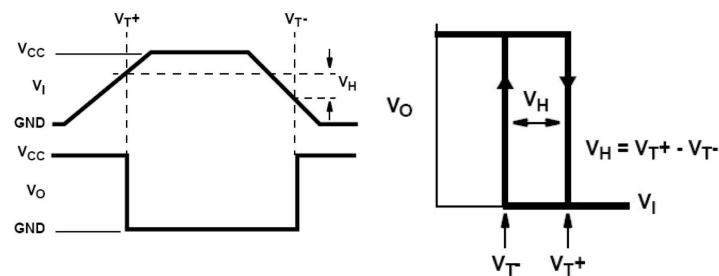
위의 4가지 조건에 따라 High 혹은 Low를 구분할 수 있게 된다.

아래의 그림에서, DC noise margins(DC 잡음 여유)는, High state DC noise margin은 $V_{OHmin} - V_{IHmin}$ 이 된다. Low state DC noise margin은 $V_{ILmax} - V_{OLmax}$ 이 된다. 이외의 영역은 Abnormal이 된다.



2) Schmitt-trigger inverters

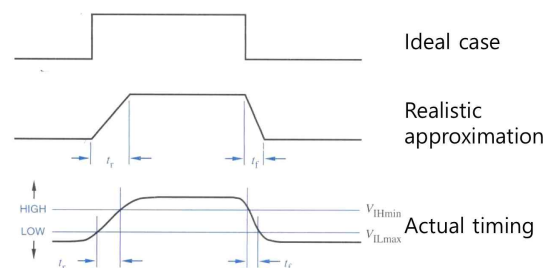
히스테리시스 특성을 이용하여 노이즈의 영향을 줄인다. 히스테리시스란 어떤 물리량이 어떤 변화를 거쳐 현재의 상태에 이르렀는가 하는 상태 변화 이력에 의존하는 것을 말한다. 즉, Low 신호에서 V_{T+} 이상으로 신호를 높여야 High로 인식하게 된다. 또는 High 신호일 때 V_{T-} 까지 낮추어야 Low 신호로 인식하게 된다. 따라서 노이즈로 인해 불안정한 신호를 보다 안정적으로 인식할 수 있게 된다.



3) Resistive Load(DC 특성)

- CMOS의 동작 속도

천이시간은 출력 신호가 변화하는데 걸리는 시간을 말한다. 이상적으로는 입력과 동시에 출력이 이루어져야 하지만 실제로는 그렇지 않다. Low에서 High로 변하는데 (V_{CC} 의 10%에서 V_{CC} 의 90%) 걸리는 시간을 상승 시간(t_r)이라고 하고 그 역을 하강 시간(t_f)이라고 한다.

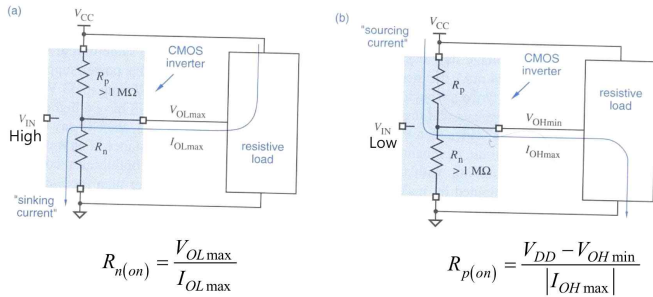


- CMOS의 전기적 동작

CMOS는 P 채널과 N 채널로 구성되어 있다. 입력이 High면 P 채널은 꺼지고 N 채널을 통해 전류가 흐르게 된다.

따라서 이때 N 채널의 저항은 $R_{n(on)} = \frac{V_{OLmax}}{I_{OLmax}}$ 가 된다. 반대로 입력이 Low이면 N 채널이 꺼지고 P 채널을 통해

전류가 흐른다. 따라서 $R_{p(on)} = \frac{V_{DD} - V_{OHmin}}{|I_{OHmax}|}$ 가 된다. (V_{DD} 는 전원 전압)

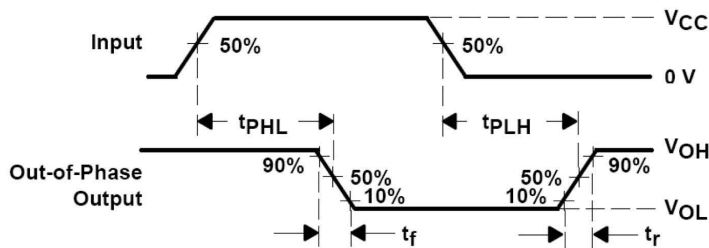


6

4) Capacitive load(AC 또는 Switching 특성)

- CMOS의 동작속도

전달지연이란, 입력 신호가 출력 신호로 전달되는 시간을 말한다. V_{CC} 의 50%를 기준으로 한다.

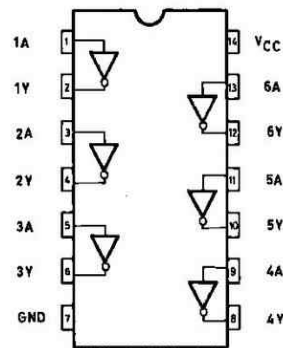


3. 실험 부품

1) 74HC04

74HC04는 NOT 연산을 동작한다. 6개의 NOT gate로 구성되어있다. 7, 14번 핀은 작동을 위해 전원을 연결하는 핀이다. 1번 핀은 input이고 2번 핀은 그에 대한 output이다. 마찬가지로 3번은 4번, 5번은 6번, 9번은 8번, 11번은 10번, 13번은 12번으로 각각 input과 output이 할당된다.

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		OTHER	V _{CC} (V)				
T _{amb} = 25 °C							
V _{IH}	HIGH-level input voltage		2.0	1.5	1.2	–	V
			4.5	3.15	2.4	–	V
			6.0	4.2	3.2	–	V
V _{IL}	LOW-level input voltage		2.0	–	0.8	0.5	V
			4.5	–	2.1	1.35	V
			6.0	–	2.8	1.8	V
V _{OH}	HIGH-level output voltage	V _I = V _{IH} or V _{IL} I _O = –20 μA I _O = –20 μA I _O = –4.0 mA I _O = –20 μA I _O = –5.2 mA	2.0	1.9	2.0	–	V
			4.5	4.4	4.5	–	V
			4.5	3.98	4.32	–	V
			6.0	5.9	6.0	–	V
			6.0	5.48	5.81	–	V
			6.0	–	–	–	V
V _{OL}	LOW-level output voltage	V _I = V _{IH} or V _{IL} I _O = 20 μA I _O = 20 μA I _O = 4.0 mA I _O = 20 μA I _O = 5.2 mA	2.0	–	0	0.1	V
			4.5	–	0	0.1	V
			4.5	–	0.15	0.26	V
			6.0	–	0	0.1	V
			6.0	–	0.16	0.26	V
			6.0	–	–	–	V



SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V _{CC} (V)				
T _{amb} = 25 °C							
t _{PHL} /t _{PLH}	propagation delay nA to nY	see Figs 6 and 7	2.0	–	25	85	ns
			4.5	–	9	17	ns
			6.0	–	7	14	ns
t _{THL} /t _{TLH}	output transition time	see Figs 6 and 7	2.0	–	19	75	ns
			4.5	–	7	15	ns
			6.0	–	6	13	ns

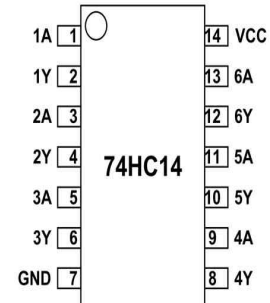
2) 74HC14

74HC14는 Schmitt Trigger 기능을 한다. 1번과 2번, 3번과 4번, 5번과 6번, 9번과 8번, 11번과 10번, 13번과 12번으로 각각 입력, 출력이 할당된다. 7번, 14번 핀은 작동을 위해 전원을 연결하는 핀이다.

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T _{amb} (°C)							UNIT	TEST CONDITIONS	
		74HC								V _{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t _{PHL} / t _{PLH}	propagation delay nA to nY		41 15 12	125 25 21		155 31 26		190 38 32	ns	2.0 4.5 6.0	Fig.8
t _{THL} / t _{TLH}	output transition time		19 7 6	75 15 13		95 19 15		110 22 19	ns	2.0 4.5 6.0	Fig.8

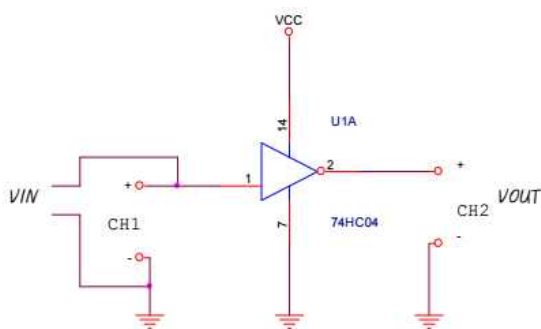


SYMBOL	PARAMETER	T _{amb} (°C)								UNIT	TEST CONDITIONS	
		74HC									V _{CC} (V)	WAVEFORMS
		+25			-40 to +85		-40 to +125					
		min.	typ.	max.	min.	max.	min.	max.				
V _{T+}	positive-going threshold	0.7 1.7 2.1	1.18 2.38 3.14	1.5 3.15 4.2	0.7 1.7 2.1	1.5 3.15 4.2	0.7 1.7 2.1	1.5 3.15 4.2	V	2.0 4.5 6.0	Figs 6 and 7	
V _{T-}	negative-going threshold	0.3 0.9 1.2	0.52 1.40 1.89	0.90 2.00 2.60	0.3 0.90 1.20	0.90 2.00 2.60	0.30 0.90 1.2	0.90 2.00 2.60	V	2.0 4.5 6.0	Figs 6 and 7	
V _H	hysteresis (V _{T+} - V _{T-})	0.2 0.4 0.6	0.66 0.98 1.25	1.0 1.4 1.6	0.2 0.4 0.6	1.0 1.4 1.6	0.2 0.4 0.6	1.0 1.4 1.6	V	2.0 4.5 6.0	Figs 6 and 7	

4. 실험 과정 및 예상 결과

1) 실험 1 : Inverter의 입출력 특성 확인

- 1) 다음과 같은 회로를 구성한다. (Pull up, pull down 적용)

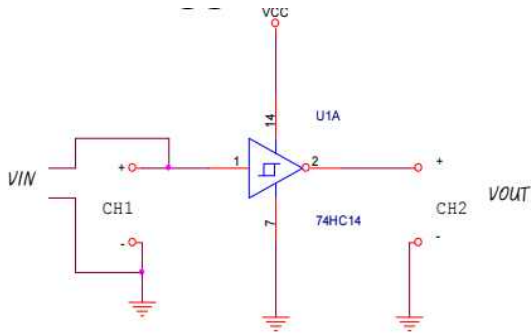


- 2) $V_{CC} = 5V$, V_{IN} = 사인파 V_{pp} 5V V_{offset} 2.5로 설정한다. 오실로스코프의 출력모드를 X-Y 모드로 설정한다.
- 예상결과)

실험 1을 통하여 logic level과 DC noise margins를 확인할 수 있을 것으로 예상한다. 위에서 조사한 74HC04에서, 25 ° C에서 $V_{CC} = 4.5V$ 일 때 V_{IHmin} 은 2.4V~3.15V, V_{OHmin} 은 3.98~4.5V이다. V_{ILmax} 는 1.35~2.1V, V_{OLmax} 는 0~0.26V이다. $V_{CC} = 6V$ 일 때, V_{IHmin} 은 3.2~4.2V, V_{OHmin} 은 5.48~6V이다. V_{ILmax} 는 1.8~2.8V, V_{OLmax} 는 0~0.26V이다. 따라서 본 실험에서는 $V_{CC} = 5V$ 이므로, 위의 두 범위 사이의 값을 결과값으로 도출할 것이다.

2) 실험 2 : Schmitt-trigger의 입출력 특성 확인

- 1) 다음과 같은 회로를 구성한다.

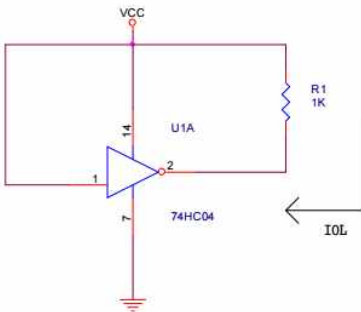


- 2) $V_{CC} = 5V$, $V_{IN} =$ 사인파 $V_{pp} = 5V$, $V_{offset} = 2.5V$ 로 설정한다. 오실로스코프의 출력모드를 X-Y 모드로 설정한다.
- 예상결과)

실험 2를 통하여 schmitt trigger로 작동하는 74HC14의 입출력 특성 확인을 확인할 수 있을 것이다. 위에서 조사한 74HC14에서, $25^\circ C$ 에서 $V_{CC} = 4.5V$ 일 때 V_{T+} 는 $1.7 \sim 3.15V$ 이다. V_{T-} 는 $0.9 \sim 2.00V$ 이다. 또한 $V_{CC} = 6V$ 일 때 V_{T+} 는 $2.1 \sim 4.2V$, V_{T-} 는 $1.2 \sim 2.60V$ 이다. 따라서 이 실험 조건인 $V_{CC} = 5V$ 에서는 위의 두 범위 사이에 해당하는 값이 결과로 측정될 것이다.

3) 실험 3-1 : CMOS의 DC 특성 확인 (R_n 계산)

- 1) 다음과 같은 회로를 구성한다.



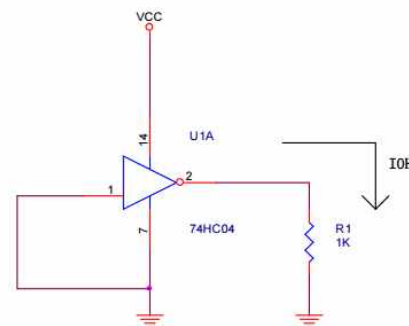
- 2) 2번 핀의 전압(V_{out})과 I_{OL} 을 측정한다.
- 3) R_n 을 계산한다.
- 예상결과)

실험 3-1은 R_n 을 측정하기 위한 회로이다. 입력 신호가 High인 경우에 P 채널은 꺼지고 R_p 값이 굉장히 커진다.

V_{out} (2번 핀 전압)과 I_{OL} 을 측정하여 $R_n = \frac{V_{out}}{I_{OL}}$ 을 구할 수 있을 것이다.

4) 실험 3-2 : CMOS의 DC 특성 확인 (R_p 계산)

- 1) 다음과 같은 회로를 구성한다



- 2) 2번 핀의 전압(V_{out})과 I_{OH} 을 측정한다.
- 3) R_p 를 계산한다.

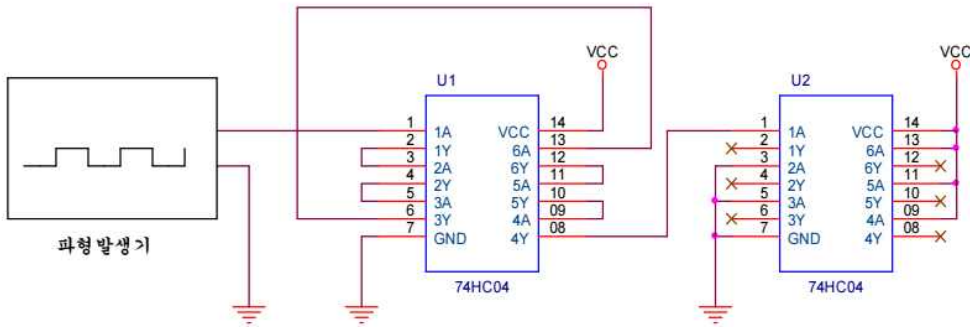
- 예상결과)

실험 3-2는 R_p 를 구하기 위한 회로이다. 입력 신호가 Low인 경우에 N 채널은 꺼지고 R_n 값이 커지게 된다.

V_{out} (2번 핀 전압)과 I_{OH} 을 측정하여 $R_p = \frac{5V(=V_{CC}) - V_{out}}{I_{OH}}$ 를 구할 수 있을 것이다.

5) 실험 4 ; CMOS의 AC 특성 확인

- 1) 다음과 같은 회로를 구성한다. 이때 파형발생기는 사각파, 1MHz, amplitude : 5V로 설정한다.



- 2) Ch1에 U1의 4번핀을, Ch2에 U1의 8번 핀을 연결한다.

- 3) t_{pd} 를 측정하고, Datasheet의 값과 비교한다.

- 예상결과)

U1의 4번 핀에 Ch1을 연결하게 되면 입출력이 총 4번이 반복된다. 또한, U1의 8번 핀에 Ch2를 연결하게 되면 총 12번의 입출력이 있다. $V_{CC} = 4.5V$ 일 때 t_{pd} 는 9~17ns, $V_{CC} = 6V$ 일 때 t_{pd} 는 7~14ns이므로, $V_{CC} = 5V$ 일 때 이 값들에 각각 4배, 12배를 곱한 값의 범위에 속하는 t_{pd} 를 측정할 수 있을 것이다.

5. 회로 결선도

