

# REPORT

## IEEE Code of Ethics

(출처: <http://www.ieee.org>)

We, the members of the IEEE, in recognition of the importance of our technologies in affecting the quality of life throughout the world, and in accepting a personal obligation to our profession, its members and the communities we serve, do hereby commit ourselves to the highest ethical and professional conduct and agree:

1. to accept responsibility in making decisions consistent with the safety, health and welfare of the public, and to disclose promptly factors that might endanger the public or the environment;
2. to avoid real or perceived conflicts of interest whenever possible, and to disclose them to affected parties when they do exist;
3. to be honest and realistic in stating claims or estimates based on available data;
4. to reject bribery in all its forms;
5. to improve the understanding of technology, its appropriate application, and potential consequences;
6. to maintain and improve our technical competence and to undertake technological tasks for others only if qualified by training or experience, or after full disclosure of pertinent limitations;
7. to seek, accept, and offer honest criticism of technical work, to acknowledge and correct errors, and to credit properly the contributions of others;
8. to treat fairly all persons regardless of such factors as race, religion, gender, disability, age, or national origin;
9. to avoid injuring others, their property, reputation, or employment by false or malicious action;
10. to assist colleagues and co-workers in their professional development and to support them in following this code of ethics.

위 IEEE 윤리헌장 정신에 입각하여 report를 작성하였음을 서약합니다.

<실험 6, 7, 9 예비 보고서>

학 부: 전자공학과

제출일: 2020.03.14

과목명: 기초전기실험

교수명: 구형일 교수님

분 반: 7

학 번: 202021025

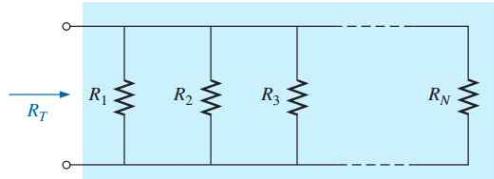
성 명: 안준영

## Ch 6. Parallel Resistance

### 1. 실험이론

#### (1) Parallel Resistors

병렬로 연결된 저항들은 하나의 저항소자로 취급이 가능하다.



그림을 보면, 우선 각 저항이 병렬로 연결되어 있으므로 각

저항에 걸리는 전압은 모두 같다.

그림과 같이 병렬로 연결된 N개의 저항들에 대해서,  $\frac{1}{R_T} = \frac{1}{R_1} + \frac{1}{R_2} + \dots + \frac{1}{R_N}$  와 같은 식을 통하여 total resistance  $R_T$ 를 구할 수 있다. 이를 통하여 합성저항  $R_T$ 는 저항 소자의 저항값 중 가장 작은 값보다 항상 작다는 것 또한 알 수 있다. 그리고, 새로운 저항이 추가로 병렬로 연결될 때마다 합성저항 값이 작아진다는 것 또한 알 수 있다. 만약 N개의 저항이 병렬로 연결되어 있고 저항값이 모두 같다면,  $R_T = \frac{R}{N}$  이다. 또한, 옴의 법칙을 이용하여  $R_T = \frac{E}{I}$  ( $E$ 는 공급전압)으로도 합성저항을 구할 수 있다. 병렬로 연결된 저항들은 서로의 위치 즉, 순서를 바꾸어도 합성저항 값에 영향을 주지 않는다.

### 2. 실험부품

(1) 저항소자 ( $100\Omega$ ,  $1k\Omega$ ,  $1.2k\Omega$ ,  $2.2k\Omega$ ,  $100k\Omega$ )

(2) DMM

(3) dc power supply

### 3. 실험과정 및 예상결과

#### 실험과정

##### -Part 1

(a) Fig. 6.3과 같이 회로를 구성하고, 두 저항의 값을 측정하여 기록한다. (b) 측정 저항값을 이용하여  $\frac{1}{R_T} = \frac{1}{R_1} + \frac{1}{R_2} + \dots$  식으로 합성저항을 계산하고 Table 6.1에 기록한다. (c) DMM을 이용하여

합성저항을 측정하고 Table 6.1에 기록한다. (d)  $\% \text{ Difference} = \left| \frac{\text{Calculated} - \text{Measured}}{\text{Calculated}} \right| \times 100\%$  를 계산하고 Table 6.1에 기록한다. (e)  $R_T = \frac{R_1 R_2}{R_1 + R_2}$  로 합성저항을 계산하고 (b)에서의 계산값과 비교한다.

$\% \text{ Difference}$ 를 계산하여 Table 6.1에 기록한다. (f) DMM을 사용하여 Supply voltage를 10V로 설정한다. 서플라이의 전원을 끄고 Fig. 6.4와 같이 회로를 구성한다. 전류를 측정하여 Table 6.1에 기록한다. (g)

(f)에서의 공급전압과 전류값을 이용하여  $R_T = \frac{E}{I}$  를 통해 합성저항을 계산하고 Table 6.1에 기록한다.

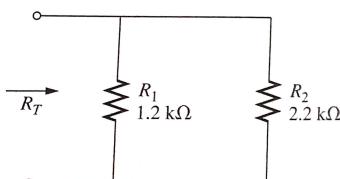
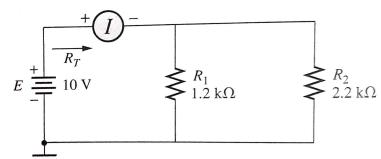


FIG. 6.3

FIG. 6.4



### - Part 2

(a) Fig. 6.5와 같이 회로를 구성하고 세 저항의 값을 측정하여 기록한다. (b) 측정한 값들로 합성저항을 계산하고 Table 6.2에 기록한다. (c) DMM을 통하여 합성저항을 측정하고 상대오차를 계산해 두 값 모두 Table 6.2에 기록한다. (d) Part1의 (f)과정을 반복한다. (e) 공급전압과 (d)에서의 전류를 이용하여  $R_T = \frac{E}{I}$ 로 합성저항을 계산한다.

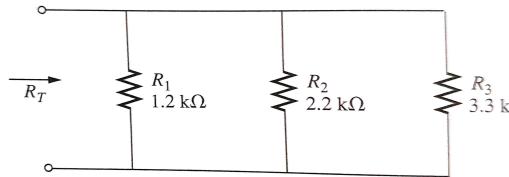


FIG. 6.5

### - Part 3

(a) Fig. 6.6과 같이 회로를 구성하고 세 저항의 값을 측정하여 기록한다. (b) 세 저항을 모두  $3.3\text{k}\Omega$ 로 취급하여  $R_T = \frac{R}{N}$ 를 통해 합성저항을 계산하고 Table 6.3에 기록한다. (c) DMM을 이용하여 합성저항을 측정하고 Table 6.3에 기록한다.  $\% \text{Difference} = \left| \frac{\text{Calculated} - \text{Measured}}{\text{Calculated}} \right| \times 100\%$ 를 계산하여 Table 6.3에 기록한다. (d) 측정한 저항값들을 이용하여 합성저항을 계산하고 Table 6.3에 기록한다.

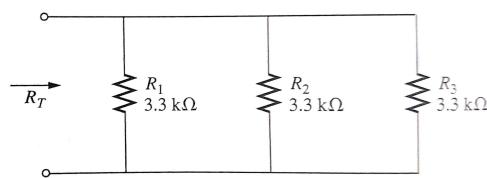


FIG. 6.6

### - Part 4

(a) Fig. 6.7과 같이 회로를 구성하고 각 저항값들을 측정해 기록한다. (b) 측정한 저항값들로 합성저항을 계산하고 Table 6.4에 기록한다. (c) DMM을 이용하여 합성저항을 측정하고 Table 6.4에 기록한다. (d)  $R_3$ 를 무시하고 합성저항을 계산하여 Table 6.4에 기록한다. (e)  $R_2, R_3$ 를 모두 무시하고 합성저항을 계산하여 Table 6.4에 기록한다.

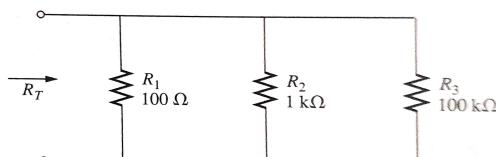


FIG. 6.7

### - Part 5

(a) Fig. 6.8과 같이 회로를 구성한다. 각 저항의 값을 측정하여 기록한다. (b) 측정 저항값들을 이용해 Table 6.5에 기록한다. (c) DMM을 이용하여 합성저항을 측정하고 Table 6.5에 기록한다. (d)  $\% \text{Difference}$ 를 계산하여 Table 6.5에 기록한다.

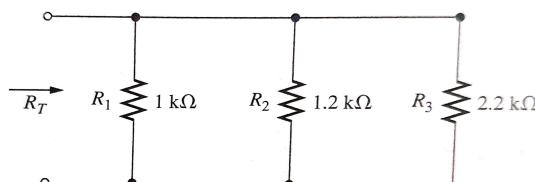


FIG. 6.8

### - Part 6

(a) Fig. 6.9와 같이 회로를 구성하고 각 저항의 값을 측정하여 기록한다. (b) 측정 저항값들을 이용하여 합성저항을 계산하고 Table 6.6에 기록한다. (c) DMM을 이용하여 합성저항값을 측정하고 Table 6.6에 기록한다.

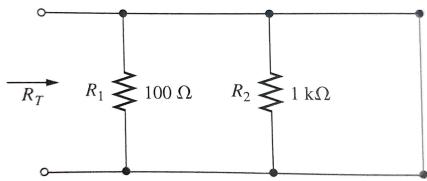


FIG. 6.9

### 회로분석

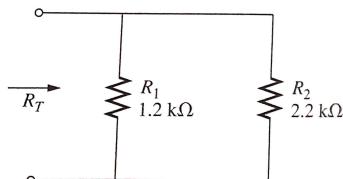


FIG. 6.3

$R_1$ 과  $R_2$ 가 병렬로 연결되어 있는 회로이다. 합성저항을 계산하면  $\frac{1}{R_T} = \frac{1}{1200} + \frac{1}{2200}$ 으로,  $R_T$ 는 776Ω이다.

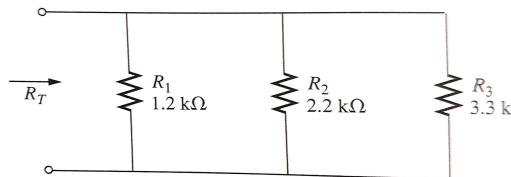


FIG. 6.5

$R_1$ 과  $R_2$ , 그리고  $R_3$ 가 병렬로 연결되어 있는 회로이다. 합성저항을 계산하면

$$\frac{1}{R_T} = \frac{1}{1200} + \frac{1}{2200} + \frac{1}{3300} \text{으로, } R_T \text{는 } 629\Omega \text{이다.}$$

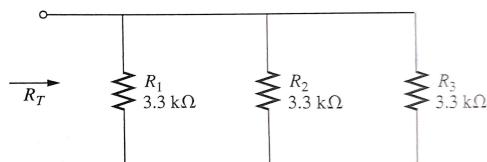


FIG. 6.6

$R_1$ 과  $R_2$ , 그리고  $R_3$ 가 병렬로 연결되어 있는 회로이다. 합성저항을 계산하면

$$\frac{1}{R_T} = \frac{1}{3300} + \frac{1}{3300} + \frac{1}{3300} \text{으로 } R_T \text{는 } 1100\Omega \text{이다. } R_T = \frac{R}{N} = \frac{3300}{3} (\Omega) \text{으로도 계산할 수 있다.}$$

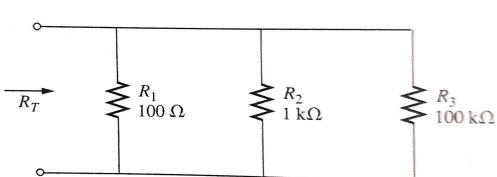
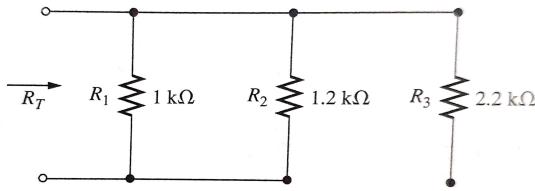


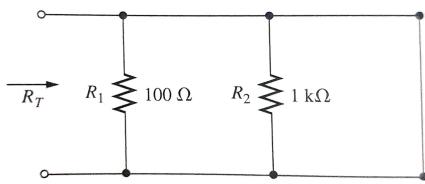
FIG. 6.7

100Ω, 1kΩ, 100kΩ 병렬로 연결된 회로이다. 합성저항을 계산하면  $\frac{1}{R_T} = \frac{1}{100} + \frac{1}{1000} + \frac{1}{100000}$ 으로,  $R_T$ 는 90.8Ω이다.



**FIG. 6.8**

1k $\Omega$ , 1.2 $\Omega$  저항이 둘이서 병렬로 연결되어있고  $R_3$ 는 열려있으므로 합성저항에 아무런 영향을 주지 않을 것이다. 따라서  $\frac{1}{R_T} = \frac{1}{1000} + \frac{1}{1200} + \frac{1}{\infty}$  으로, 합성저항  $R_T$ 는 545 $\Omega$ 이다.



**FIG. 6.9**

Part 6과 같은 경우를 단락이라고 한다. 두 노드 사이를 저항이 매우매우 작은 소자로 연결되어 있거나 아예 없는 경우, (+)와 (-)전압이 직접 연결된 경우를 단락이라고 한다. 이를 ‘short’라고도 한다. 쇼트가 난 부분의 합성저항은 0이다.  $R_T = \frac{1}{\frac{1}{100} + \frac{1}{1000} + \frac{1}{0}} \approx 0$  으로도 알 수 있다.

#### - Part 1

DMM으로 측정한 합성저항값과 전류계로 구한 전류값, 공급전압값 10V을 음의 법칙에 적용하여 구한 합성저항값과  $\frac{1}{R_T} = \frac{1}{R_1} + \frac{1}{R_2} + \dots + \frac{1}{R_N}$  로 계산한 합성저항값이 셋이 모두 거의 동일할 것이다.

#### - Part 2

전류계로 구한 전류값, 공급전압값 10V을 음의 법칙에 적용하여 구한 합성저항값과  $R_T = \frac{E}{I}$  로 계산한 합성저항값이 거의 일치할 것이다. 이 파트는 Part 1의 회로에 추가로 3.3k $\Omega$ 을 병렬연결한 회로인데, 이론값은 629  $\Omega$ 이고 Part 1의 이론값은 776 $\Omega$ 으로, Part 2의 회로의 합성저항이 작다는 것을 알 수 있다. 실험값 역시 이것에 따를 것이라고 예상한다. 즉, 새로운 저항 소자를 병렬로 연결하면 합성저항이 작아지는 것이 참이 되도록 실험 결과가 나올 것이라고 예상한다.

#### - Part 3

이론값( $R_T = \frac{R}{N} = \frac{3300}{3}$  ( $\Omega$ ))과 DMM으로 측정한 합성저항값이 거의 동일할 것이다. DMM이 고장이 나지 않았다면, 두 값의 상대오차는 충분히 작아서  $R_T = \frac{R}{N}$  을 사용해도 된다는 것을 실험으로 증명할 수 있을 것이다.

#### - Part 4

DMM을 통해 측정한 합성저항값과 계산한 값( $\frac{1}{R_T} = \frac{1}{100} + \frac{1}{1000} + \frac{1}{100000}$ , 90.8 $\Omega$ )은 거의 일치할 것이다.  $R_1$ 은  $R_3$ 에 비하여 1000배 작고  $R_2$ 에 비해서는 10배 작다. 따라서  $R_3$ 를 떼어내고 계산한 합성저항값은 기존 계산값(90.8 $\Omega$ )과 큰 차이가 없을 것이다. 하지만  $R_2$ 는  $R_1$ 보다 10배만 큰 값을 가지므로  $R_2$ 까지 떼어내서 합성저항을 계산하면 그 값은 기존값과 유의미한 차이가 있을 것이다.

#### - Part 5

$R_3$ 에 연결된 도선이 닫혀있지 않으므로,  $R_3$ 가 존재하는 도선으로는 전류가 흐르지 못한다고 판단해도 된다. 따라서  $R_3$ 는 합성저항값에 영향을 주지 않을 것이다.

### - Part 6

ショートが発生した回路では、合流する支路の電圧が0Vと計算され、電流も0Aとなる。

### 4. 参考文献

INTRODUCTORY CIRCUIT ANALYSIS / 12版 / Robert L. Boylestad, Gabriel Kousourou / 2015 / Pearson / 70~79p

Introductory Circuit Analysis / 11版 / Robert L. Boylestad / 2006 / Pearson Prentice Hall / 185~193p

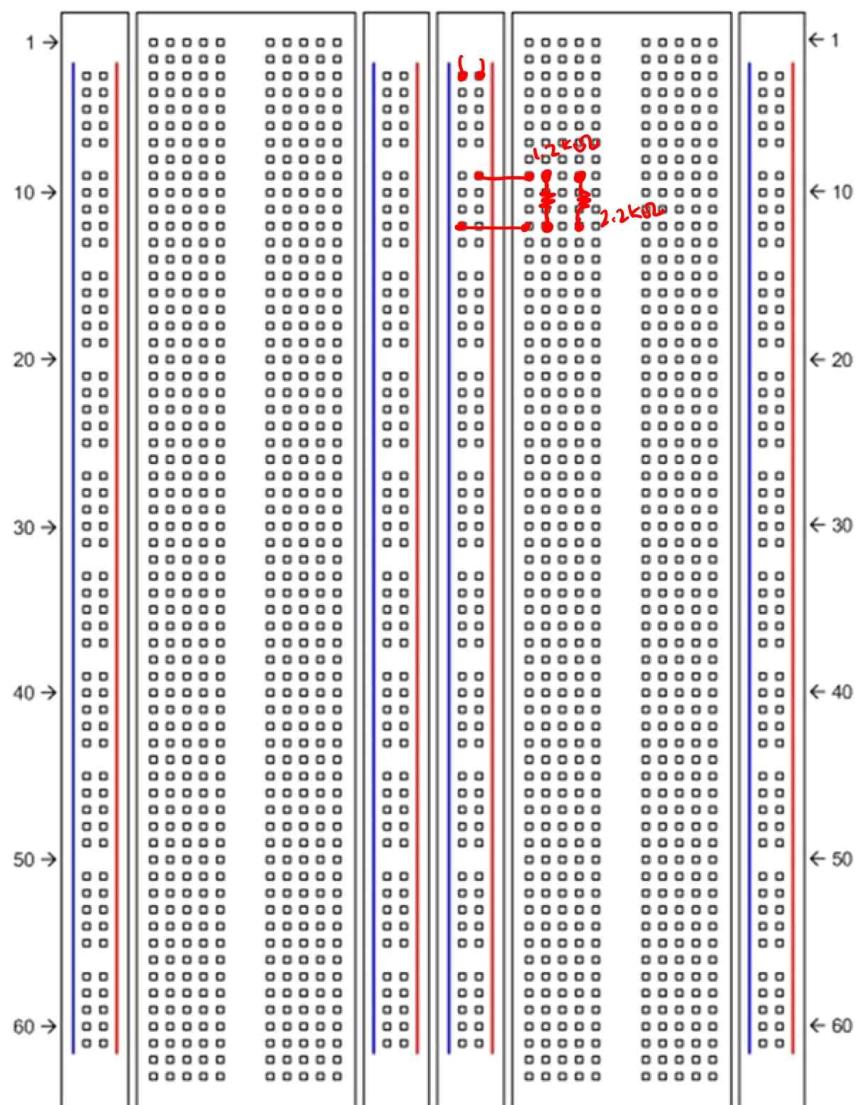
### 5. 回路 結論



아주대학교  
AJOU UNIVERSITY

전자공학과 20201025 안준영  
2021-03-12

Part 1

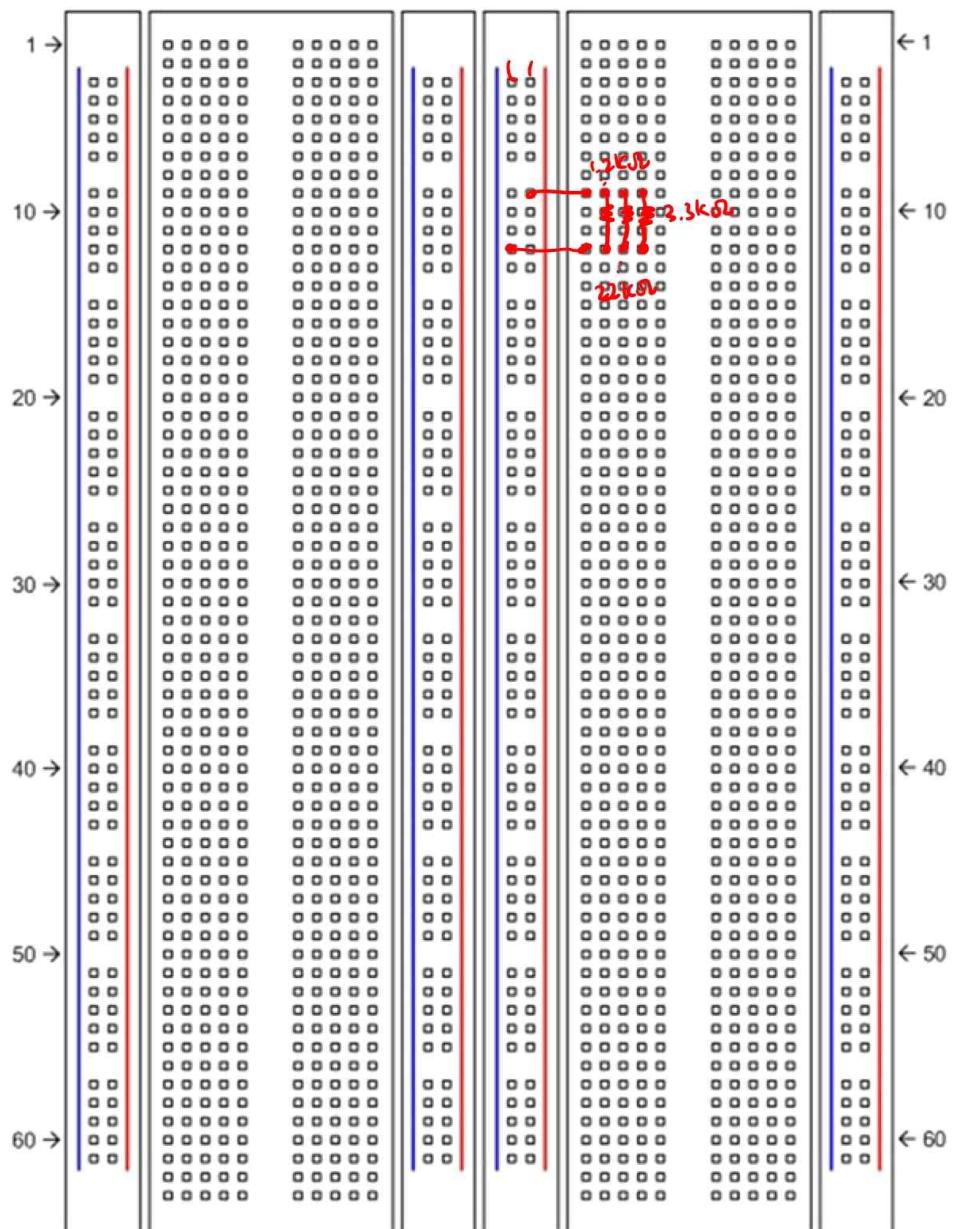




아주대학교  
AJOU UNIVERSITY

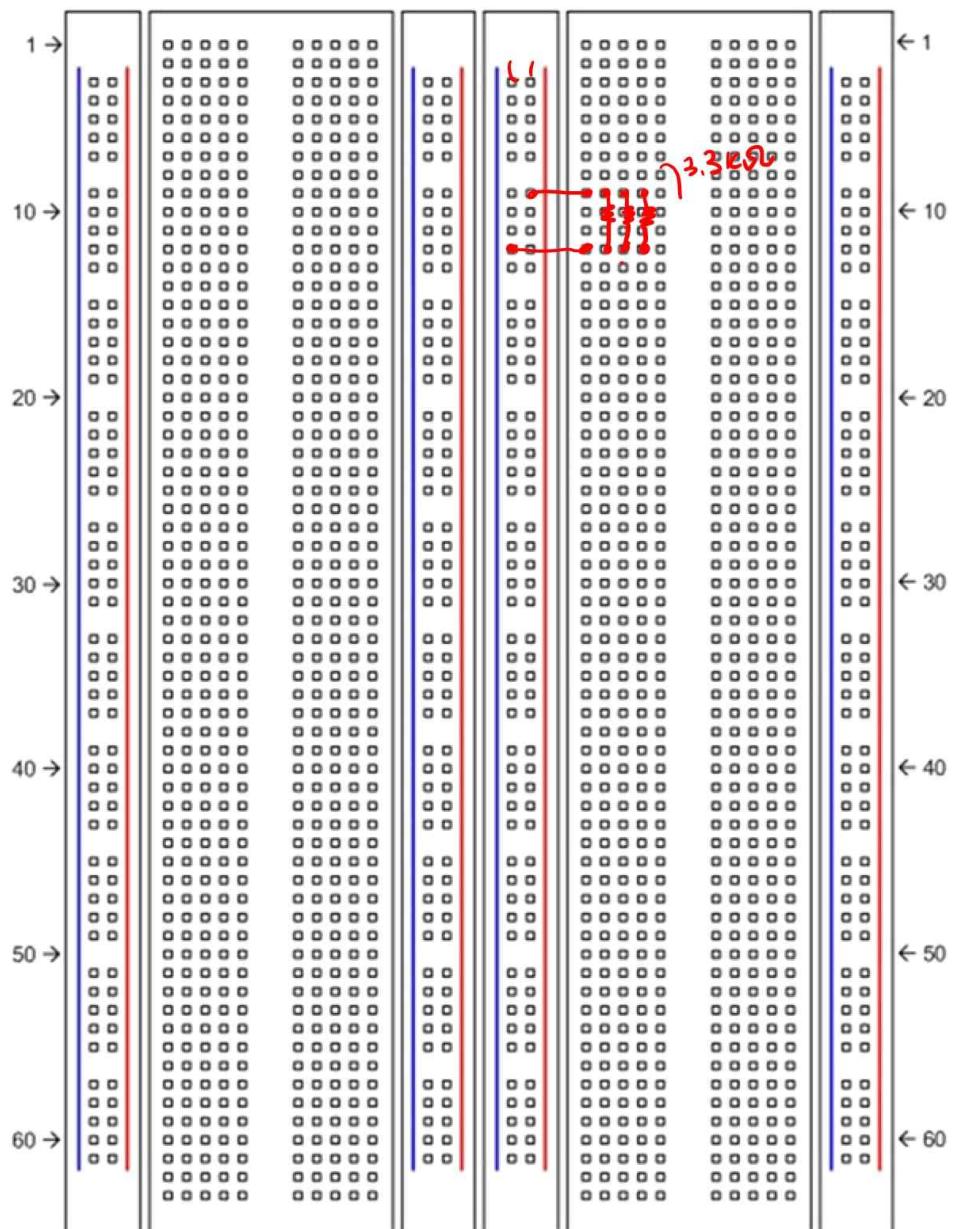
전자공학과 20202025 안준영  
2021-03-12

Part 2



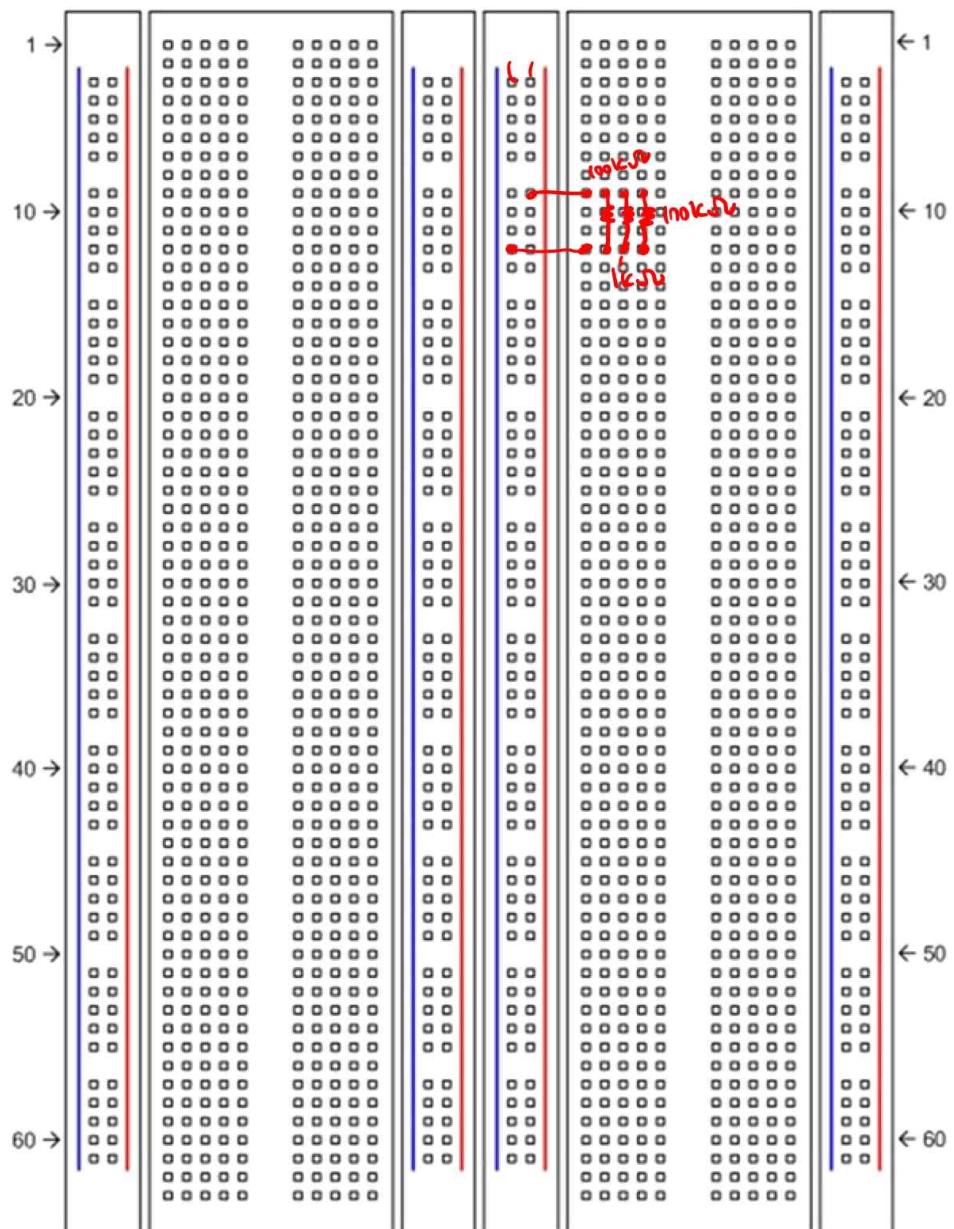


Part 3



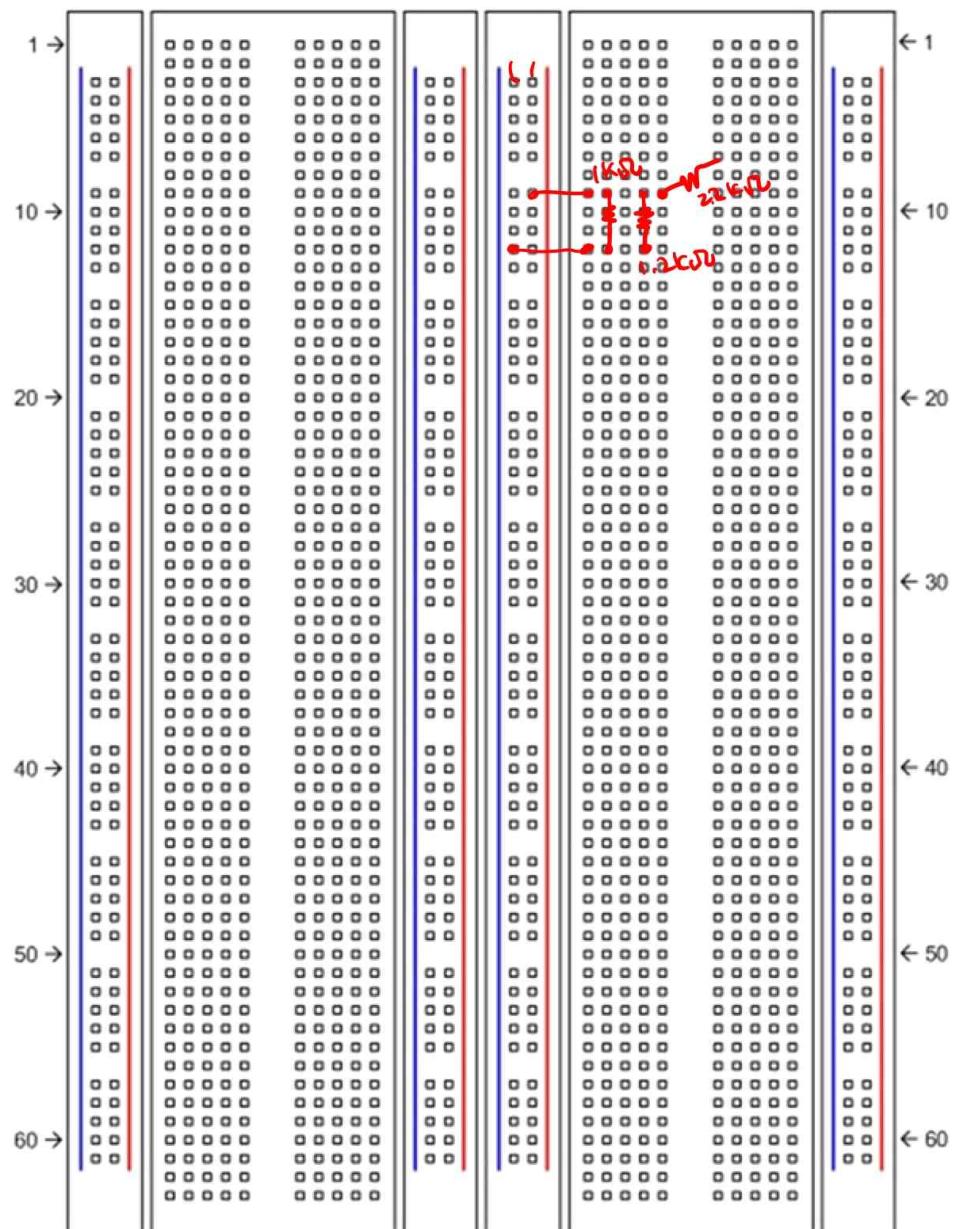


Part 4





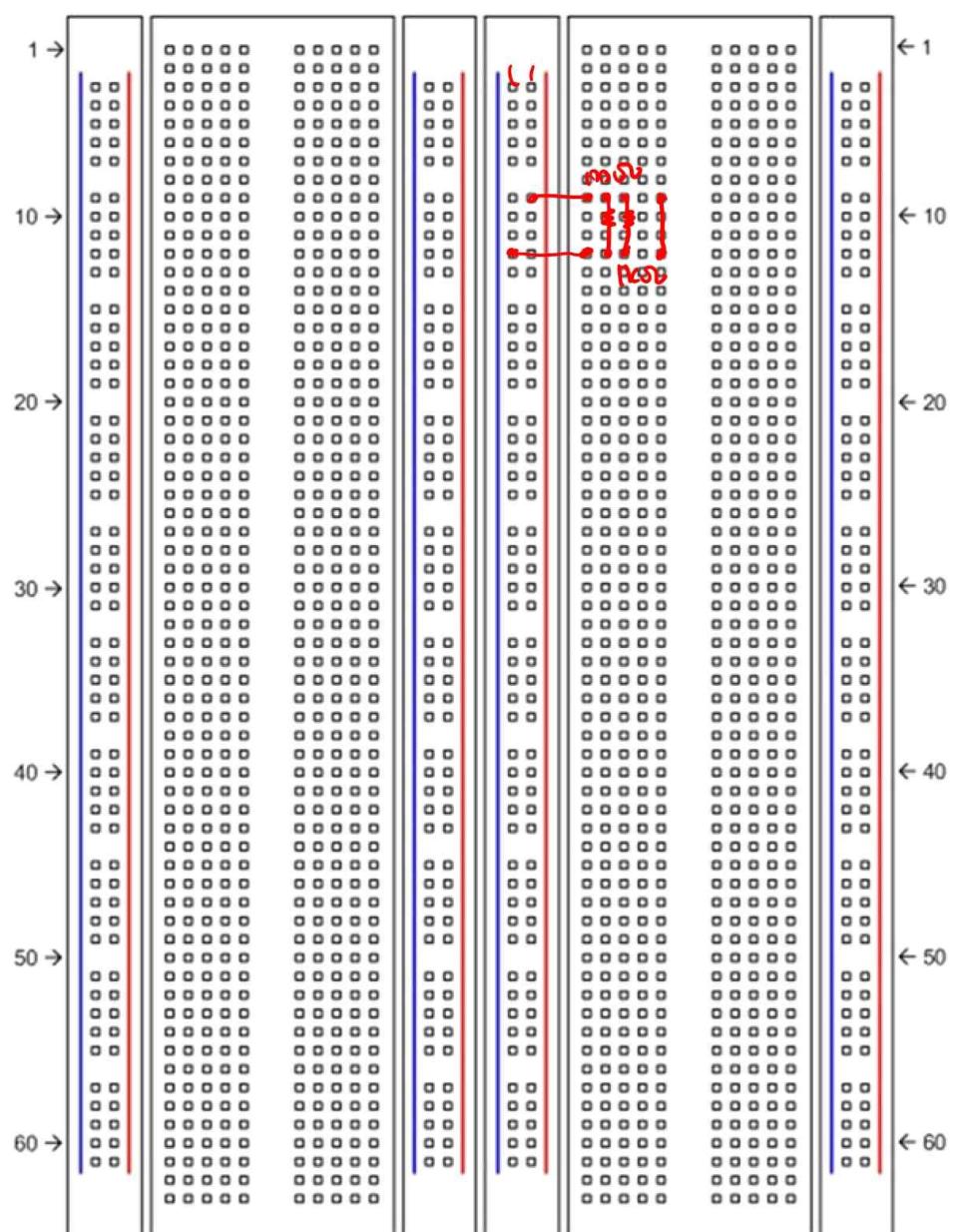
Part 5





아주대학교  
AJOU UNIVERSITY

## Part 6

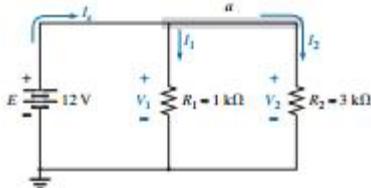


## Ch 7. Parallel dc Circuits

### 1. 실험이론

#### (1) 병렬회로

병렬 연결된 저항에서 각 저항에 걸리는 전압은 모두 같다.



이 회로에서,  $V_1 = V_2 = E$ 이다. 총 전류  $I_S$ 에 옴의 법칙을 사용하면

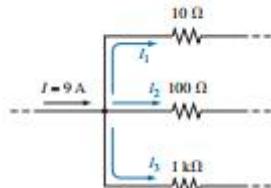
$I_S = \frac{E}{R_T}$ 이다. 각 저항또한 옴의 법칙을 사용하면,  $I_1 = \frac{V_1}{R_1} = \frac{E}{R_1}$ ,  $I_2 = \frac{V_2}{R_2} = \frac{E}{R_2}$ 이다. 합성저항을 구하는 식인  $\frac{1}{R_T} = \frac{1}{R_1} + \frac{1}{R_2}$ 에서, 양변에 공급전압  $E$ 를 곱하면  $E(\frac{1}{R_T}) = E(\frac{1}{R_1} + \frac{1}{R_2})$ 이다.  $I_1 = \frac{V_1}{R_1} = \frac{E}{R_1}$ ,  $I_2 = \frac{V_2}{R_2} = \frac{E}{R_2}$ 이므로 곧  $I_S = I_1 + I_2$ 이다. 즉, 각 마디에 흐르는 전류의 합이 총 전류와 같다.

#### (2) 키르히호프 전류 법칙 (KCL)

KCL은 회로의 마디에서 전류의 합이 0이 된다는 것을 나타내는 법칙이다. 이때, 마디로 들어오는 전류를 양의 값으로 정하고 마디를 나가는 전류를 음의 값으로 정한다.

#### (3) Current Divider Rule

Current Divider Rule(CDR)은 병렬회로에서 저항을 타고 흐르는 전류를 구하기 위한 법칙이다. CDR은 병렬연결된 저항들에서 전류가 저항값의 역수비에 맞추어 나누어진다는 것이다.



예를 들어 이 회로에서, 전류  $I(=9A)$ 는 저항비인 10:100:1000의 역수, 즉

$\frac{1}{10} : \frac{1}{100} : \frac{1}{1000} = 100 : 10 : 1$ 에 맞추어 각각의 저항에 나누어진다는 것이다. 즉, 각 저항의 전달되는 전류는  $9 \times \frac{100}{100+10+1} : 9 \times \frac{10}{100+10+1} : 9 \times \frac{1}{100+10+1}$  ( $A$ ) 라는 것이다. 여기서, 저항값이 작은 것이 저항값이 큰 것보다 큰 전류를 가지는 것을 알 수 있다. 만약 병렬로 연결된 저항의 저항값이 모두 같다면, 모두 같은 크기의 전류가 흐를 것이다. 또한, 총 전류를  $I_T$ 라고 한다면,  $I_T = \frac{V}{R_T}$ 이고 병렬연결된 저항에 걸리는 전압은 모두 같으므로  $V = I_1 R_1 = I_2 R_2 = I_3 R_3 = \dots = I_x R_x$ 이다.

$V = I_x R_x$ 에서  $I_T = \frac{V}{R_T}$ 를 대입하면  $I_T = \frac{I_x R_x}{R_T}$ 이고, 이 식은 곧  $I_x = \frac{R_T}{R_x} I_T$ 이다.

### 3. 실험과정 및 예상결과

#### 실험과정

##### - Part 1

(a) Fig. 7.3과 같이 회로를 구성하고 각 저항값을 측정해 기록한다. (c) DMM을 이용하여 합성저항을 측정한다. (e) Fig. 7.3의 1, 2지점에 12V를 가하고 DMM을 이용하여  $V_{R_1}$ ,  $V_{R_2}$ 를 측정한다. (g) Fig. 7.4와 같이 회로를 구성하고 DMM을 이용하여  $I_1$ ,  $I_2$ ,  $I_3$ 를 측정한다.

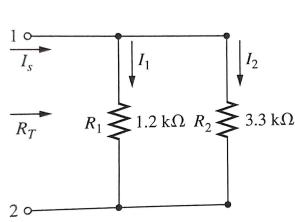


FIG. 7.3

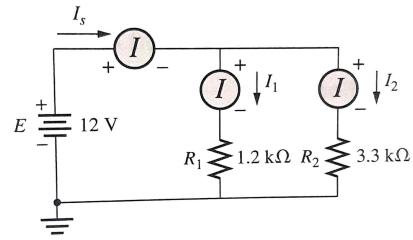


FIG. 7.4 ✓

**- Part 2**

(a) Fig. 7.5와 같이 회로를 구성하고 각 저항값을 측정해 기록한다. (b) DMM을 이용하여 Fig. 7.5의 1, 2지점 사이의 총 저항을 측정한다. (g) Fig. 7.5의 1, 2지점에 12V를 가하고 DMM을 이용하여  $I_1$ ,  $I_2$ 를 측정한다. (j) DMM을 이용하여  $I_s$ 를 측정한다.

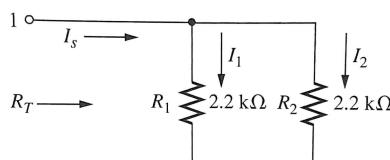


FIG. 7.5

**- Part 3**

(a) Fig. 7.6과 같이 회로를 구성하고 각 저항값을 측정해 기록한다. (c)  $I_1$ ,  $I_2$ 를 측정한다. (h) Fig. 7.7과 같이 회로를 구성하고 각 저항값을 측정해 기록한다.  $I_1$ ,  $I_2$ ,  $I_3$  그리고  $I_s$ 를 측정한다.

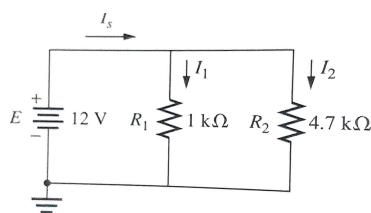


FIG. 7.6

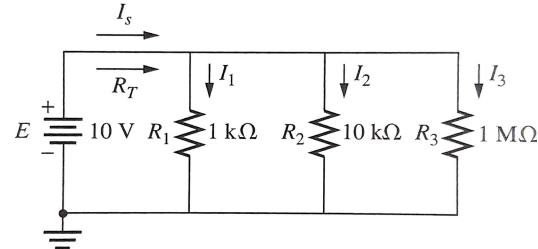


FIG. 7.7

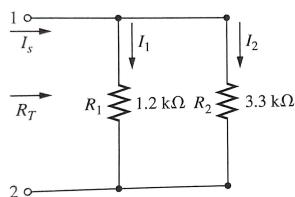
**회로분석**

FIG. 7.3

$R_1$ 과  $R_2$ 가 병렬 연결된 회로이다. 따라서 합성저항값은  $\frac{1200 \times 3300}{1200 + 3300} = 880\Omega$ 이다.

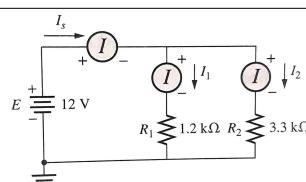
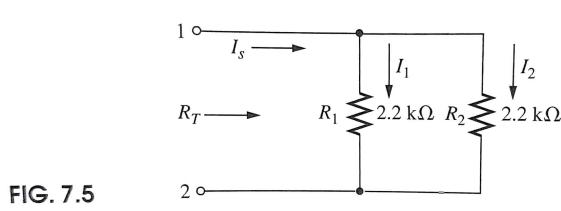
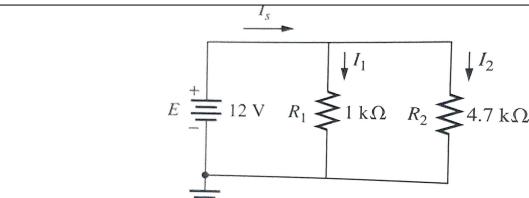


FIG. 7.4 ✓

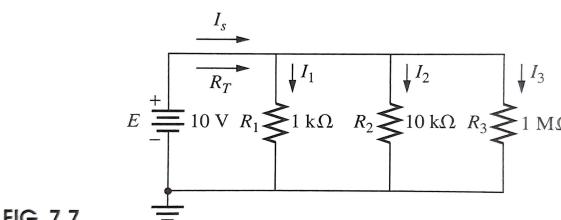
Fig. 7.3에 양단에 12V를 가한 회로이다. 병렬연결 되어있으므로 각 저항소자에 걸리는 전압은 공급 전압인 12V와 동일하다. 옴의 법칙으로  $I_1$ ,  $I_2$ 를 계산하면 각각  $\frac{12}{1200} = 0.01 (A)$ ,  $\frac{12}{3300} = 0.00364 (A)$  이다. KCL로 계산한  $I_s$ 는  $0.01 + 0.00364 = 0.01364 (A)$ 이다.



2.2k $\Omega$  두 개가 병렬로 연결된 회로이다. 따라서 합성저항은  $\frac{2.2}{2} = 1.1\text{k}\Omega$ 이다. 12V를 가하면 각 저항에 흐르는 전류는  $I_1 = I_2 = \frac{1.1}{2.2}I_S, I_S = \frac{12}{1100} = 0.109\text{A}$ 이다.



1k $\Omega$ 과 4.7k $\Omega$ 이 병렬로 연결된 회로이다. 합성저항과 각 전류를 계산해보면  
 $R_T = \frac{1000 \times 4700}{1000 + 4700} = 825\Omega, I_S = \frac{12}{825} = 0.0145\text{A}, I_1 = \frac{825}{1000}I_S = 0.012\text{A}$   
 $I_2 = \frac{825}{4700}I_S = 0.00255\text{A}$   
 이다.



저항값의 차이가 큰 저항들끼리 병렬로 연결한 회로이다. 합성 저항은 가장 크기가 작은 저항값인 1k $\Omega$ 에 근접할 것이며 전류는  $I_1 > I_2 >> I_3$  순으로 크다.

## 예상결과

### - Part 1

측정 저항값으로 계산한 합성저항값과 DMM으로 측정한 총 저항값이 동일할 것이다. 합성저항값은

$$\frac{1}{\frac{1}{1200} + \frac{1}{3300}} = 880(\Omega)$$

$V_{R_1}, V_{R_2}$ 은 12V와 동일하게 측정될 것이다. 즉, 병렬연결된 저항에 걸리는 전압은 인가한 전압값과 같다는 결론을 내릴 수 있을 것이다. 측정저항값과 음의 법칙으로 계산한 전류값은 키르히호프 법칙을 따를 것이고, DMM으로 측정한 값과 값이 동일할 것이다.  $I_S = \frac{E}{R_T}$ 로 계산한 합성저항값은 위의 두 합성저항값과 동일할 것이다.

### - Part 2

2.2k $\Omega$ 으로 계산한 합성저항값과 DMM으로 측정한 총 저항값, 그리고 측정 저항값으로 계산한 합성저항값은 모두 동일할 것이다. 12V를 인가하고 DMM으로 측정한  $I_1, I_2$  그리고  $I_S$ 는 CDR에 따를 것이다.

### - Part 3

((a)~(g))  $R_1$ 이  $R_2$ 보다 4.7배 작으므로 CDR에 의해  $I_1$ 이  $I_2$ 보다 4.7배 크게 측정될 것이다. 측정한 저항값으로 계산한 총 전류값과 측정한  $I_1, I_2$ 을 KCL로 계산한 총 전류값이 동일할 것이다.

((h)~(q))  $R_1$ 은  $R_2$ 보다 10배 작고  $R_3$ 보다 1000배 작다. 따라서  $I_1, I_2, I_3$ 의 크기비는 CDR에 의해 1000:10:1이 나오게 측정될 것이다. 사실상  $R_3$ 로는 전류가 흐르지 않는다고 봐도 될 값이 측정될 것이다. 공급전압인 10V와  $I_S$  측정값을 이용해 구한 총 저항값은  $R_1, R_2, R_3$ 에 차이가 작지 않게 있으므로 가장 작은  $R_1$ 값인 1000 $\Omega$ 에 근접한 값이 나올 것이다.

#### 4. 참고문헌

INTRODUCTORY CIRCUIT ANALYSIS / 12판 / Robert L. Boylestad, Gabriel Kousourou / 2015 / Pearson / 82~90p

Introductory Circuit Analysis / 11판 / Robert L. Boylestad / 2006 / Pearson Prentice Hall / 208~209p

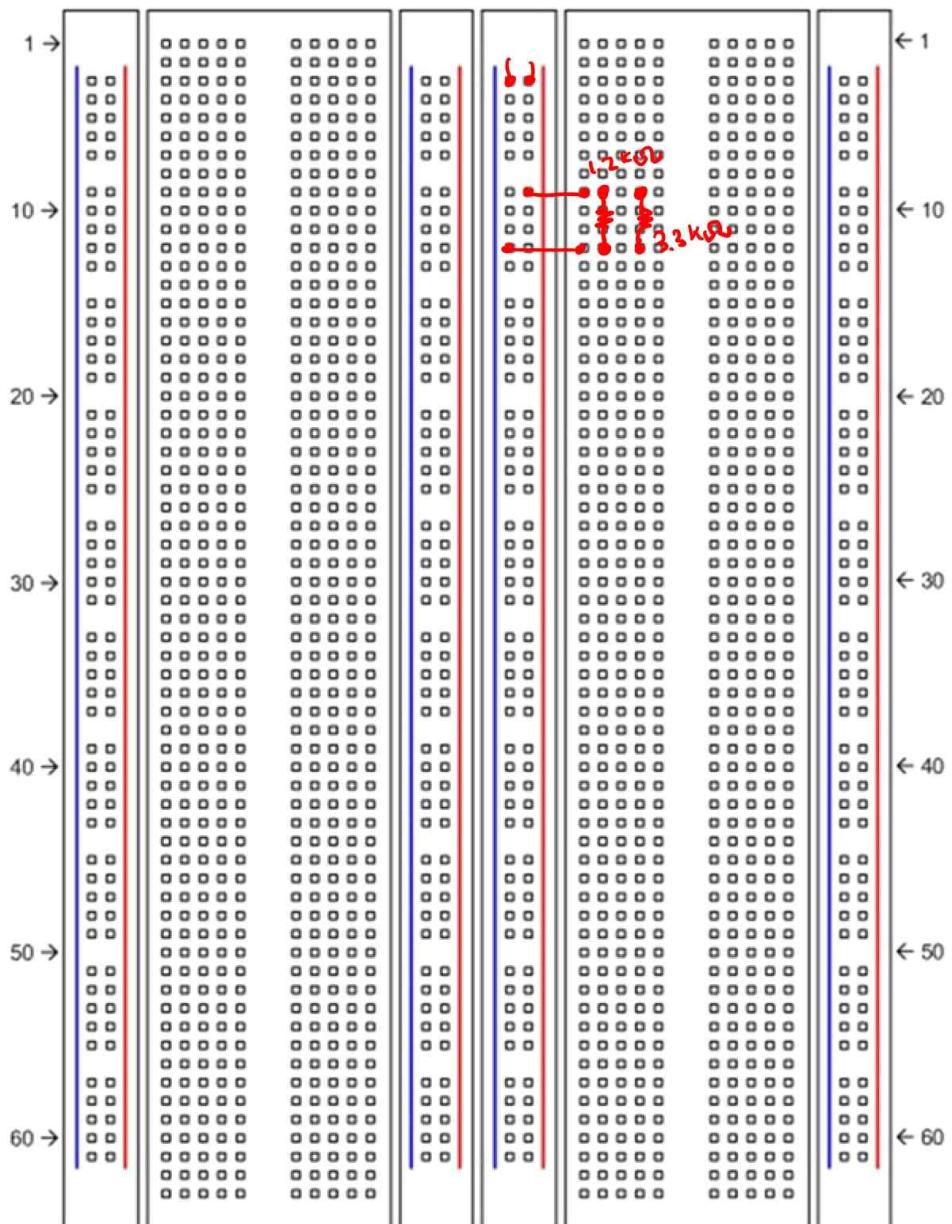
#### 5. 회로 결손도



아주대학교  
AJOU UNIVERSITY

전자공학과 20201025 안준영  
2021-03-13

Part 1

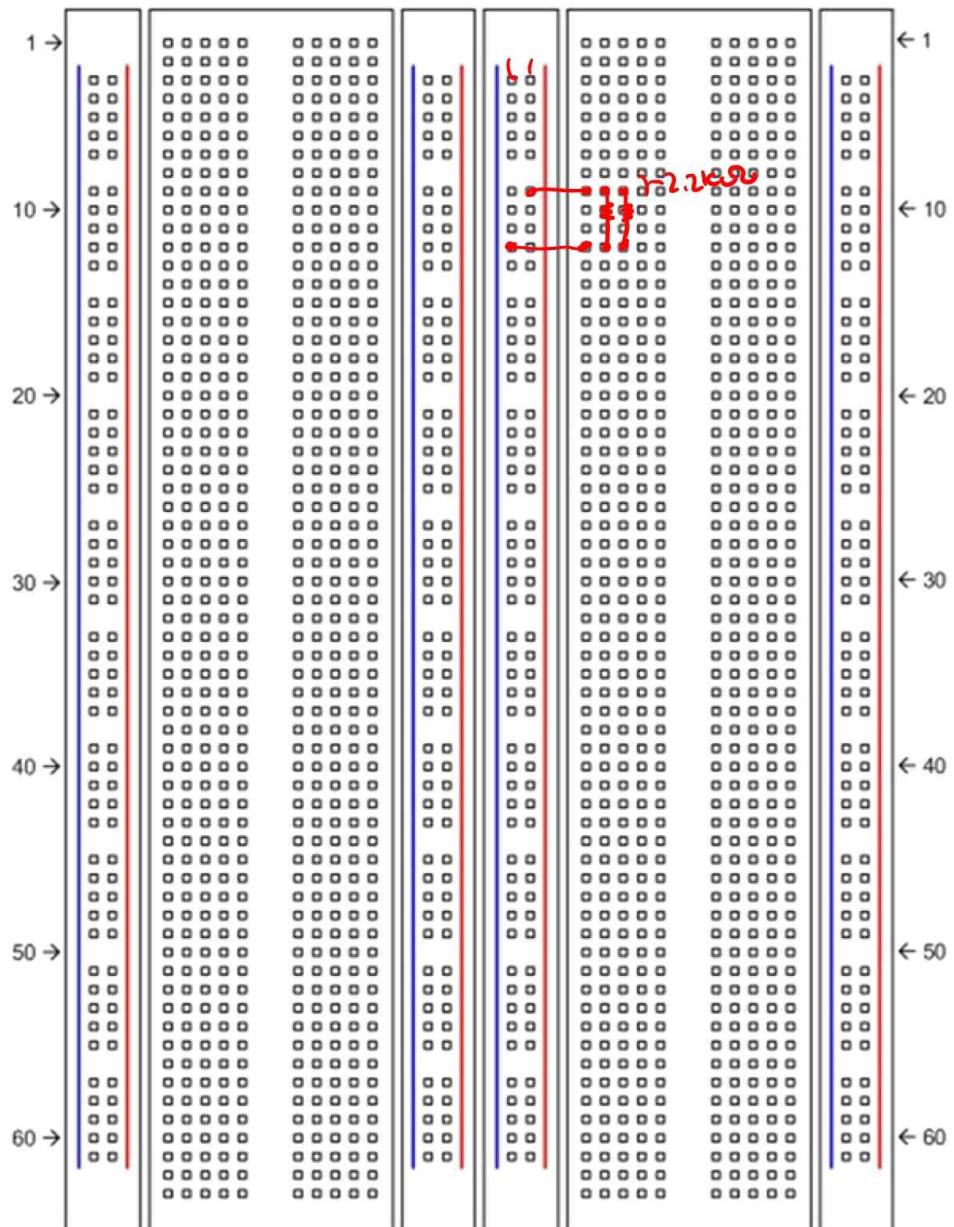




아주대학교  
AJOU UNIVERSITY

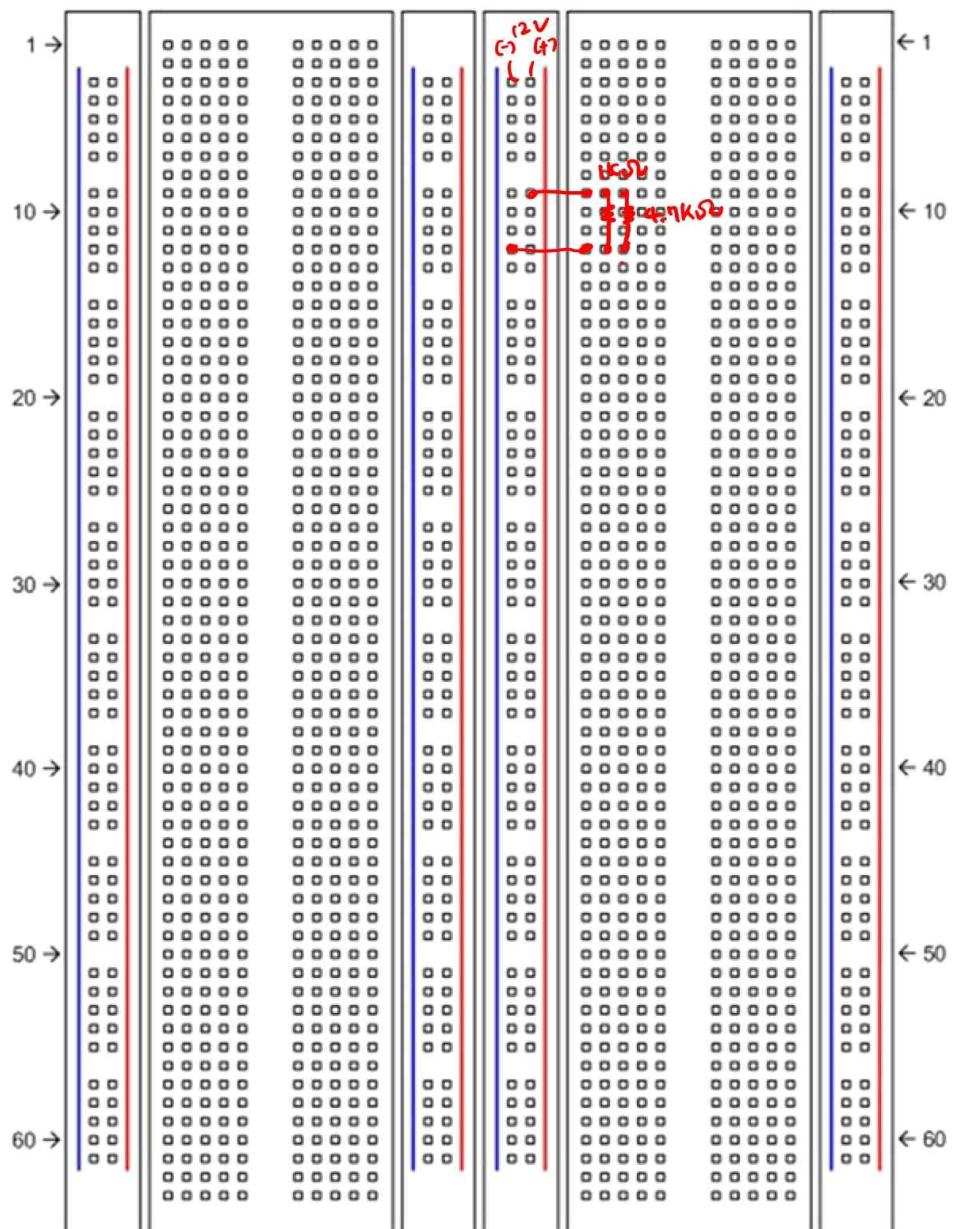
전자공학과 20202025 안준영  
2021-03-13

Part 2



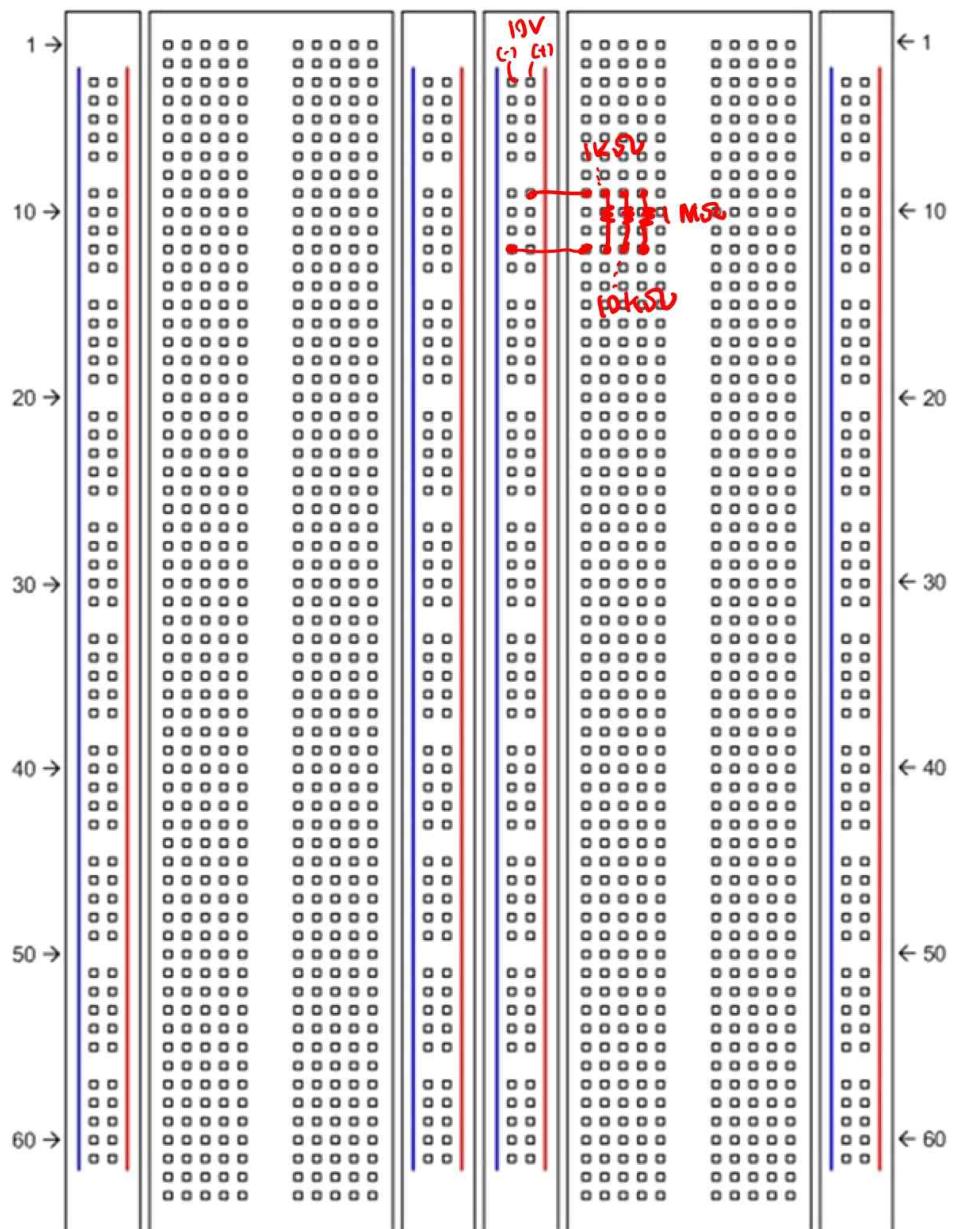


Part 3  
(Fig. 7.6)





Part 3  
(Fig. 7.7)



## Ch 9. Series - Paraleel dc Circuits

### 1. 실험원리

#### (1) 직렬-병렬회로

우선 직렬로 연결된 소자가 무엇인지, 병렬로 연결된 소자가 무엇인지 파악해야 한다. 그리고 직렬로 연결된 저항, 병렬로 연결된 저항의 합성저항을 각각 구해준다. 이와 같은 방법을 연속적으로 적용함으로써 하나의 합성저항 값을 도출해내는 방법으로 회로를 마치 하나의 저항소자만 있는 것처럼 취급할 수 있다.

#### (2) 음의 법칙

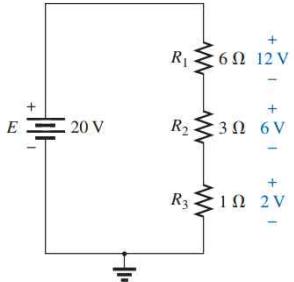
전압과 전류 그리고 저항간 관계를 나타내는 법칙이다. 다음과 같은 식을 이용하여 표현한다.  $R = \frac{V}{I}$ . 음의 법칙은 또한, 저항이 일정한 경우에 전압과 전류가 비례함을 나타낸다. 마찬가지로 전압이 일정하다면 저항과 전류는 반비례하고, 전류가 일정하다면 전압과 저항이 비례한다는 것을 나타낸다. 이는 전압, 전류 그리고 저항 중, 2가지의 값이 있으면 나머지 하나의 값을 구할 수 있음 또한 나타낸다.

#### (3) KCL / KVL

회로는 이 두 법칙을 항상 만족하여야만 한다. KCL은 회로의 마디에서 전류의 합이 0이 된다는 것을 나타내는 법칙이다. 이때, 마디로 들어오는 전류를 양의 값으로 정하고 마디를 나가는 전류를 음의 값으로 정한다. KVL은 닫힌 회로 속에서 전압의 합이 0이 되어야한다는 것을 나타낸다.

#### (4) Voltage Divider Rule

직렬 저항 회로에서, 공급전압이 각 저항의 비에 맞게 나누어진다는 법칙이다.

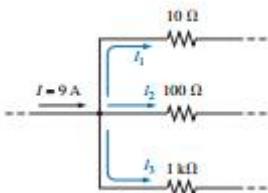


예를 들어 이 회로에서, 각 저항에 걸리는 전압은 공급 전압을 저항의 비인

6:3:1에 맞게 12, 6, 2 V로 나누어 각 저항에 할당한다는 것이다. 즉, 각 저항에 걸리는 전압비는 저항비와 같게된다. 이것을 식으로 나타내면  $V_x = R_x \frac{E}{R_T}$  ( $R_T$ 는 총 저항)이다.

#### (5) Current Divider Rule

Current Divider Rule(CDR)은 병렬회로에서 저항을 타고 흐르는 전류를 구하기 위한 법칙이다. CDR은 병렬연결된 저항들에서 전류가 저항값의 역수비에 맞추어 나누어진다는 것이다.



예를 들어 이 회로에서, 전류  $I(=9A)$ 는 저항비인 10:100:1000의 역수, 즉

$$\frac{1}{10} : \frac{1}{100} : \frac{1}{1000} = 100 : 10 : 1에 맞추어 각각의 저항에 나누어진다는 것이다. 즉, 각 저항의 전달되는$$

전류는  $9 \times \frac{100}{100+10+1} : 9 \times \frac{10}{100+10+1} : 9 \times \frac{1}{100+10+1}$  (A) 라는 것이다. 여기서, 저항값이 작은 것이 저항값이 큰 것보다 큰 전류를 가지는 것을 알 수 있다. 만약 병렬로 연결된 저항의 저항값이 모두

같다면, 모두 같은 크기의 전류가 흐를 것이다. 또한, 총 전류를  $I_T$ 라고 한다면,  $I_T = \frac{V}{R_T}$ 이고

병렬연결된 저항에 걸리는 전압은 모두 같으므로  $V = I_1 R_1 = I_2 R_2 = I_3 R_3 = \dots = I_x R_x$ 이다.

$$V = I_x R_x \text{에서 } I_T = \frac{V}{R_T} \text{를 대입하면 } I_T = \frac{I_x R_x}{R_T} \text{이고, 이 식은 곧 } I_x = \frac{R_T}{R_x} I_T \text{이다.}$$

## 2. 실험장비

- (1) 저항 ( $1\text{k}\Omega$ ,  $2.2\text{k}\Omega$ ,  $3.3\text{k}\Omega$ ,  $4.7\text{k}\Omega$ )
- (2) DMM
- (3) dc power supply

## 3. 실험과정 및 예상결과

### 실험과정

#### - Part 1

(a) Fig. 9.1과 같이 회로를 구성하고 각 저항값을 측정하여 기록한다. (b) 측정 저항값들로  $R_T$ 를 계산한다. (c) DMM으로  $R_T$ 를 측정한다. (d) 계산값과 측정값의 상대오차를 계산한다. (e) 12V가 인가되었을 때  $I_S$ ,  $I_1$ ,  $I_2$ ,  $I_3$ 를 측정저항값을 이용하여 계산한다. (f) 12V를 인가하고, DMM을 이용하여  $I_S$ ,  $I_1$ ,  $I_2$ ,  $I_3$ 를 측정한다. (g) -part1(e)의 값과 측정저항값으로  $V_1$ ,  $V_2$ ,  $V_3$ 을 계산한다. (h)  $V_1$ ,  $V_2$ ,  $V_3$ 를 측정하고 (g)에서의 값과 상대오차를 계산한다. (i) KVL을 만족하는지 검토한다.

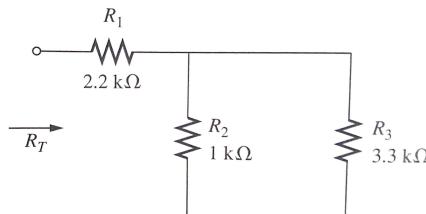


FIG. 9.1

#### - Part 2

(a) Fig. 9.3과 같이 회로를 구성하고 각 저항값을 측정하여 기록한다. (b) 측정 저항값들로  $R_T$ 를 계산한다. (c) DMM으로  $R_T$ 를 측정한다. 측정값과 계산값의 상대오차를 계산한다. (d) 12V가 인가되었을 때  $I_S$ ,  $I_1$ ,  $I_2$ ,  $I_3$ 를 측정저항값을 이용하여 계산한다. (e) 12V를 인가하고, DMM을 이용하여  $I_S$ ,  $I_1$ ,  $I_2$ ,  $I_3$ 를 측정한다. 계산값과 측정값의 상대오차를 계산한다. (f) KCL을 만족하는지 검토한다. (g) (d)에서의 전류값들과 측정저항값들을 이용하여  $V_1$ ,  $V_2$ ,  $V_3$ 를 계산한다. (h)  $V_1$ ,  $V_2$ ,  $V_3$ 를 측정하고 계산값과 측정값의 상대오차를 계산한다. (i)  $E$ ,  $V_1$ ,  $(V_1 + V_2)$ 의 관계를 검토한다.

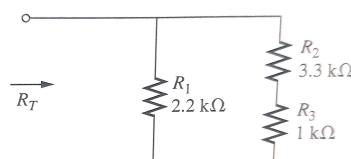


FIG. 9.3

#### - Part 3

(a) Fig. 9.5와 같이 회로를 구성하고 각 저항값을 측정하여 기록한다. (b)  $V_1 + V_2$ ,  $E$ 의 관계를 검토한다.  $V_3 + V_4$ ,  $E$ 의 관계를 검토한다. (c)  $V_2$ 와  $V_4$ 를 VDR과 측정저항값을 이용하여 계산한다. (d)  $V_2$ 와  $V_4$ 를 DMM으로 측정한다. 계산값과의 상대오차를 계산한다. (e) KVL과 (c)에서의 계산값을 이용하여  $V_{ab}$ 를 계산한다. (f)  $V_{ab}$ 를 측정하고 계산값과의 상대오차를 계산한다. (g)  $V_{ab} = V_3 - V_1$ 인지 검토한다. (h) 측정저항값을 이용하여  $I_S$ 를 계산한다. (i)  $I_S$ 를 측정하고 계산값과의 상대오차를 계산한다.

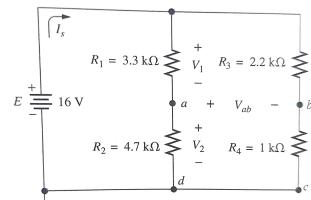


FIG. 9.5

#### - Part 4

(a) Fig. 9.6과 같이 회로를 구성하고 각 저항값을 측정하여 기록한다. (b) 측정저항값을 이용하여  $V_4$ 를 계산한다. (c)  $V_4$ 를 측정하고 상대오차를 계산한다. (d)  $I_S$ 를 측정하고  $R_T = \frac{E}{I_S}$ 로 총 저항을 계산한다. (e) Power supply를 연결 해제하고 DMM을 사용하여  $R_T$ 를 측정한다.  $R_T$ 의 계산값과 측정값의 상대오차를 계산한다.

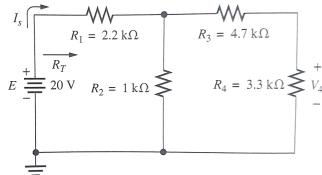


FIG. 9.6

## 회로분석

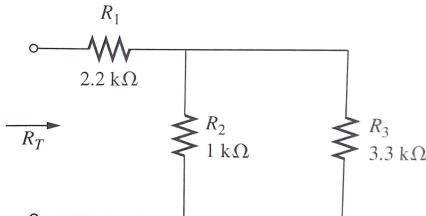


FIG. 9.1

Fig. 9.1은  $1\text{k}\Omega$ 과  $3.3\text{k}\Omega$ 이 병렬로 연결되어 있고  $2.2\text{k}\Omega$ 은 직렬로 이어져있는 회로이다. 합성저항값은  $2200 + \frac{1000 \times 3300}{1000 + 3300} = 2967\Omega$ 이다. 12V가 인가되면  $2.2\text{k}\Omega$ 에는 VDR에 따라  $V_1 = 2200 \cdot \frac{12}{2967} = 8.90\text{V}$ 의 전압이 걸리고,  $R_2, R_3$ 는 병렬연결되어 있으므로  $V_{2,3} = \frac{1000 \times 3300}{1000 + 3300} \times \frac{12}{2967} = 3.10\text{V}$ 가 동일하게 걸리게 된다.

이는  $-12 + 8.90 + 3.10 = 0$ 이므로 KVL을 만족한다. 옴의 법칙에 따라

$I_S = \frac{12}{2967} = 0.00404\text{A}$ ,  $I_1 = \frac{8.90}{2200} = 0.00405\text{A}$ ,  $I_2 = \frac{3.10}{1000} = 0.0031\text{A}$ ,  $I_3 = \frac{3.1}{3300} = 0.000939\text{A}$ 이다. KCL을 적용하면  $0.00404 - 0.0031 - 0.000939 = 0$ 이므로 KCL또한 만족한다.

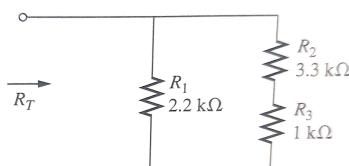


FIG. 9.3

Fig. 9.3은  $2.2\text{k}\Omega$ 과 직렬로 연결된  $3.3\text{k}\Omega$ 과  $1\text{k}\Omega$ 이 병렬로 연결되어있는 회로이다. 합성저항값은  $\frac{2200 \times (3300 + 1000)}{2200 + (3300 + 1000)} = 1455\Omega$ 이다. 12V를 인가했을 때 각 저항에 걸리는 전압과 흐르는 전류를 구하면 KVL, KCL을 만족한다. (병렬연결이므로  $12\text{V} = V_1 = (V_2 + V_3)$ 이 성립한다)

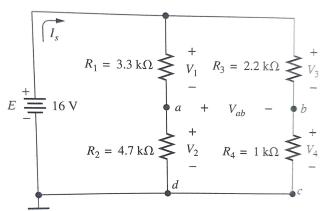


FIG. 9.5

Fig. 9.5는 직렬로 연결된  $3.3\text{k}\Omega$ 과  $4.7\text{k}\Omega$ , 그리고 직렬로 연결된  $2.2\text{k}\Omega$ 과  $1\text{k}\Omega$ 을 병렬로 연결한 회로이다. 합성저항은  $\frac{(3300 + 4700) \times (2200 + 1000)}{(3300 + 4700) + (2200 + 1000)} = 2286\Omega$ 이다. 병렬연결이므로  $16\text{V} = (V_1 + V_2) = (V_3 + V_4)$ 이 성립 한다.

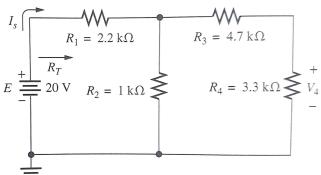


FIG. 9.6

Fig. 9.6은 직렬로 연결된  $4.7\text{k}\Omega$ 과  $3.3\text{k}\Omega$ 이  $1\text{k}\Omega$ 과 병렬로 연결되어있고  $2.2\text{k}\Omega$ 과 직렬로 연결되어 있는 회로이다. 합성 저항은  $2200 + \frac{1000 \times (4700 + 3300)}{1000 + (4700 + 3300)} = 3089\Omega$ 이다. 따라서  $I_S = \frac{20}{3089} = 0.00647\text{A}$ 이다. 따라서  $2.2\text{k}\Omega$ 에 걸리는 전압은  $14.2\text{V}$ 이다. 왼쪽 고리에 KVL을 적용하면  $1\text{k}\Omega$ 에 걸리는 전압은  $20 - 14.2 = 5.8\text{V}$ 이고, 옴의 법칙에 따라 전류는  $I = \frac{5.8}{1000} = 0.0058\text{A}$ 이고 KCL에 의해  $R_3, R_4$ 에 흐르는 전류는  $0.00647 - 0.0058 = 0.00067\text{A}$ 이다. 따라서  $V_4 = 0.00067 \times 3300 = 2.21\text{V}$ 이다.

## 예상결과

### - Part 1

합성저항의 계산값과 DMM을 이용한 측정값은 동일할 것이다. 12V를 인가하였을때,  $I_S = I_1$ 이다. 또한  $R_2$ 와  $R_3$ 는 병렬 연결이므로  $V_2 = V_3$ 일 것이다. 측정 전압값은 KVL을 만족할 것이다.

### - Part 2

합성저항의 계산값과 측정값은 동일할 것이다. 12V를 인가하였을때,  $R_2$ 와  $R_3$ 는 직렬연결이므로  $I_2 = I_3$ 일 것이다. 측정 전류값은 KCL을 만족할 것이다. 또한 KVL에 따라  $E = V_1 = V_2 + V_3$ 을 만족하도록 측정될 것이다.

### - Part 3

KVL에 따라  $E = V_1 + V_2 = V_3 + V_4$ 이도록 측정될 것이다. 우측 고리에 KVL을 적용하면  $V_3 + V_4 - V_2 - V_1 = 0$ 이다. 따라서  $V_{ab} = V_3 - V_1$ 이다. 회로의 합성저항값(이론)이  $2286\Omega$ 이므로  $I_S = \frac{16}{2286} = 0.00700 A$ 가 측정될 것이다.

### - Part 4

회로분석 파트에서 계산한  $V_4 = 0.00067 \times 3300 = 2.21 V$ 와 측정값이 동일할 것이다. 마찬가지로  $I_S = \frac{20}{3089} = 0.00647 A$ 와 같이  $I_S$ 가 측정될 것이다.

## 4. 참고문헌

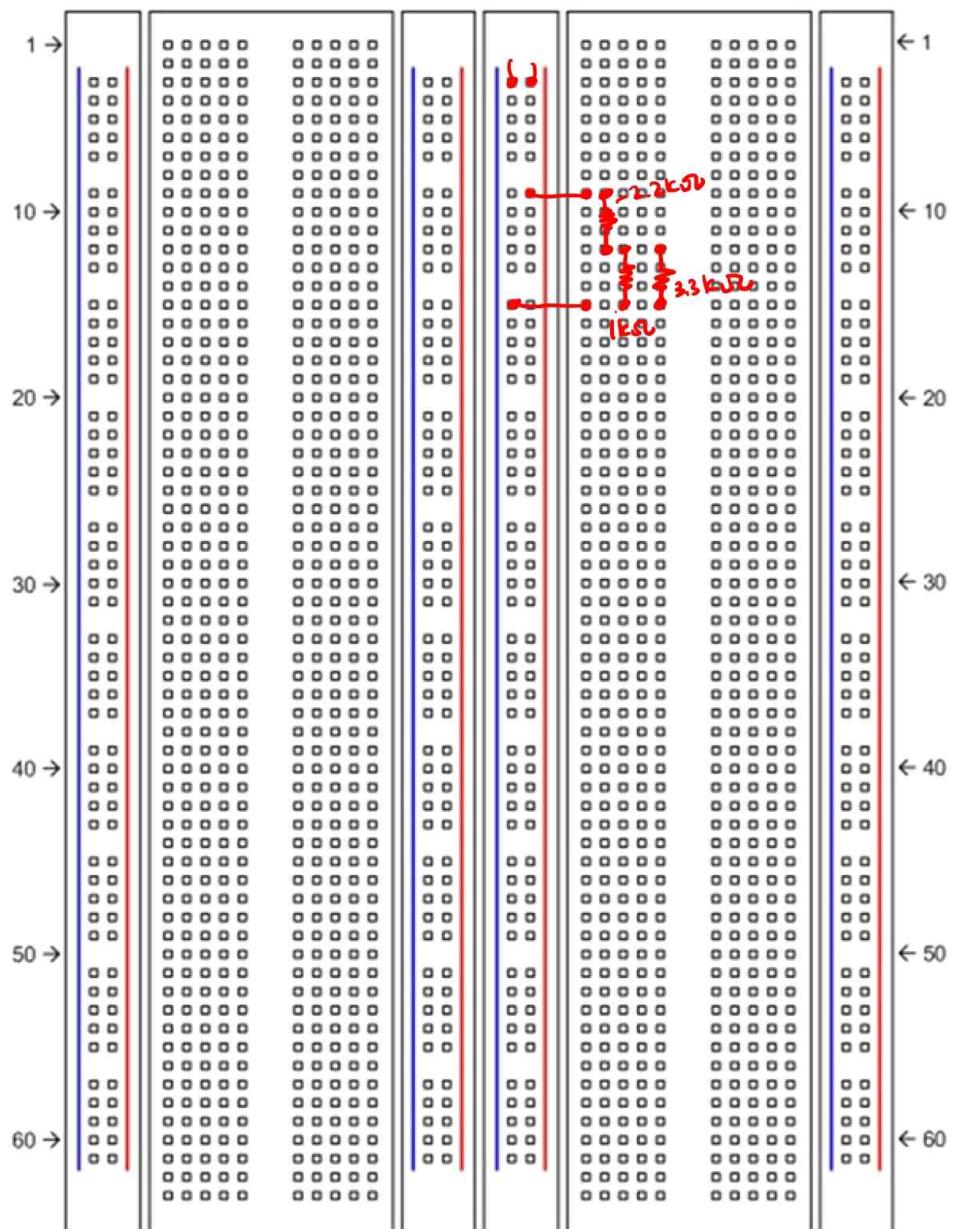
INTRODUCTORY CIRCUIT ANALYSIS / 12판 / Robert L. Boylestad, Gabriel Kousourou / 2015 / Pearson / 108~119p

Introductory Circuit Analysis / 11판 / Robert L. Boylestad / 2006 / Pearson Prentice Hall / 185~193p, 208~209p, 243~247p

## 5. 회로 결선도



Part 1

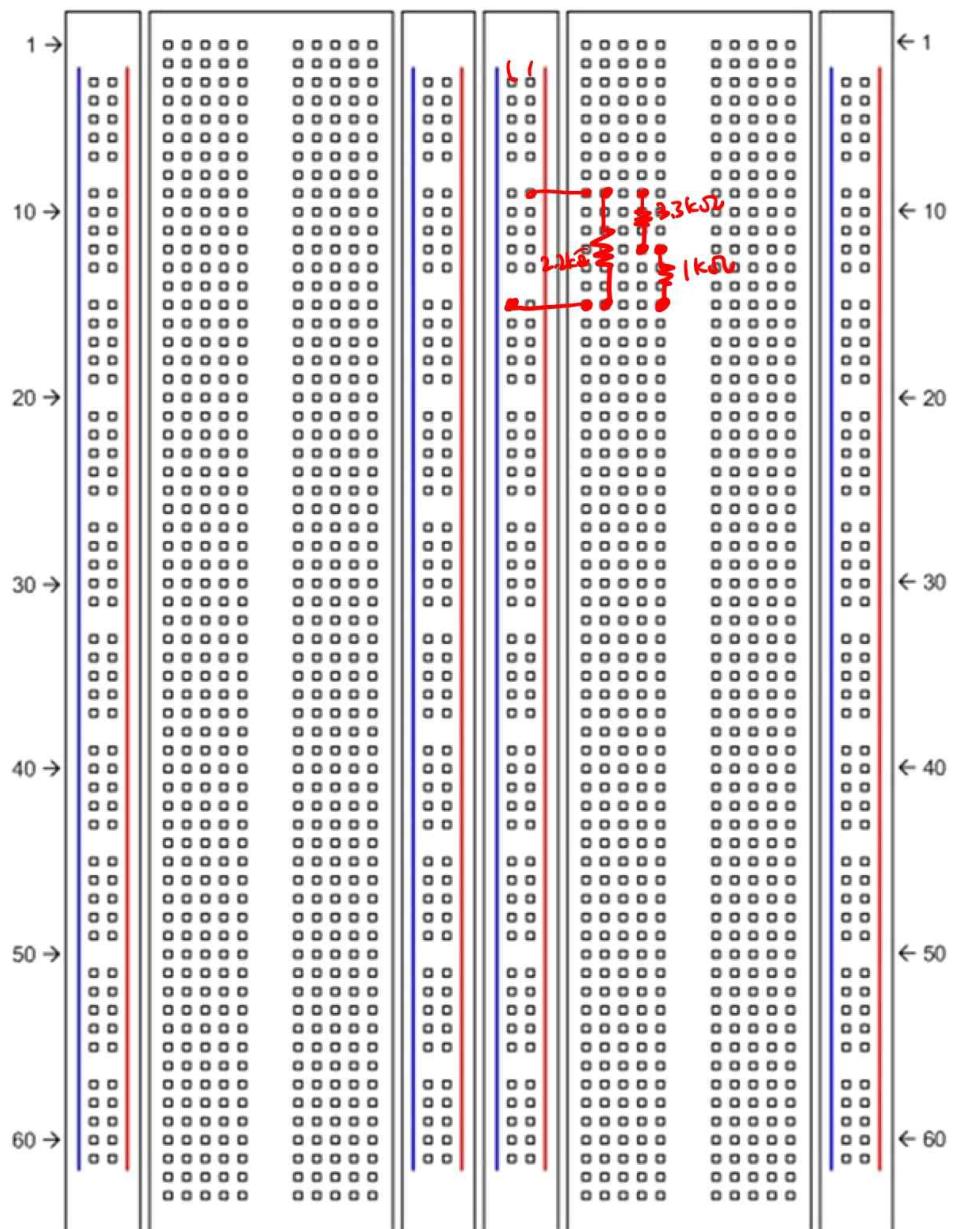




아주대학교  
AJOU UNIVERSITY

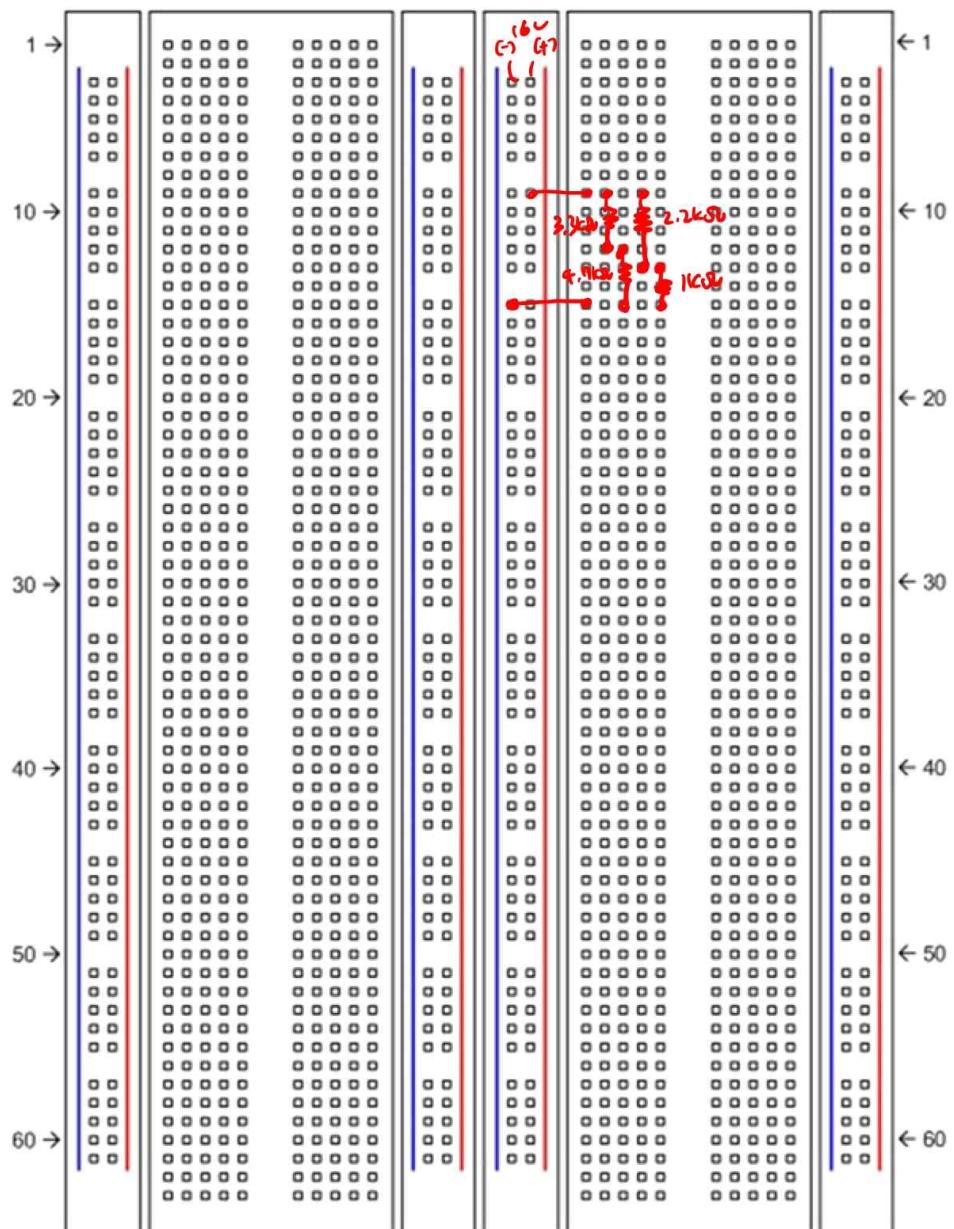
전자공학과 202021025 안준영  
2021-03-14

## Part 2





Part 3





Part 4

