

예비보고서

전자공학도의 윤리 강령 (IEEE Code of Ethics)

(출처: <http://www.ieee.org>)

나는 전자공학도로서, 전자공학이 전 세계 인류의 삶에 끼치는 심대한 영향을 인식하여 우리의 직업, 동료와 사회에 대한 나의 의무를 짐에 있어 최고의 윤리적, 전문적 행위를 수행할 것을 다짐하면서, 다음에 동의한다.

1. **공중의 안전, 건강 복리에 대한 책임:** 공중의 안전, 건강, 복리에 부합하는 결정을 할 책임을 질 것이며, 공중 또는 환경을 위협할 수 있는 요인을 신속히 공개한다.
2. **지위 남용 배제:** 실존하거나 예기되는 이해 상충을 가능한 한 피하며, 실제로 이해가 상충할 때에는 이를 이해 관련 당사자에게 알린다. (이해 상충: conflicts of interest, 공적인 지위를 사적 이익에 남용할 가능성)
3. **정직성:** 청구 또는 견적을 함에 있어 입수 가능한 자료에 근거하여 정직하고 현실적으로 한다.
4. **뇌물 수수 금지:** 어떠한 형태의 뇌물도 거절한다.
5. **기술의 영향력 이해:** 기술과 기술의 적절한 응용 및 잠재적 영향에 대한 이해를 높인다.
6. **자기계발 및 책무성:** 기술적 능력을 유지, 증진하며, 훈련 또는 경험을 통하여 자격이 있는 경우이거나 관련 한계를 전부 밝힌 뒤에만 타인을 위한 기술 업무를 수행한다.
7. **엔지니어로서의 자세:** 기술상의 업무에 대한 솔직한 비평을 구하고, 수용하고, 제공하며, 오류를 인정하고 수정하며, 타인의 기여를 적절히 인정한다.
8. **차별 안하기:** 인종, 종교, 성별, 장애, 연령, 출신국 등의 요인에 관계없이 모든 사람을 공정하게 대한다.
9. **도덕성:** 허위 또는 악의적인 행위로 타인, 타인의 재산, 명예, 또는 취업에 해를 끼치지 않는다.
10. **동료애:** 동료와 협력자가 전문분야에서 발전하도록 도우며, 이 윤리 헌장을 준수하도록 지원한다.

위 IEEE 윤리헌장 정신에 입각하여 report를 작성하였음을 서약합니다.

학 부: 전자공학부

제출일: 2021-09-15

과목명: 논리회로실험

교수명: 박 성 진 교수님

분 반: 금 F

학 번: 201820814, 202021025

성 명: 윤상원, 안준영

실험 3. 가산기 & 감산기

1. 실험목적

1. Logic Gate를 이용해서 가산기(adder)와 감산기(subtractor)를 구성한다.
2. 디지털 시스템의 기본 요소인 가산기와 감산기의 기본 구조 및 동작원리를 이해한다.

2. 실험이론

1. 조합논리회로(Combination Logic Circuit)

- 조합 논리회로는 임의의 시점에서의 출력 값이 그 사람의 입력 값에 의해서만 결정되는 논리회로이며 기억 능력을 가지지 않는다. 조합논리회로는 여러 개의 기본 논리 게이트를 가지고 조합하여 원하는 연산을 할 수 있게 한 것이며 입력, 논리게이트, 출력으로 구성된다. 조합 논리 회로의 특징은 입력에 의해 출력이 결정된다는 것과, 기억회로를 가지지 않는다는 점, 불대수를 이용하는 점과 진리표를 사용하여 간소화한다는 점이다.

2. 가산기

- 가산회로라고 불리며 말 그대로 덧셈을 수행한다. 사실은 사칙연산 전부 수행이 가능하다고 한다. 뺄셈은 보수를 취해 더하여 구할 수 있고 곱셈은 덧셈을 반복하는 것과 같이 사칙연산이 가능하다. 가산기의 종류로는 반 가산기(Half Adder)와 전 가산기(Full Adder)가 있다.

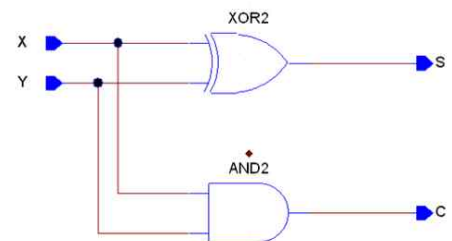
- **반 가산기(Half Adder)** : 반가산기는 2개의 2진수 X,Y 논리변수를 더하여 합(sum)과 캐리(carry)를 산출하기 위한 조합논리 회로이다. 반 가산기의 진리표와 논리식은 아래와 같다.

X	Y	S (Sum)	C (carry)
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = X'Y + XY' = X \oplus Y$$

$$C = XY$$

논리식을 바탕으로 Logic Gate를 그리면 이와 같다.

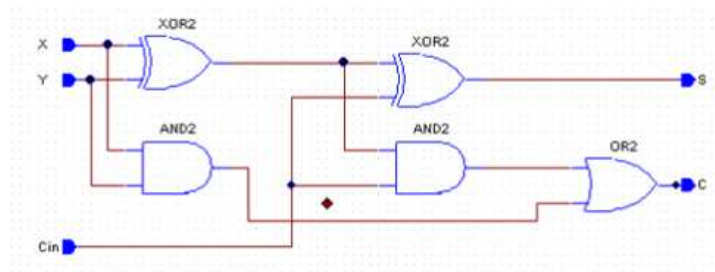


- **전 가산기(Full Adder)** : 컴퓨터 내부에서 여러 비트로 된 두 수를 더할 때는 두 비트에서 더해진 결과인 캐리는 더 높은 자리의 두 비트의 덧셈에 추가되어 더해진다. 이때 아래 자릿수에서 발생한 캐리까지 포함하여 세 비트를 더하는 논리회로를 전가산기라고한다. 따라서 전가산기는 입력을 3개를 가진다.

X	Y	Cin	S	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S = X \oplus Y \oplus C_i$$

$$C = XY + YZ + XZ$$



3.감산기

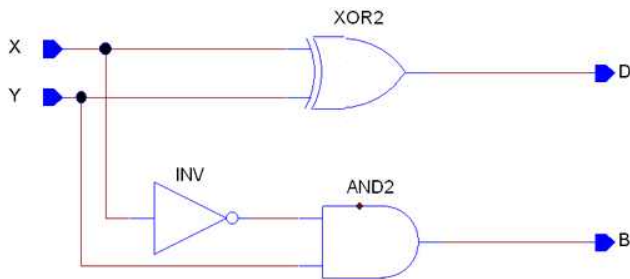
-가산기가 더하는 것이라면 감산기는 빼는 것임을 알 수 있다. 감산기 또한 반감산기(Half subtracter)와 전감산기(Full subtracter)가 있다.

-**반 감산기(Half subtracter)** : 반감산기는 2진수 1자리의 두 개 비트를 빼서 그 차를 산출하는 회로이다. 입력변수 X,Y의 차를 D(Difference), 빌려오는 수를 B(Borrow)라고 하면 다음과 같은 진리표를 작성할 수 있다.

X	Y	D	B
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

$$D = X'Y + XY' = X \oplus Y$$

$$B = X'Y$$

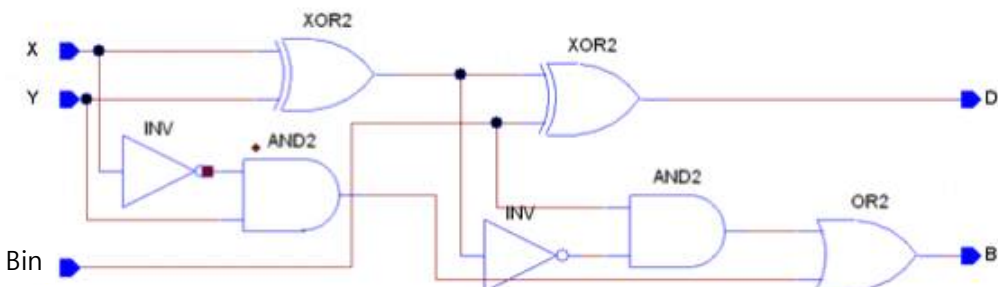


-**전 감산기(Full subtracter)** : 전감산기는 입력변수 3자리의 뺄셈에서 차(D)와 빌려오는 수 (B)를 구하는 것이다. 즉 윗자리로부터 빌려온 값을 포함하여 세 비트의 뺄셈을 할 수 있는 회로를 의미한다.

X	Y	Bin	D	Bout
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

$$D = X \oplus Y \oplus Bin$$

$$B = X'Z + X'Y + YZ$$



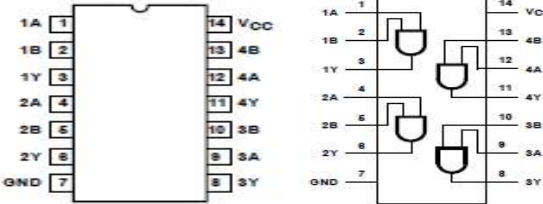
3.실험장비

- 반가산기 구성: XOR (IC 7486) gate와 AND(IC7408)gate 이용
- 전가산기 구성: 2개의 반가산기와 OR gate(IC7432) 이용
- 반감산기 구성: XOR (IC 7486) gate와 AND(IC7408)gate와 NOT gate(7404)이용
- 전감산기 구성: 두 개의 반감산기와 OR gate(IC7432) 이용


74HC04	Hex Inverters	Pin number			
		V_{CC}	GND	Input	Output
		14	7	A 1,3,5,9,11,13	Y 2,4,6,8,10,12

	Truth table	
	nA	nY
	'0','L'	'1','H'
	'1','H'	'0','L'

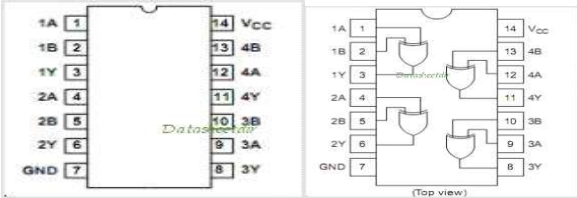
NOT Gate가 6개 있는 칩

74HC08	Quad 2 – Input AND Gate	Pin number				
		V_{CC}	GND	Input		Output
		14	7	A 1,4,9,12	B 2,5,10,13	Y 3,6,8,11
		Truth table				
		nA	nB	nY		
		'0','L'	'0','L'	'0','L'		
		'0','L'	'1','H'	'0','L'		
		'1','H'	'0','L'	'0','L'		
		'1','H'	'1','H'	'1','H'		
2 input AND Gate가 4개 있는 칩						

74HC32	Quad 2 – Input OR Gate	Pin number				
		V_{CC}	GND	Input		Output
		14	7	A 1,4,9,12	B 2,5,10,13	Y 3,6,8,11

	Truth table		
	nA	nB	nY
	'0','L'	'0','L'	'0','L'
	'0','L'	'1','H'	'1','H'
	'1','H'	'0','L'	'1','H'
	'1','H'	'1','H'	'1','H'

2 input OR Gate가 4개 있는 칩

74HC86	Quad 2 – Input XOR Gate	Pin number				
		V_{CC}	GND	Input		Output
		14	7	A 1,4,9,12	B 2,5,10,13	Y 3,6,8,11
	Truth table					
	nA	nB	nY			
	'0','L'	'0','L'	'0','L'			
	'0','L'	'1','H'	'1','H'			
	'1','H'	'0','L'	'1','H'			
	'1','H'	'1','H'	'0','L'			
2 input XOR Gate가 4개 있는 칩						

참고문헌

1. Nexperia (IC 74HC00, 74HC02, 74HC04(2개), 74HC08, 74HC32, 74HC86)
2. "Digital Design: Principles and Practices", 4thEdition, J. F. Wakerly
3. 강의노트, 아주대학교 Black Board