

REPORT

IEEE Code of Ethics

(출처: <http://www.ieee.org>)

We, the members of the IEEE, in recognition of the importance of our technologies in affecting the quality of life throughout the world, and in accepting a personal obligation to our profession, its members and the communities we serve, do hereby commit ourselves to the highest ethical and professional conduct and agree:

1. to accept responsibility in making decisions consistent with the safety, health and welfare of the public, and to disclose promptly factors that might endanger the public or the environment;
2. to avoid real or perceived conflicts of interest whenever possible, and to disclose them to affected parties when they do exist;
3. to be honest and realistic in stating claims or estimates based on available data;
4. to reject bribery in all its forms;
5. to improve the understanding of technology, its appropriate application, and potential consequences;
6. to maintain and improve our technical competence and to undertake technological tasks for others only if qualified by training or experience, or after full disclosure of pertinent limitations;
7. to seek, accept, and offer honest criticism of technical work, to acknowledge and correct errors, and to credit properly the contributions of others;
8. to treat fairly all persons regardless of such factors as race, religion, gender, disability, age, or national origin;
9. to avoid injuring others, their property, reputation, or employment by false or malicious action;
10. to assist colleagues and co-workers in their professional development and to support them in following this code of ethics.

위 IEEE 윤리헌장 정신에 입각하여 report를 작성하였음을 서약합니다.

<실험 9 예비보고서>

학 부: 전자공학부

제출일: 2021.10.22

과목명: 논리회로실험

교수명: 박성진

문 반: 3

학 번: 201820814, 202021025

성 명: 윤상원, 안준영

실험 8 예비보고서

1. 실험 목적

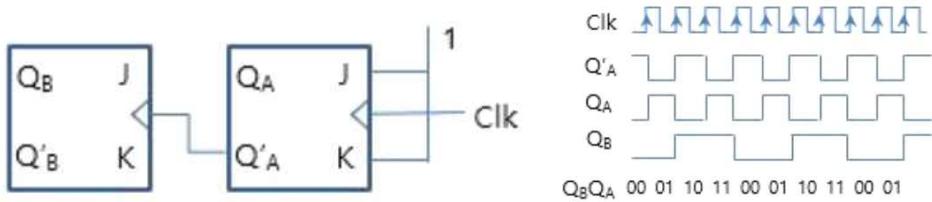
- 1) 카운터의 동작 원리와 특성을 이해
- 2) 2진 시스템에서의 숫자표시와 2진 카운터에 대해 이해
- 3) 카운터를 이용해 디코딩과 인코딩의 코드변환 동작에 관해 실험하고 그 동작원리를 이해

2. 실험 이론

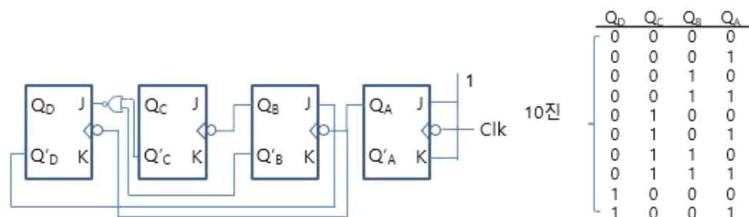
-1) 카운터

카운터는 2개 이상의 F/F로 구성되어 매 입력 펄스마다 미리 정해진 순서대로 상태가 주기적으로 변하는 순서 논리 회로이다. 대표적으로, n -비트 이진 카운터는 n 개의 F/F으로 구성되고 2^n 개의 상태를 가진다. 이때, $0, 1, 2, \dots, 2^{n-1}, 0, 1, \dots$ 의 순서를 따르게 된다.

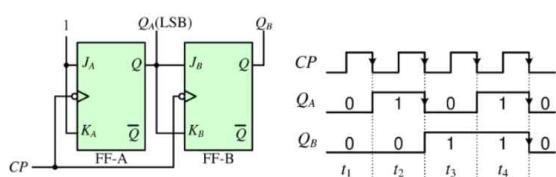
비동기식 카운터는, 카운터의 모든 F/F이 클럭 펄스에 동기화되지 않은 카운터이다. 예를 들어, 2비트 2진 카운터의 경우, 아래와 같이 2개의 JK F/F으로 구성될 수 있으며 앞 F/F의 출력을 뒤 F/F의 클럭 입력으로 받는다. JK F/F은 JK=11이고 클럭이 Rising Edge일 때 토글되고, 회로에서 앞 F/F의 출력 Q'_A 이 뒤 F/F의 클럭 입력으로 연결되어 있기 때문에, 입력 클럭이 Rising Edge일 때마다 Q'_A 는 토글되며, Q'_A 클럭 입력에 따른 뒤 F/F의 출력은 Q'_A 의 Rising Edge(Q_A 가 Falling Edge)일 때 토글된다. 비동기식 카운터는, 각 F/F들이 동일한 클럭 신호에 동기화되어 있지 않으므로 다음 F/F 넘어가는데 걸리는 지연시간이 발생하는 단점이 있다.



BCD 비동기식 카운터는 아래와 같이 회로가 구성된다. 아래의 표와 같이 0~9의 상태를 계수할 수 있다.



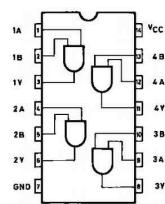
동기식 카운터는, 비동기식 카운터와 다르게 모든 F/F이 같은 클럭 펄스에 동기화되어 동작한다. 따라서, 모든 출력이 동시에 변하게 되며, 지연시간 또한 발생하지 않는다. 2진 2비트 동기식 카운터를 예로 들면, 아래와 같은 회로로 구성될 수 있다. F/F들이 같은 클럭 신호에 동기화되어 있다. 앞 F/F(A)는 JK = 11으로 고정 입력이다. 아래 회로에서 클럭 입력이 반전되어 들어가므로, Falling Edge에서 앞 F/F의 출력이 토글된다. 뒤 F/F은 처음 입력 JK = 00이므로 원래의 값(0)을 유지하다가, 앞 F/F의 출력 Q_A 가(뒤 F/F의 JK) 1이고 클럭 입력이 Falling Edge일 때 토글된다. 따라서 아래의 2진 2비트 동기식 카운터는 Q_A, Q_B 가 00, 01, 10, 11, 00 순으로 변화하게 된다.



3. 실험 부품

- 74HC08

74HC08은 AND 연산을 동작한다. 4개의 AND gate로 구성되어 있다. 7, 14번은 작동을 위해 전원을 연결하는 핀이다. 각 핀에 대한 input과 output의 할당은 74HC00(NAND)와 같다.



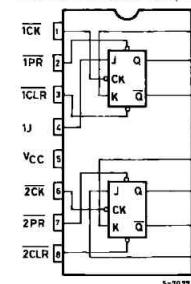
FUNCTION TABLE

INPUT		OUTPUT
nA	nB	nY
L	L	L
L	H	L
H	L	L
H	H	H

- 74HC76

74HC76은 2개의 JK Flip-Flop으로 구성되어 있다. 각 핀의 할당은 아래 그림과 같다. 진리표는 아래와 같다.

PIN CONNECTIONS (top view) TRUTH TABLE

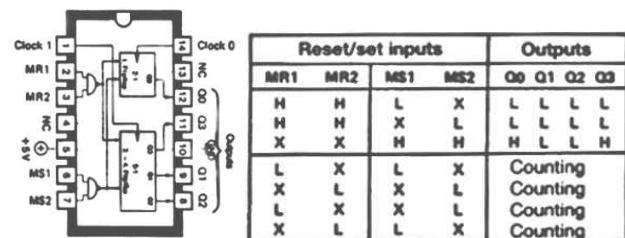


INPUTS					OUTPUTS		FUNCTION
CLR	\bar{P}_R	J	K	\bar{C}_K	Q	\bar{Q}	
L	H	X	X	X	L	H	CLEAR
H	L	X	X	X	H	L	PRESET
L	L	X	X	X	H	H	
H	H	L	L	\bar{L}	Q_n	\bar{Q}_n	NO CHANGE
H	H	L	H	\bar{L}	L	H	
H	H	H	L	\bar{L}	H	L	
H	H	H	H	\bar{L}	\bar{Q}_n	Q_n	TOGGLE
H	H	X	X	\bar{L}	Q_n	\bar{Q}_n	NO CHANGE

X: Don't Care

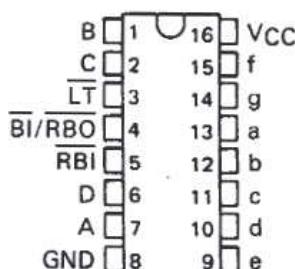
- 7490

7490은 4개의 F/F으로 구성되어, BCD Counter로 동작시킬 수 있다. Q0 핀과 Clock1 핀을 연결하면 BCD Counter로 동작하게 된다. MR, MS 펈을 이용하여 F/F을 작동한다. MR1, MR2 혹은 MS1, MS2가 모두 H인 경우에는 Counter로 동작하지 않게 된다.

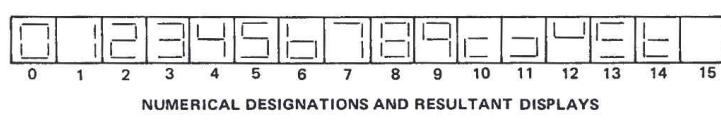


- SN7447A

SN7447A는 BCD Counter를 통해 얻은 이진 코드를 7-Segment에 나타내도록 동작한다. 아래 진리표에서 확인할 수 있듯이 3, 4, 5 펈은 항상 H로 유지하여야 한다.



DECIMAL OR FUNCTION	INPUTS					\bar{BI}/RBO	OUTPUTS							NOTE	
	L	T	RBI	D	C	B	A	a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	ON	ON	ON	
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON							
9	H	X	H	L	L	H	H	ON	ON	OFF	ON	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	ON	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF							
8I	X	X	X	X	X	X	L	OFF	2						
RBI	H	L	L	L	L	L	L	OFF	3						
LT	L	X	X	X	X	X	H	ON	4						



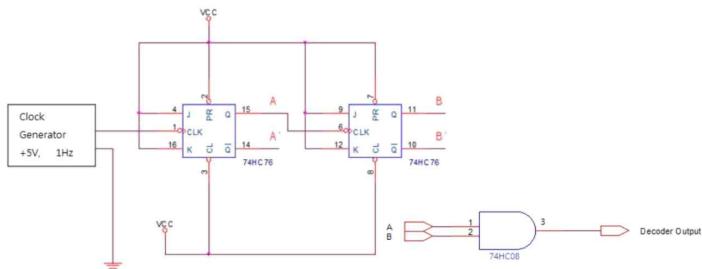
NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS

SEGMENT IDENTIFICATION

4. 실험과정 및 예상결과

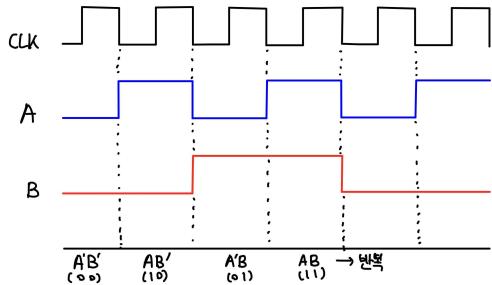
-1) 실험 1 : 2단 2진 Counter - 비동기식 Counter

74HC76과 74HC08을 이용하여 아래와 같은 회로를 구성한다. +5V, 1Hz의 클럭 신호를 연결한다. 각 출력들($A'B'$, AB' , $A'B$, AB)을 74HC08(AND Gate)에 연결한다. ANG Gate의 출력을 확인한다.



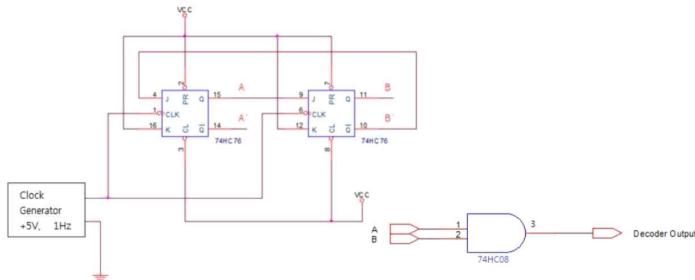
실험 1 예상 결과

첫 번째 F/F은 V_{CC} 가 JK로 입력되고, 버블로 연결되어있으므로 CLK가 Falling Edge마다 토글된다. 두 번째 F/F 또한 V_{CC} 가 JK로 입력되므로 클럭 신호인 A가 Falling Edge일 때마다 토글된다. 이를 그림으로 나타내면 아래와 같다 (두 F/F의 초기 출력이 0인 경우). 아래 그림과 같이, $A'B'$, AB' , $A'B$, AB 이 반복되는 것을 확인할 수 있다. 지연 시간은 나타내지 않았다.



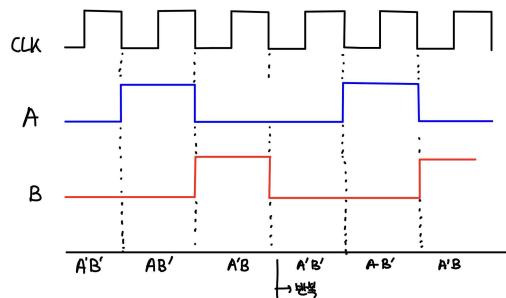
-2) 실험 2 : 3진 Counter - 동기식 Counter

74HC76과 74HC08을 이용하여 아래와 같은 회로를 구성한다. +5V, 1Hz의 클럭 신호를 연결한다. 실험 1과 다르게, 두 F/F이 같은 클럭 신호를 입력받게 된다. 각 출력($A'B'$, AB' , $A'B$)을 74HC08에 연결하여 값을 확인한다.



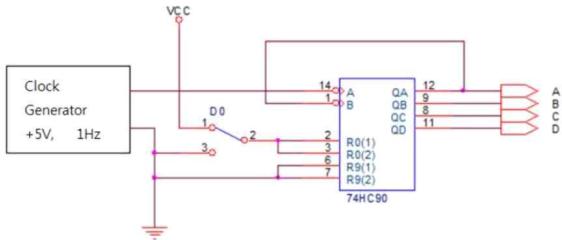
실험 2 예상 결과

F/F의 초기 값이 00인 경우, 첫 번째 F/F의 J에는 $B'=1$ 이 들어오고 있고, 클럭(버블로 연결)이 Falling Edge일 때 $JK = 11$ 이므로 A는 1이 된다. 다음 Falling Edge에서, 첫 번째 F/F의 JK는 여전히 11이므로 토글되고, 두 번째 F/F은 JK가 11이 되므로 토글된다. 다음 Falling Edge에서, 첫 번째 F/F의 JK는 01이므로 0이 출력된다. 두 번째 F/F은 JK로 01이 들어가 마찬가지로 0이 출력된다. 그 다음 Falling Edge는 처음과 같은 상태이므로 이후로는 위의 과정이 반복된다. 이를 그림으로 나타내면 아래와 같다.



-3) 실험 3-1 : 7-segment 표시기를 갖는 BCD Counter

7490을 이용하여 아래와 같은 회로를 구성하고, +5V, 1Hz의 클럭 신호를 연결한다. 회로를 구성할 때, 2, 3번 핀을 스위치를 이용하여 GND에 연결한다. 출력 QA, QB, QC, QD를 확인한다. 조사한 것과 같이, R0와 R9에 0을 인가하고 Q0(QA)를 1번 핀(B)에 연결하면 BCD Counter로 동작한다.



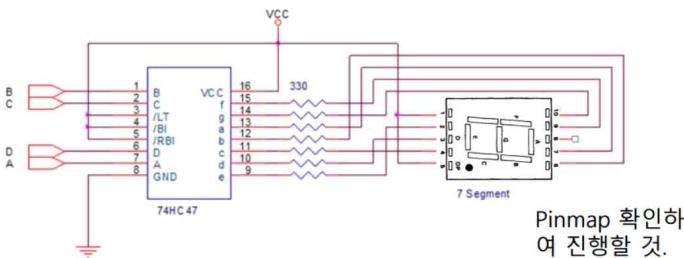
실험 3-1 예상 결과

실험 전 2, 3번 핀(R0 핀)에 H를 인가하여 QA~QD가 L로 초기화하였다고 가정한다. 클럭 입력이 버블로 연결되었으므로, Falling Edge마다 Count된다. 조사한 것에 따르면, BCD Counter는 0부터 9까지 count 동작을 하므로 각 Falling Edge에 따른 출력은 아래와 같다.

클럭 Falling Edge	QD	QC	QB	QA
1번째	L	L	L	L
2번째	L	L	L	H
3번째	L	L	H	L
4번째	L	L	H	H
5번째	L	H	L	L
6번째	L	H	L	H
7번째	L	H	H	L
8번째	L	H	H	H
9번째	H	L	L	L
10번째	H	L	L	H

-4) 실험 3-2 : 7-segment 표시기를 갖는 BDC Counter

7447을 이용하여 아래와 같은 회로를 구성한다. 실험 3-1의 출력(BCD)을 7447에 연결한다. 실험 3-1의 2진 값을 10진수 0~9를 확인한다.

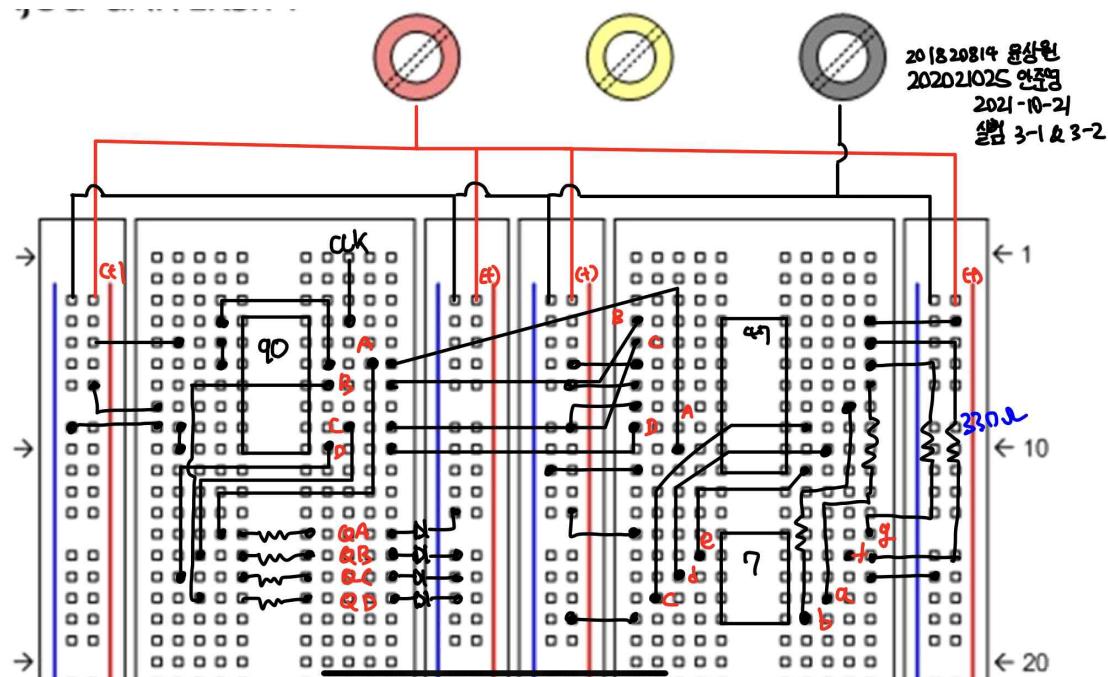
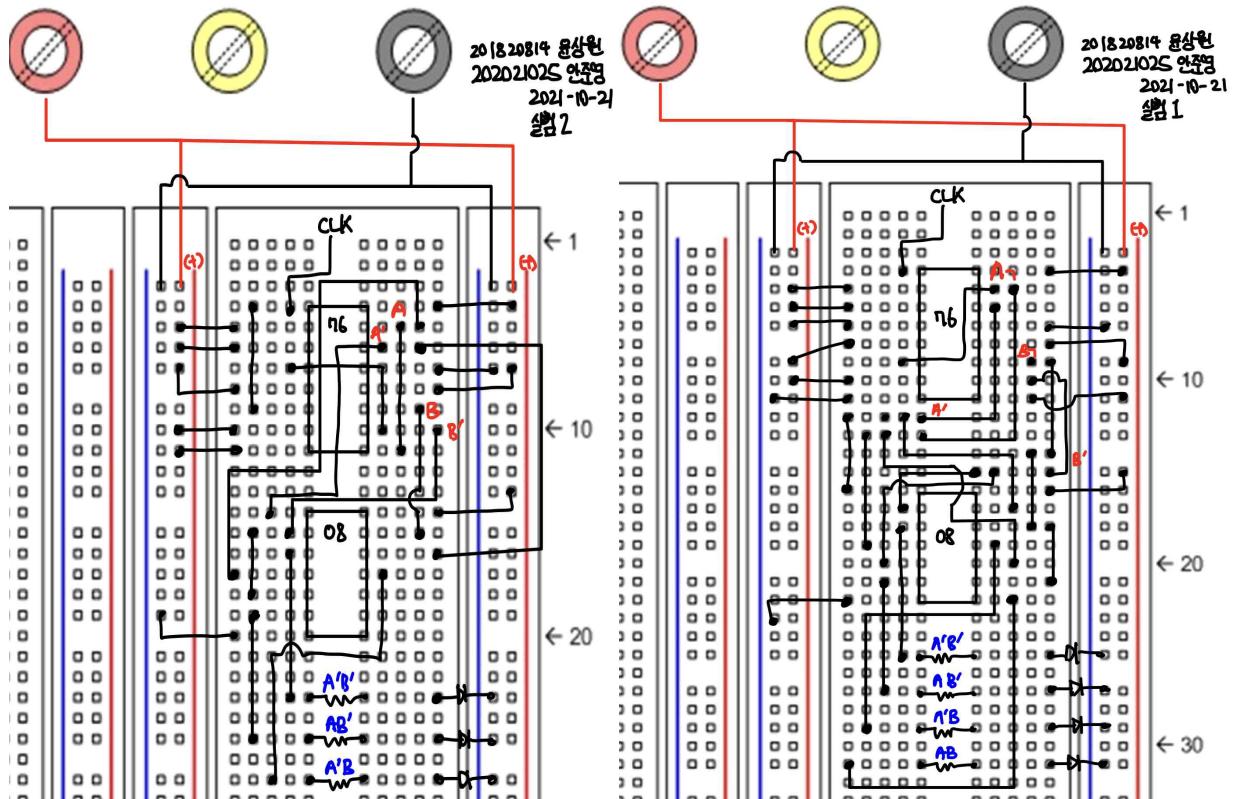


실험 3-2 예상 결과

실험에서 사용한 7447을 통하여 BCD 코드를 디코딩하여 7-segment에 전달된다. 따라서 7-segment에서 3-1의 이진 결과값을 10진수로 변환한 값을 확인할 수 있을 것이다.

클럭 Falling Edge	QD	QC	QB	QA	
1번째	L	L	L	L	0
2번째	L	L	L	H	1
3번째	L	L	H	L	2
4번째	L	L	H	H	3
5번째	L	H	L	L	4
6번째	L	H	L	H	5
7번째	L	H	H	L	6
8번째	L	H	H	H	7
9번째	H	L	L	L	8
10번째	H	L	L	H	9

5. 회로결선도



참고문헌

실험 8 강의노트

- http://www.ktword.co.kr/word/abbr_view.php?nav=2&id=770&m_temp1=5979 :비동기식 카운터
- http://www.ktword.co.kr/word/abbr_view.php?m_temp1=5980 :동기식 카운터
- <https://pdf1.alldatasheet.co.kr/datasheet-pdf/view/15524/PHILIPS/74HC08.html>
- <https://pdf1.alldatasheet.co.kr/datasheet-pdf/view/23128/STMICROELECTRONICS/M74HC76.html>
- <https://pdf1.alldatasheet.co.kr/datasheet-pdf/view/82082/ETC/7490.html>
- <https://pdf1.alldatasheet.co.kr/datasheet-pdf/view/27418/TI/SN7447A.html>