

REPORT

IEEE Code of Ethics

(출처: <http://www.ieee.org>)

We, the members of the IEEE, in recognition of the importance of our technologies in affecting the quality of life throughout the world, and in accepting a personal obligation to our profession, its members and the communities we serve, do hereby commit ourselves to the highest ethical and professional conduct and agree:

1. to accept responsibility in making decisions consistent with the safety, health and welfare of the public, and to disclose promptly factors that might endanger the public or the environment;
2. to avoid real or perceived conflicts of interest whenever possible, and to disclose them to affected parties when they do exist;
3. to be honest and realistic in stating claims or estimates based on available data;
4. to reject bribery in all its forms;
5. to improve the understanding of technology, its appropriate application, and potential consequences;
6. to maintain and improve our technical competence and to undertake technological tasks for others only if qualified by training or experience, or after full disclosure of pertinent limitations;
7. to seek, accept, and offer honest criticism of technical work, to acknowledge and correct errors, and to credit properly the contributions of others;
8. to treat fairly all persons regardless of such factors as race, religion, gender, disability, age, or national origin;
9. to avoid injuring others, their property, reputation, or employment by false or malicious action;
10. to assist colleagues and co-workers in their professional development and to support them in following this code of ethics.

위 IEEE 윤리헌장 정신에 입각하여 report를 작성하였음을 서약합니다.

<실험 6 예비보고서>

학 부: 전자공학부

제출일: 2021.10.08

과목명: 논리회로실험

교수명: 박성진

문 반: 3

학 번: 201820814, 202021025

성 명: 윤상원, 안준영

실험 6 예비보고서

1. 실험 목적

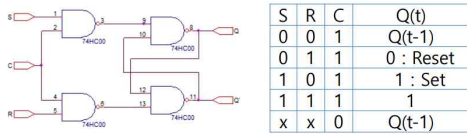
여러 종류의 flip-flop을 구성하여 그 동작 특성을 알아본다.

2. 실험 이론

- 래치(Latch)

래치는 클럭 입력을 갖지 않는 2진 기억소자다. 기억 및 귀환 요소가 있어서 플립플롭과 유사하지만 클럭 입력이 없으므로 비동기식 순서 논리 회로 소자다. 경우에 따라 래치의 입력을 반영할 시점을 조절할 필요가 있다. 즉, 입력 신호가 들어와도 입력 시기를 조절하여 출력의 상태변화가 없도록 하는 제어 신호가 있고, 이것으로 입력을 무시하거나 출력에 반영할 수 있다. 이때 사용하는 신호가 게이트(gate, 또는 enable)이다. E 신호가 없을 경우는 입력의 상태가 바로 반영된다.

대표적으로 입력 S(set, 출력1)와 R(reset, 출력0)을 사용하는 S-R 래치가 있다. S-R 래치의 진리표는 아래와 같다.



다음으로 D 래치(with enable)에서는 SR 입력이 01 또는 10만이 존재한다. 11과 00에서는 Q가 유지된다. 진리표는 아래와 같다.

E/C	D	Q	\bar{Q}	기능
0	X	Q_{prev}	\bar{Q}_{prev}	상태유지
1	0	0	1	Reset
1	1	1	0	Set

JK 래치에서는 JK가 11이면 출력이 유지된다. 아래와 같은 진리표를 갖는다.

J	K	C	Q(t)
0	0	1	Q(t-1)
0	1	1	0 : Reset
1	0	1	1 : Set
1	1	1	Q(t-1)' : Toggle
x	x	0	Q(t-1)

- 플립플롭(flip-flop)

플립플롭은 래치와 달리 클럭을 입력받는 2진 기억소자다. 클럭 입력에 의해서만 반응하며 출력 상태를 바꾸는 동기식 순서 논리 회로이다. 현재 상태 및 입력뿐만 아니라, 클럭에 의해서도 출력이 결정된다. 플립플롭에는 SR 플립플롭과 D 플립플롭, 그리고 JK 플립플롭 등이 있다.

RS 플립플롭은 C가 0에서 1이 되는 rising edge에서 S와 R의 입력이 반영되어 그 출력이 Q에 나타난다. 진리표는 아래와 같다.

S	R	Clk	Q(t)
0	0		Q(t-1)
0	1		0 : Reset
1	0		1 : Set
1	1		1

D 플립플롭은 입력 D의 값을 클럭의 엣지에서 Q에 반영한다. 엣지가 발생하지 않는 시간에서는 Q가 유지된다. 진리표는 아래와 같다.

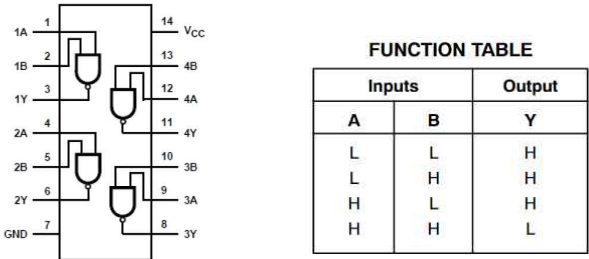
Clock	D	Q _{next}
상승 엣지(Rising edge)	0	0
상승 엣지(Rising edge)	1	1
엣지 없음	X	Q

JK 플립플롭에서 J, K는 각각 이전에서의 R, S와 같다. JK가 00, 01, 10이면 RS 플립플롭과 동일하지만 JK가 11이면 Q가 반전된다.

3. 실험 장비

- 74HC00

74HC00 IC는 NAND 연산을 동작한다. 74HC00은 14개의 핀, 4개의 NAND gate로 구성되어있다. 7번과 14번 핀은 74HC00 작동을 위해 전원을 연결하는 핀이다. 1, 2번 핀을 input으로 3번 핀으로 출력된다. 마찬가지로 4, 5번 핀은 6번 핀, 10, 9번 핀은 8번, 13, 12번 핀은 11번 핀으로 각각 input과 output이 할당된다.



DC CHARACTERISTICS (Voltages Referenced to GND)

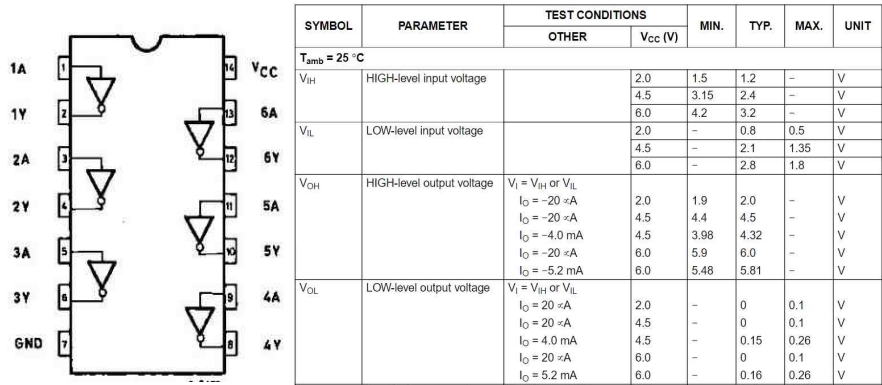
Symbol	Parameter	Condition	V _{CC} (V)	Guaranteed Limit			Unit
				-55 to 25°C	±85°C	±125°C	
V _{IH}	Minimum High-Level Input Voltage	V _{out} = 0.1V or V _{CC} - 0.1V I _{out} ≤ 20μA	2.0 3.0 4.5 6.0	1.50 2.10 3.15 4.20	1.50 2.10 3.15 4.20	1.50 2.10 3.15 4.20	V
V _{IL}	Maximum Low-Level Input Voltage	V _{out} = 0.1V or V _{CC} - 0.1V I _{out} ≤ 20μA	2.0 3.0 4.5 6.0	0.50 0.90 1.35 1.80	0.50 0.90 1.35 1.80	0.50 0.90 1.35 1.80	V
V _{OH}	Minimum High-Level Output Voltage	V _{in} = V _{IH} or V _{IL} I _{out} ≤ 20μA	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V _{in} = V _{IH} or V _{IL} I _{out} ≤ 2.4mA I _{out} ≤ 4.0mA I _{out} ≤ 5.2mA	3.0 4.5 6.0	2.48 3.98 5.48	2.34 3.84 5.34	2.20 3.70 5.20	
V _{OL}	Maximum Low-Level Output Voltage	V _{in} = V _{IH} or V _{IL} I _{out} ≤ 20μA	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V _{in} = V _{IH} or V _{IL} I _{out} ≤ 2.4mA I _{out} ≤ 4.0mA I _{out} ≤ 5.2mA	3.0 4.5 6.0	0.26 0.26 0.26	0.33 0.33 0.33	0.40 0.40 0.40	
I _{in}	Maximum Input Leakage Current	V _{in} = V _{CC} or GND	6.0	±0.1	±1.0	±1.0	μA
I _{CC}	Maximum Quiescent Supply Current (per Package)	V _{in} = V _{CC} or GND I _{out} = 0μA	6.0	2.0	20	40	μA

AC CHARACTERISTICS (C_L = 50 pF, Input t_r = t_f = 6 ns)

Symbol	Parameter	V _{CC} (V)	Guaranteed Limit			Unit
			-55 to 25°C	±85°C	±125°C	
t _{PLH} , t _{PHL}	Maximum Propagation Delay, Input A or B to Output Y (Figures 1 and 2)	2.0 3.0 4.5 6.0	75 30 15 13	95 40 19 16	110 55 22 19	ns
t _{TLH} , t _{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 2)	2.0 3.0 4.5 6.0	75 27 15 13	95 32 19 16	110 36 22 19	ns
C _{in}	Maximum Input Capacitance		10	10	10	pF

- 74HC04

74HC04는 NOT 연산을 동작한다. 6개의 NOT gate로 구성되어있다. 7, 14번 핀은 작동을 위해 전원을 연결하는 핀이다. 1번 핀은 input이고 2번 핀은 그에 대한 output이다. 마찬가지로 3번은 4번, 5번은 6번, 9번은 8번, 11번은 10번, 13번은 12번으로 각각 input과 output이 할당된다.



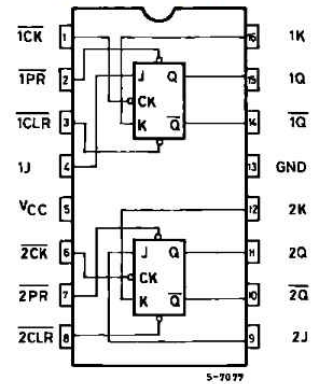
SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V _{CC} (V)				
T _{amb} = 25 °C							
t _{PHL} /t _{PLH}	propagation delay nA to nY	see Figs 6 and 7	2.0	–	25	85	ns
			4.5	–	9	17	ns
			6.0	–	7	14	ns
t _{THL} /t _{TLH}	output transition time	see Figs 6 and 7	2.0	–	19	75	ns
			4.5	–	7	15	ns
			6.0	–	6	13	ns

INPUT	OUTPUT
nA	nY
L	H
H	L

- 74HC76

74HC76은 2개의 JK Flip-Flop으로 구성되어있다. 각 핀의 할당은 아래 그림과 같다. 진리표는 아래와 같다.

PIN CONNECTIONS (top view)



TRUTH TABLE

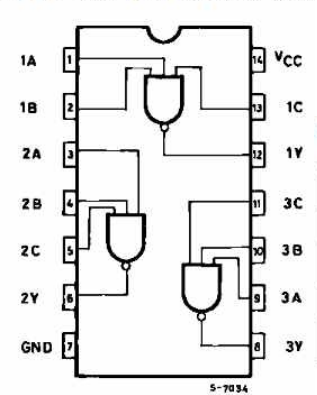
INPUTS					OUTPUTS		FUNCTION
CLR	PR	J	K	CK	Q	\overline{Q}	
L	H	X	X	X	L	H	CLEAR
H	L	X	X	X	H	L	PRESET
L	L	X	X	X	H	H	
H	H	L	L	\downarrow	Q_n	\overline{Q}_n	NO CHANGE
H	H	L	H	\downarrow	L	H	
H	H	H	L	\downarrow	H	L	
H	H	H	H	\downarrow	\overline{Q}_n	Q_n	TOGGLE
H	H	X	X	\uparrow	Q_n	\overline{Q}_n	NO CHANGE

X: Don't Care

- 74HC10

74HC10은 3개의 3-input NAND Gate로 구성되어있다. 각 핀에 대한 할당과 진리표는 아래와 같다.

PIN CONNECTIONS (top view)



TRUTH TABLE

A	B	C	Y
L	X	X	H
X	L	X	H
X	X	L	H
H	H	H	L

- 74HC74

74HC74는 2개의 D Flip-flop으로 구성되어있다. 각 핀에 대한 할당과 진리표는 아래와 같다.

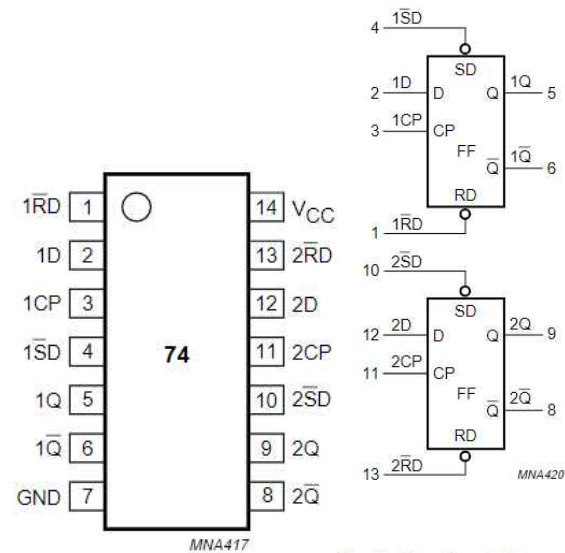


Table 1 See note 1

INPUT				OUTPUT	
SD	RD	CP	D	Q	\overline{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H

Table 2 See note 1

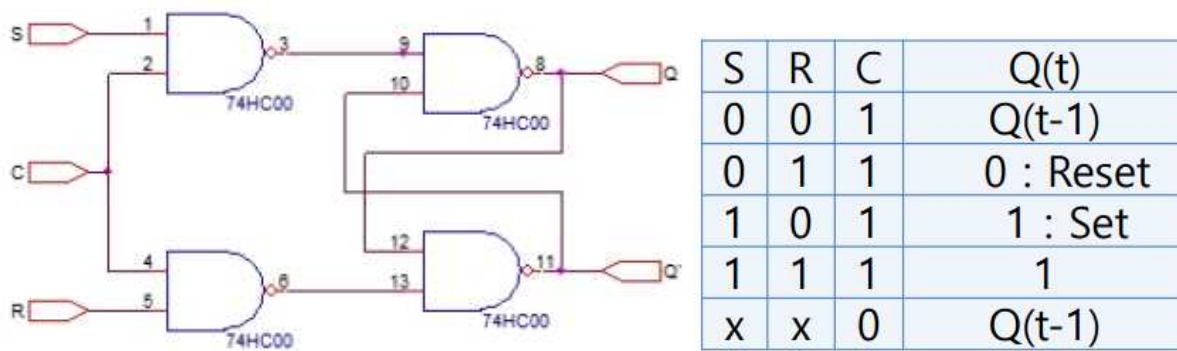
INPUT				OUTPUT	
SD	RD	CP	D	Q_{n+1}	\overline{Q}_{n+1}
H	H	\uparrow	L	L	H
H	H	\uparrow	H	H	L

Fig.5 Functional diagram.

4. 실험과정 및 예상결과

- 실험 1 : RS Latch with Enable

아래와 같이 회로를 구성한 후 표에 따라 입력값을 대입한 후 출력이 이론값과 동일한지 확인한다.

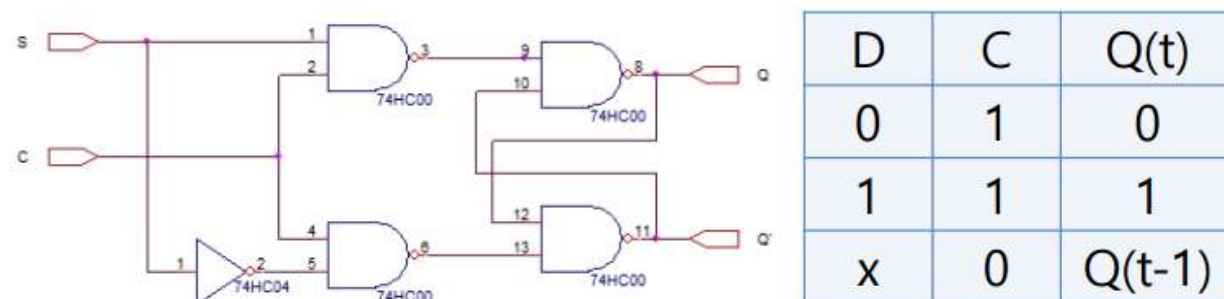


실험 1 예상결과

조사한 RS Latch(Enable 신호가 있을 때)에 따르면 C가 1(High)인 경우에만 입력이 출력에 반영된다. C가 변화가 없다면 출력 또한 유지될 것이며, C가 1이 된다면 SR이 00일 때 출력 유지, 01일 때 0(reset), 10이면 1(set), 11이면 1(허용하지 않음)이 될 것이다.

- 실험 2 : D Latch with Enable

아래와 같이 회로를 구성한 후 표에 따라 입력값을 대입하여 출력이 이론값과 동일한지 확인한다.

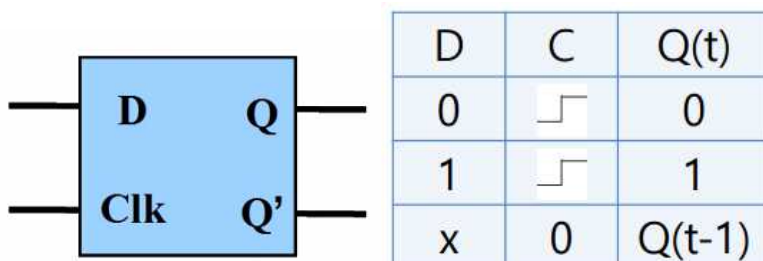


실험 2 예상결과

조사한 D Latch with Enable에 따르면 C가 0이면 출력이 유지되고, 1일 때 D가 0인 경우는 출력이 0, D가 1인 경우는 출력이 1이 될 것이다.

- 실험 3 : D F/F

74HC74를 이용하여 아래와 같이 D 플립플롭을 구성하고, 표에 따라 입력값을 대입하여 출력을 확인한다.



실험 3 예상결과

조사한 D Flip-flop에 따르면 rising edge일 때 D가 0이면 출력도 0, D가 1이면 출력도 1이다. 엣지가 없는 경우에는 출력이 유지된다.

- 실험 4 : JK Latch with Enable

아래와 같이 회로를 구성한 후 표에 따라 입력값을 대입하여 출력이 이론값과 동일한지 확인한다.

The circuit diagram shows a JK Latch with Enable implemented using two 74HC10 (hex inverters) and two 74HC00 (NAND gates). Inputs J, K, and C are connected to the inputs of the NAND gates. The output Q is connected to the input of one of the 74HC00 NAND gates, and the output Q' is connected to the input of the other 74HC00 NAND gate. The enable input C is connected to the inputs of both 74HC10 inverters. The outputs of the 74HC10 inverters are connected to the inputs of the 74HC00 NAND gates. The outputs of the 74HC00 NAND gates are Q and Q'.

J	K	C	Q(t)
0	0	1	Q(t-1)
0	1	1	0 : Reset
1	0	1	1 : Set
1	1	1	Q(t-1)' : Toggle
x	x	0	Q(t-1)

실험 4 예상결과

조사한 JK Latch with Enable에 따르면 C가 1인 경우에 JK가 00이면 출력은 유지되고, 01이면 출력은 0, 10이면 출력은 1이 된다. JK가 11인 경우에는 이전 출력의 Toggle(보수) 처리되어 출력이 결정된다. C가 0인 경우에는 출력이 유지된다.

- 실험 5 : JK F/F

아래와 같이 회로를 구성한 후 표에 따라 입력값을 대입하여 출력이 이론값과 동일한지 확인한다.

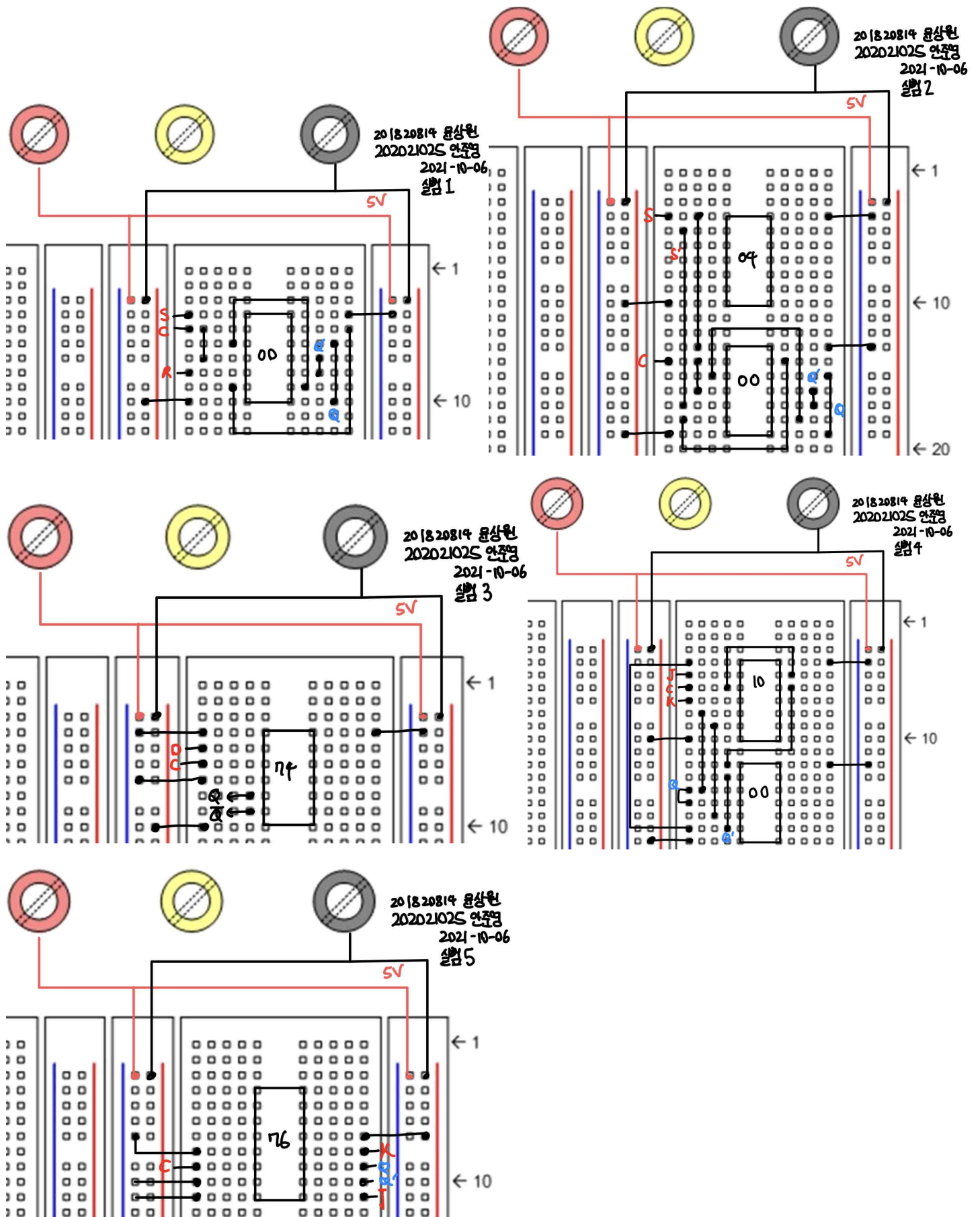
The circuit diagram shows a JK Flip-flop implemented using a 74HC76 chip. Inputs J, K, and C are connected to the J, K, and CLK inputs of the 74HC76 chip. The output Q is connected to the Q output of the 74HC76 chip, and the output Q' is connected to the Q' output of the 74HC76 chip. The 74HC76 chip is powered by VCC and ground.

J	K	C	Q(t)
0	0		Q(t-1)
0	1		0 : Reset
1	0		1 : Set
1	1		Q(t-1)' : Toggle
x	x	0	Q(t-1)

실험 5 예상결과

조사한 JK Flip-flop에 따르면 C가 rising edge일 때 JK가 00이면 출력 유지, 01이면 출력은 0, 10이면 출력은 1, 11이면 이전 출력의 Toggle(보수) 처리되어 출력이 결정된다. C가 0이면 출력이 유지된다.

5. 회로결선도



참고문헌

<http://www.ktword.co.kr/test/view/view.php?no=4714>

위키백과: 플립플롭, 래치

[https://ko.wikipedia.org/wiki/%ED%94%8C%EB%A6%BD%ED%94%8C%EB%A1%AD#%EB%9E%98%EC%B9%98\(latch\)](https://ko.wikipedia.org/wiki/%ED%94%8C%EB%A6%BD%ED%94%8C%EB%A1%AD#%EB%9E%98%EC%B9%98(latch))

74HC00

<https://pdf1.alldatasheet.co.kr/datasheet-pdf/view/351452/ONSEMI/74HC00.html>

74HC04

<https://pdf1.alldatasheet.co.kr/datasheet-pdf/view/15523/PHILIPS/74HC04.html>

74HC76

<https://pdf1.alldatasheet.co.kr/datasheet-pdf/view/23128/STMICROELECTRONICS/M74HC76.html>

74HC10

<https://pdf1.alldatasheet.co.kr/datasheet-pdf/view/23020/STMICROELECTRONICS/M74HC10.html>

74HC74

<https://pdf1.alldatasheet.com/datasheet-pdf/view/15659/PHILIPS/74HC74.html>