

REPORT

IEEE Code of Ethics

(출처: <http://www.ieee.org>)

We, the members of the IEEE, in recognition of the importance of our technologies in affecting the quality of life throughout the world, and in accepting a personal obligation to our profession, its members and the communities we serve, do hereby commit ourselves to the highest ethical and professional conduct and agree:

1. to accept responsibility in making decisions consistent with the safety, health and welfare of the public, and to disclose promptly factors that might endanger the public or the environment;
2. to avoid real or perceived conflicts of interest whenever possible, and to disclose them to affected parties when they do exist;
3. to be honest and realistic in stating claims or estimates based on available data;
4. to reject bribery in all its forms;
5. to improve the understanding of technology, its appropriate application, and potential consequences;
6. to maintain and improve our technical competence and to undertake technological tasks for others only if qualified by training or experience, or after full disclosure of pertinent limitations;
7. to seek, accept, and offer honest criticism of technical work, to acknowledge and correct errors, and to credit properly the contributions of others;
8. to treat fairly all persons regardless of such factors as race, religion, gender, disability, age, or national origin;
9. to avoid injuring others, their property, reputation, or employment by false or malicious action;
10. to assist colleagues and co-workers in their professional development and to support them in following this code of ethics.

위 IEEE 윤리헌장 정신에 입각하여 report를 작성하였음을 서약합니다.

<실험7. 예비보고서 - Output Stage>

학 부: 전자공학과

제출일: 2022.04.24

과목명: 전자회로실험

교수명: 이 채 우 교수님

분 반: 목 8.5~11.5

학 번: 202021025 2분반 13조

성 명: 안준영

1. 실험목적

Class-A output stage, Class-B output stage, Class-AB output stage를 설계하여 그 동작을 확인한다.

2. 실험 이론 및 예상 결과

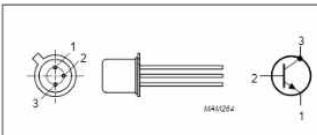
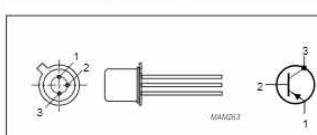
2.1 실험 이론 및 예상 결과

	<p>옆 회로는 Class-A output stage 회로이다. 입력 신호 대비 출력 신호가 선형으로 증가하는 형태를 띤다는 장점이 있지만, 그 효율이 좋지 않다는 단점 또한 존재한다. E 점의 바이어스를 항상 일정하게 유지시켜 주면, 회로도 상에서 아래에 위치하는 BJT 트랜지스터에 흐르는 전류가 항상 일정하게 된다. 증폭을 담당하는 트랜지스터는 Q1이다. Q1은 emitter follower로 동작하게 되고, V_{BE1}이 V_{TH}과 같게 되기 때문에 입력 신호와 출력 신호가 선형적인 관계에 놓이게 된다.</p>
--	--

	<p>옆 회로는 Class-B output stage이다. S 지점을 통해 Sin 신호가 입력되면, 양의 신호와 음의 신호가 분리되어 증폭된다. 입력 신호가 양에서 음으로 떨어지는 구간에서, 한 트랜지스터는 꺼지고 한 트랜지스터는 동작한다. 이러한 과정 속에서 distortion이 많이 발생한다는 단점이 존재한다. 하지만 power 효율이 높다는 장점 또한 존재한다. 만약 입력 전압이 충분히 큰 양의 전압을 가진다면 Q1이 이미터 플로워로 동작하고, $V_{out} = V_{in} - V_{BE1}$이고 Q2는 be가 역으로 바이어스 되었기에 꺼진다. 반대로, 입력 전압이 충분히 작은 음의 전압을 가진다면, 위의 반대 과정을 거쳐 $V_{out} = V_{in} + V_{BE2}$이다. Q1의 동작을 위해선 $V_{in} > V_{out}$이고, Q2의 동작을 위해선 $V_{in} < V_{out}$이다. 또한, 만약 V_{in}이 0V라면, V_{out}도 0이다. 만약 $V_{out} > 0$이면, Q1으로부터 V_{out}/R_L의 전류가 발생하는데, 이때 $V_{BE1} > 0$이므로 $V_{out} = V_{in} - V_{BE1} < 0$이다. 즉, $V_{in} = 0$이면 두 트랜지스터가 꺼지는 편, 이 구간을 dead zone이라고 한다. dead zone은 $V_{in} = 0$ 근처 구간에서 두 트랜지스터가 작동하지 않는 구간이다.</p>
--	---

	<p>옆 회로는 Class-AB output stage이다. 이는 Class-A output stage의 장점(선형)과 Class-B output stage의 장점(효율)을 동시에 가져가기 위한 회로이다.</p>
--	--

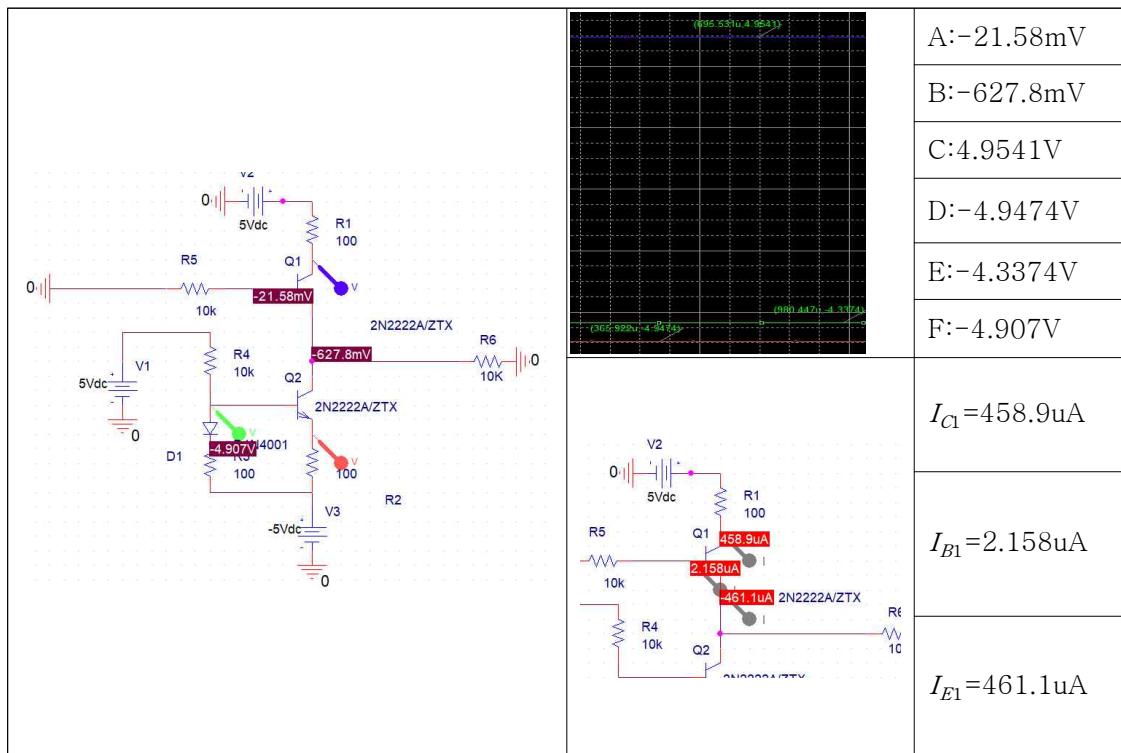
3. 실험 도구 및 Datasheet

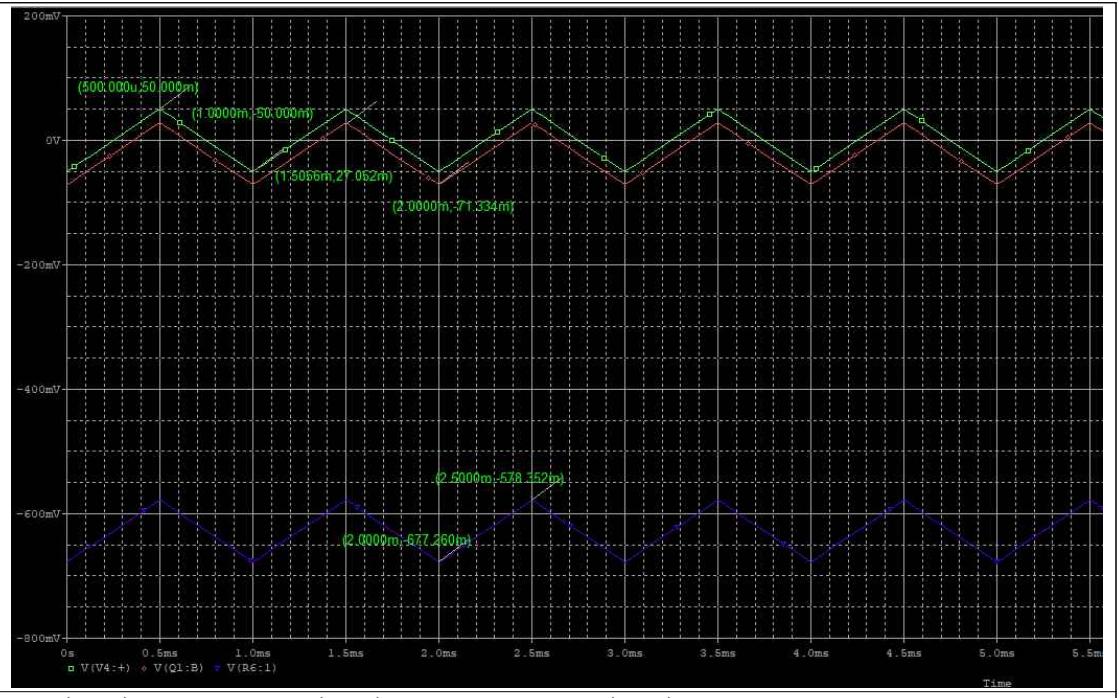
2N222 2	PINNING							
	<table border="1"> <thead> <tr> <th>PIN</th><th>DESCRIPTION</th></tr> </thead> <tbody> <tr> <td>1</td><td>emitter</td></tr> <tr> <td>2</td><td>base</td></tr> <tr> <td>3</td><td>collector, connected to case</td></tr> </tbody> </table>  <p>Fig.1 Simplified outline (TO-18) and symbol.</p>	PIN	DESCRIPTION	1	emitter	2	base	3
PIN	DESCRIPTION							
1	emitter							
2	base							
3	collector, connected to case							
2N290 7	PINNING							
	<table border="1"> <thead> <tr> <th>PIN</th><th>DESCRIPTION</th></tr> </thead> <tbody> <tr> <td>1</td><td>emitter</td></tr> <tr> <td>2</td><td>base</td></tr> <tr> <td>3</td><td>collector, connected to case</td></tr> </tbody> </table>  <p>Fig.1 Simplified outline (TO-18) and symbol.</p>	PIN	DESCRIPTION	1	emitter	2	base	3
PIN	DESCRIPTION							
1	emitter							
2	base							
3	collector, connected to case							

저항(100Ω(4), 10kΩ(2), 1kΩ)

4. Pspice simulation 및 이론과 비교

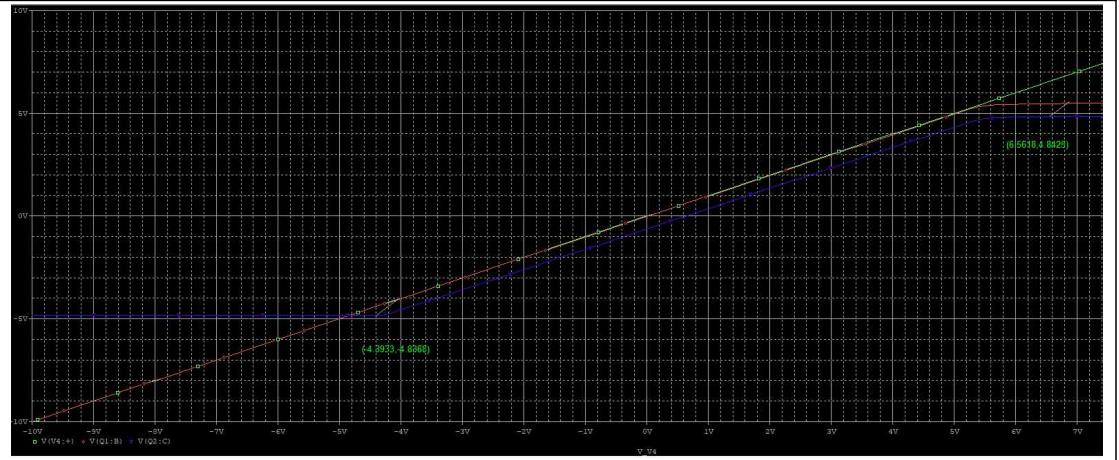
4.1 실험1) Class-A output stage





$V_S(P-P)=100\text{mV}$, $V_A(P-P)=98.386\text{mV}$, $V_B(P-P)=98.935\text{mV}$

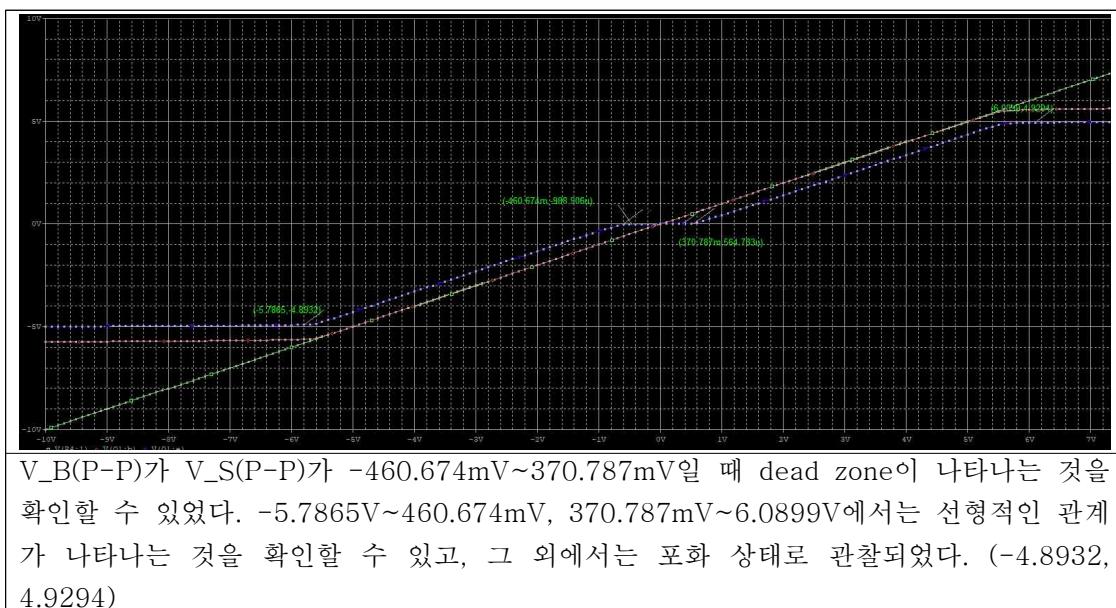
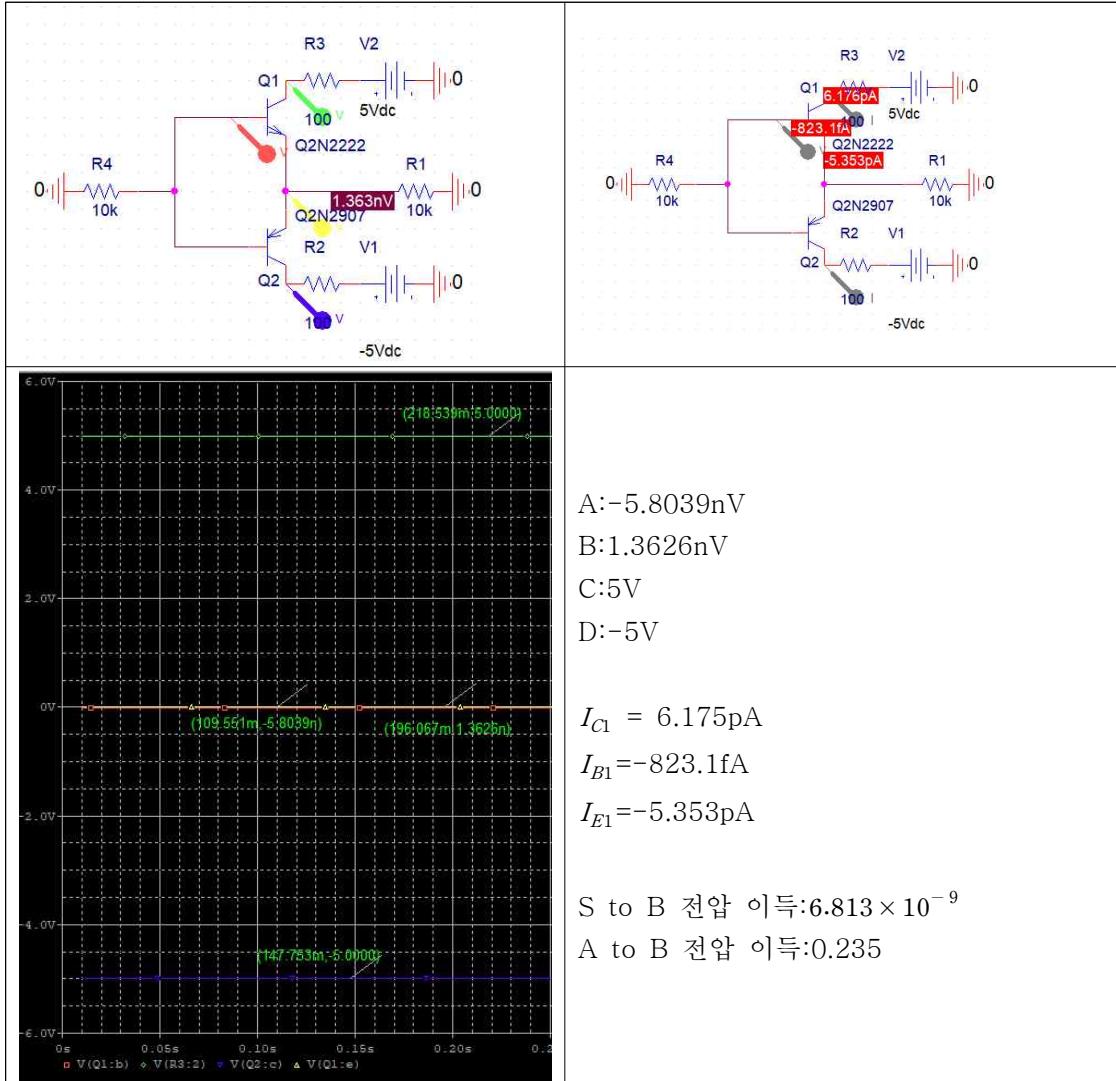
S to B 전압 이득 : 0.98386, A to B 전압이득 : 1.0056



입력 전압($V_S(P-P)$)을 -10V 부터 10V 까지 증가시켰을 때(DC Sweep), 입력 전압이 -4.3933V 에서 6.5618V 까지 $V_B(P-P)$ 가 -4.8368V 부터 4.8425V 까지 선형으로 증가하는 것을 확인할 수 있다.

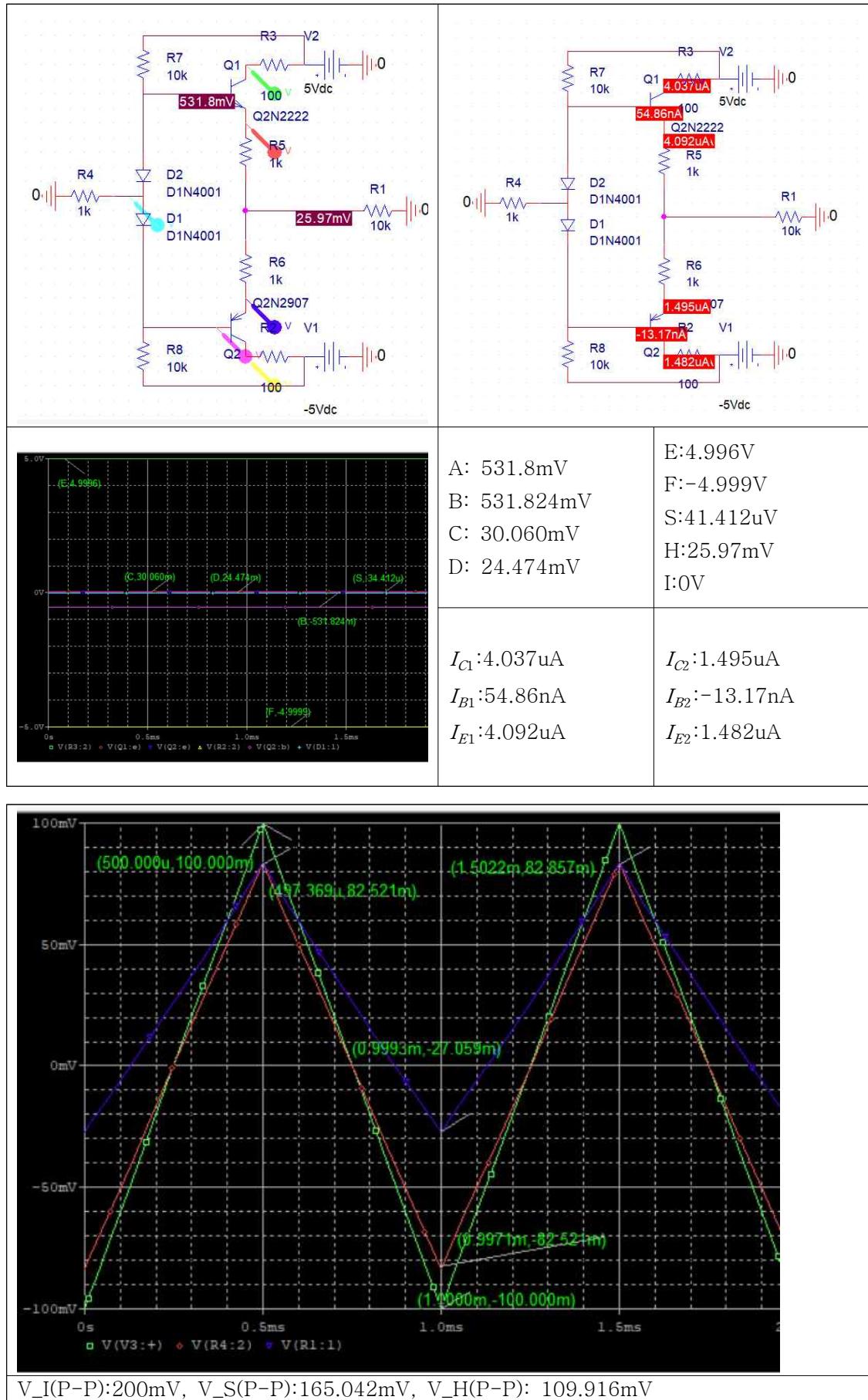
이론과 같이, 입출력 관계가 선형 관계임을 확인할 수 있다.

4.2 실험2) Class-B output stage



이론과 같이, 입력 전압이 0 부근일 때 dead zone이 나타나는 것을 확인할 수 있었다.

4.3 실험3) Class-AB output stage





입력 전압이 $-5.5955V \sim 5.5955V$ 일 때 출력 전압 V_H 가 선형으로 증가하는 것을 확인하였다. 그 외의 범위에서는 출력이 포화되었다.(-3.8687V, 3.9326V)

이론과 같이 두 개의 다이오드를 Class-B output stage에 연결하여 dead zone이 제거되는 것을 확인할 수 있다.

5. 실험 계획 및 과정

5.1 Class-A output stage

	<p>S 단자를 GND에 연결하고, Supply 전압을 공급한다. 각 노드의 전압을 측정하고, Q1에 관한 전류를 측정한다.</p> <p>로드 저항 $10k\Omega$을 연결하고, S 단자에 입력 신호 $0.1V_{pp}$, $1kHz$인 삼각파를 입력한다. 노드 S, A, B의 전압을 측정하고, S to B 전압이득, A to B 전압이득을 구한다.</p> <p>입력 신호의 크기를 증가시키면서 S와 B 지점의 피크 전압을 측정한다. 입출력 관계를 그래프로 나타낸다. 출력 포화 시의 입출력 전압을 표시한다.</p>
--	--

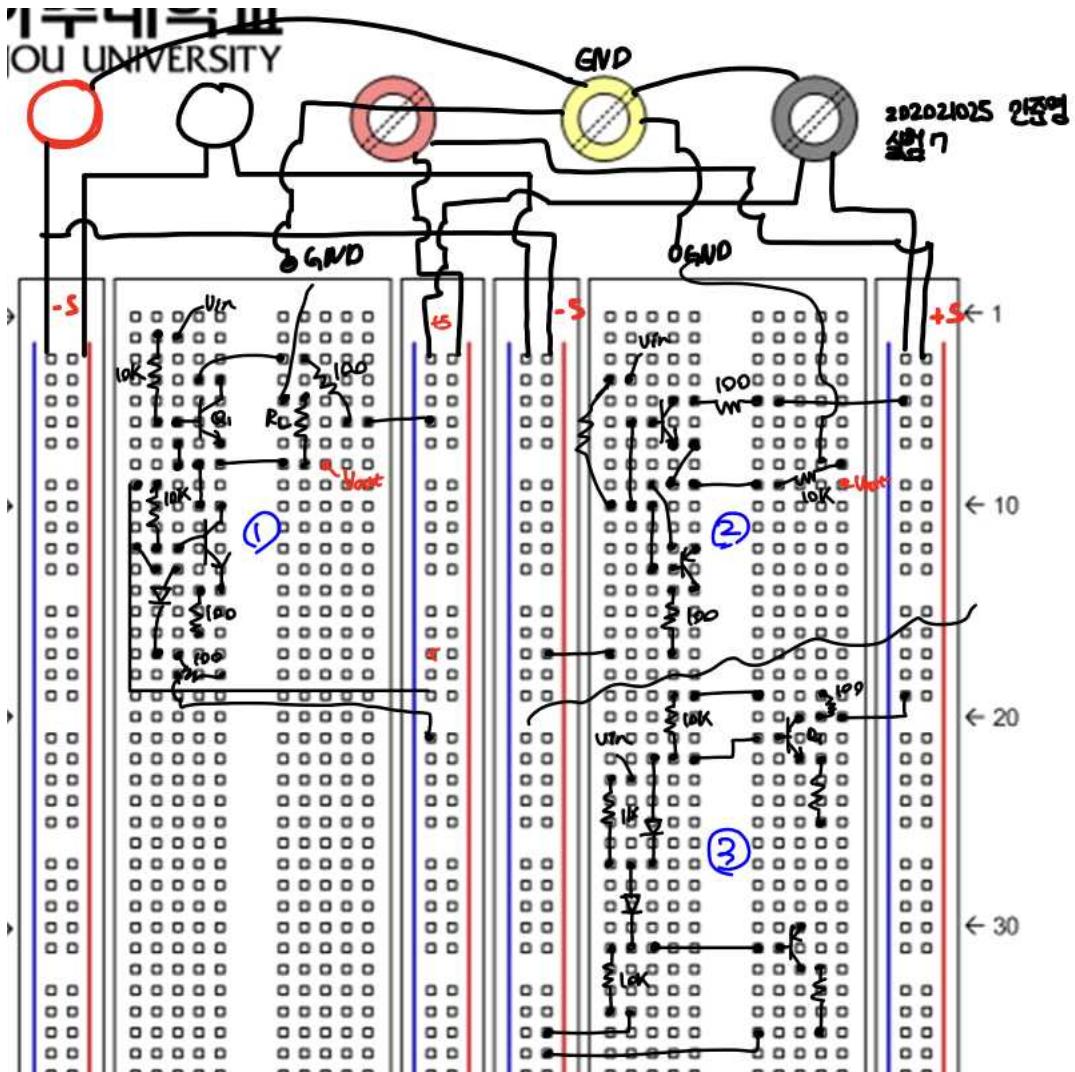
5.2 Class-B output stage

	<p>S를 GND에 연결하고, 로드 저항 $10k\Omega$을 연결하고 Supply 전압을 공급한다. A~D 노드의 전압을 측정하고 Q1 전류를 측정한다.</p> <p>S 단자에 입력신호 $0.2V_{pp}$, $1kHz$ 삼각파를 입력한다. S, A, B 지점의 전압을 측정하고, S to B, A to B 전압 이득을 구한다. 입력 신호의 크기를 증가시키면서 S와 B의 피크 전압을 측정한다. 입출력 관계를 그래프로 나타내고, 출력이 포화일 때 입출력 전압을 구한다.</p>
--	---

5.3 Class-AB output stage

	<p>I 단자를 GND에 연결하고, 로드 저항 $10k\Omega$을 연결한다. Supply 전압을 공급한다.</p> <p>각 노드의 전압과 Q1, Q2의 전류를 측정한다.</p> <p>I 단자에 입력신호 $0.2V_{pp}$, $1kHz$ 삼각파를 입력한다. S, I, H 지점의 전압을 측정한다. 입력 신호의 크기를 증가시키면서 I, H의 피크 전압을 측정한다. 입출력 관계를 그래프를 통해 나타낸다. 출력 포화 시 입출력 전압을 측정한다.</p>
--	---

6. Bread board 예상 결선도



7. 참고문헌

- 실험7 강의노트
- 실험7 강의영상
- <https://pdf1.alldatasheet.com/datasheet-pdf/view/15072/PHILIPS/2N2907.html>
- <https://pdf1.alldatasheet.com/datasheet-pdf/view/15067/PHILIPS/2N2222.html>
- Fundamentals of Microelectronics / Behzad Razavi / 2판 / 2013 / pp. 677-683