

# REPORT

## IEEE Code of Ethics

(출처: <http://www.ieee.org>)

We, the members of the IEEE, in recognition of the importance of our technologies in affecting the quality of life throughout the world, and in accepting a personal obligation to our profession, its members and the communities we serve, do hereby commit ourselves to the highest ethical and professional conduct and agree:

1. to accept responsibility in making decisions consistent with the safety, health and welfare of the public, and to disclose promptly factors that might endanger the public or the environment;
2. to avoid real or perceived conflicts of interest whenever possible, and to disclose them to affected parties when they do exist;
3. to be honest and realistic in stating claims or estimates based on available data;
4. to reject bribery in all its forms;
5. to improve the understanding of technology, its appropriate application, and potential consequences;
6. to maintain and improve our technical competence and to undertake technological tasks for others only if qualified by training or experience, or after full disclosure of pertinent limitations;
7. to seek, accept, and offer honest criticism of technical work, to acknowledge and correct errors, and to credit properly the contributions of others;
8. to treat fairly all persons regardless of such factors as race, religion, gender, disability, age, or national origin;
9. to avoid injuring others, their property, reputation, or employment by false or malicious action;
10. to assist colleagues and co-workers in their professional development and to support them in following this code of ethics.

위 IEEE 윤리헌장 정신에 입각하여 report를 작성하였음을 서약합니다.

<설계2. 예비보고서 - CMOS 증폭단 설계>

학 부: 전자공학과

제출일: 2022.05.24

과목명: 전자회로실험

교수명: 이 채 우 교수님

분 반: 목 8.5~11.5

학 번: 202021025 2분반 13조

성 명: 안준영

## 1. 실험 목적

CMOS의 특성을 CMOS Array ICs를 이용하여 확인하고, CMOS 증폭단을 설계하여 증폭 단 이득이 2 V/V 이상이 되도록 한다.

## 2. 실험 이론 및 예상 결과

### 2.1 실험 이론

MOSFET은 M: Metal, O: Oxide, S: Semiconductor, 즉 금속막, 산화막, 반도체로 구성되어 있는 트랜지스터의 한 종류이다.

MOSFET의 동작은 3가지의 종류로 구분된다.

첫 번째로, 차단 상태가 존재한다. 차단 상태란, 게이트 소스 전압  $V_{GS} < V_{th}$  일 때이며, 여기서  $V_{th}$ 는 문턱 전압이다. 차단 상태에서 트랜지스터는 차단되고, 드레인 단자와 소스 단자 사이의 전도는 없다.

두 번째는 선형 영역이다.  $V_{GS} > V_{th}$ ,  $V_{DS} < V_{GS} - V_{th}$  일 때 MOS는 선형 영역으로 동작한다. 선형 영역에서 트랜지스터가 동작하고, 채널이 형성되어 드레인과 소스 사이에서 전류가 흐르게 된다. 드레인에서 소스로 흐르는 전류는 다음과 같다.

$$I_D = \mu_n C_{ox} \frac{W}{L} ((V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2}).$$

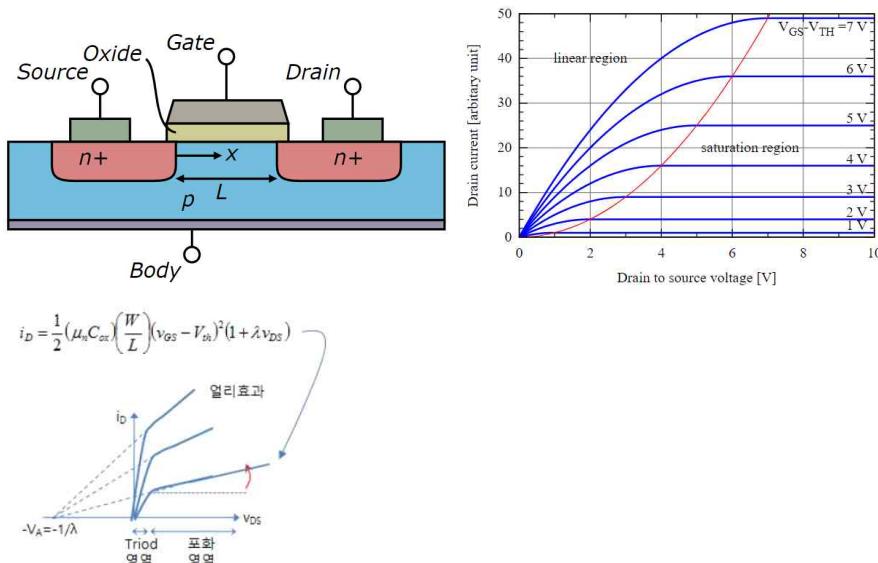
세 번째는 포화 영역이다.  $V_{GS} > V_{th}$ ,  $V_{DS} > V_{GS} - V_{th}$ 인 경우에 포화 영역에서 동작하게 된다. 드레인 전압이 게이트 전압보다 높아지게 되어서, 채널 펀치 오프가 발생하여 채널 중 일부분이 없어진다. 드레인에서 소스로 흐르는 전류는 아래와 같다.

$$I_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{th})^2.$$

포화 영역에서, 드레인 전류는 드레인-소스 전압과 무관한 것처럼 보이지만, 실제로는 유효 채널 길이(L)가 드레인-소스 전압에 따라 변화되는 것처럼 동작한다. 드레인-소스 전압이 증가하게 되면, 공핍 영역이 커지게 되어 유효 채널 길이(L)이 감소하게 된다. 따라서, 드레인-소스 전압의 증가는 곧 드레인 전류를 증가시키게 된다. 이를 채널 길이 변조 효과라고 하며, 이에 따른 포화 영역에서의 드레인 전류는 아래와 같다.

$$I_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS})$$

아래의 좌측 그림은 NMOS의 구조를 나타내고, 우측 그림은 드레인-소스 전압과 드레인 전류 그래프를 나타낸다. 채널 길이 변조 효과를 고려한 그래프는 그 아래 그래프와 같다.

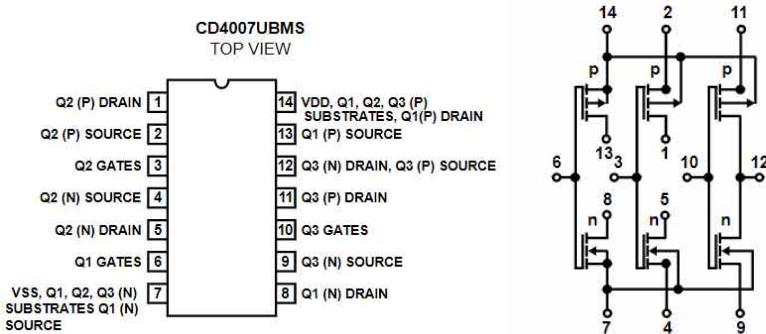


## 2.2 예상 결과

이론에 따른 예상 결과는 4. 시뮬레이션 파트에서 함께 진행하였다.

## 3. 실험 도구 및 Datasheet

### 3.1 CD4007 : CMOS Array ICs

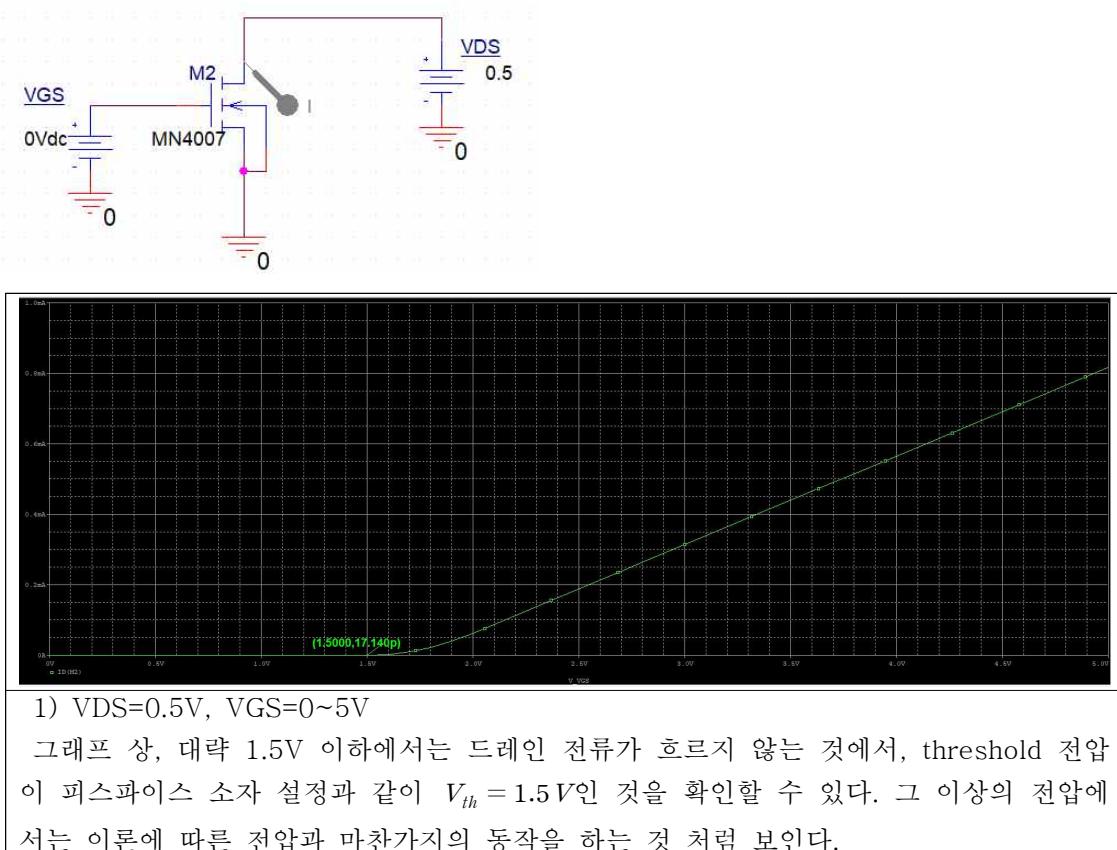


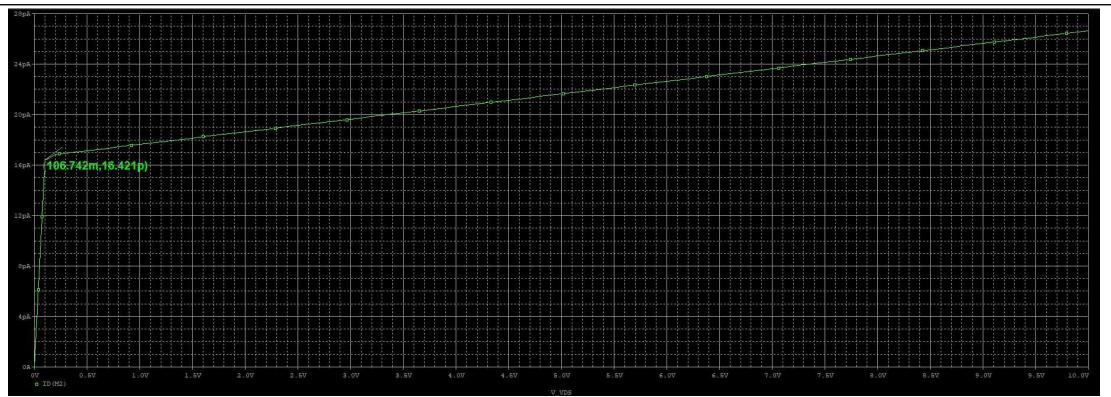
3.2 Capacitors : 0.1uF(2), Resistors : 100Ω~10kΩ, 10MΩ(2)

## 4. Pspice simulation 및 이론과 비교

### 4.1 MOSFET 특성 측정

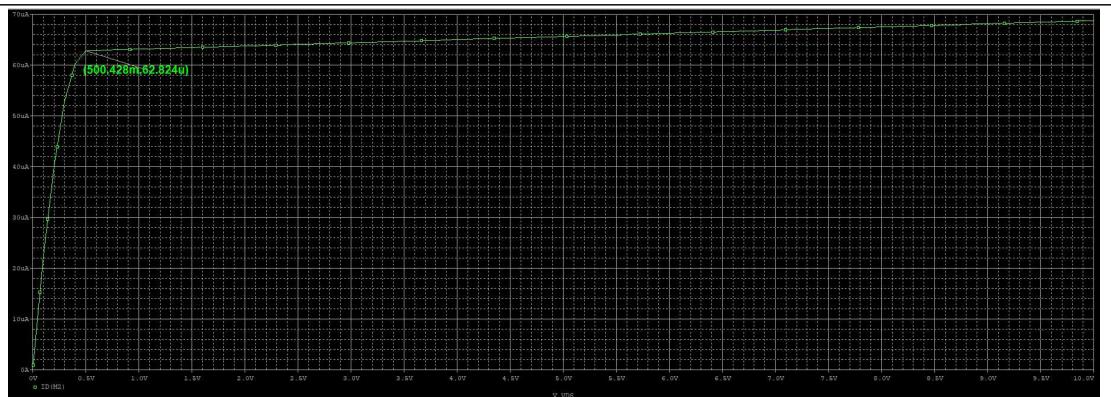
피스파이스에서 사용한 MOS 소자 특성은 참고문헌 마지막 링크에서 참조하였다.





### 2) $VGS = 1V, VDS = 0\sim 5V$

이론적으로,  $VGS$ 가  $Vth=1.5V$ 보다 작기 때문에 NMOS는 차단 영역이다. 하지만, 시뮬레이션 결과 특정 그래프가 나타나긴 하지만, 다음 실험 3)과 비교했을 때 전류값이 매우 작으므로 차단 영역에 있다고 봐도 무방할 것을 보인다. 따라서 이론에 부합한다고 볼 수 있다.



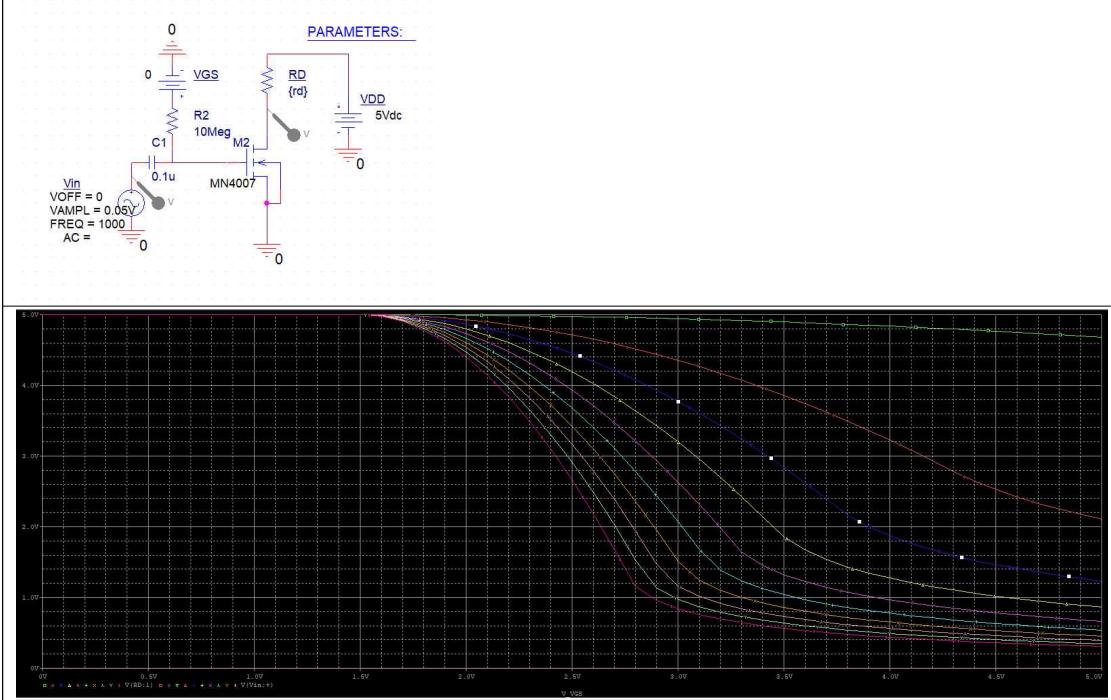
### 3) $VGS = 2V, VDS = 0\sim 5V$

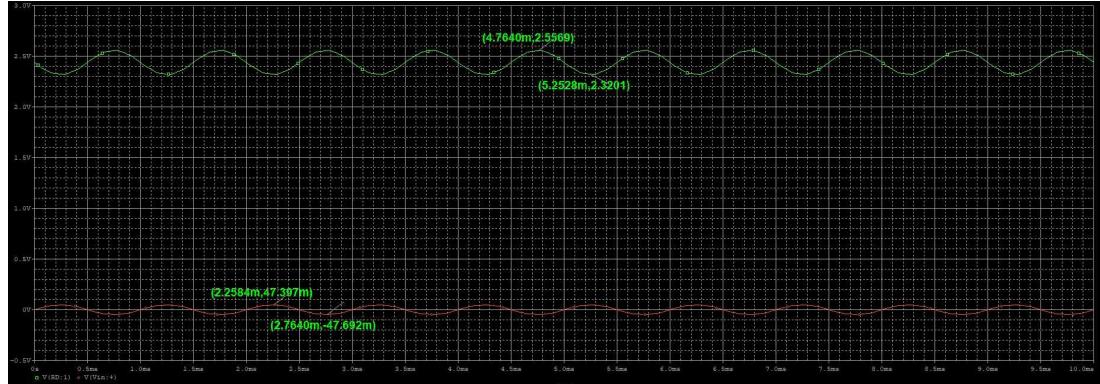
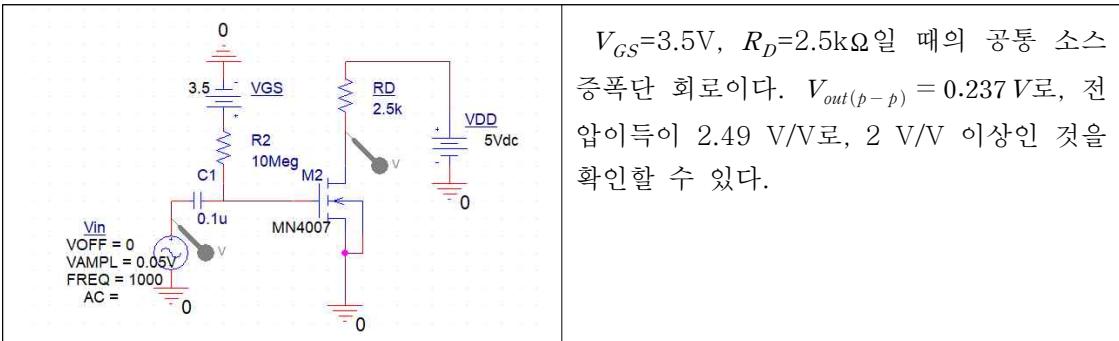
$VGS$ 가 2V일 때,  $VDS$ 가 대략 0.5V 부근에서부터 급격하게 기울기가 변경되는 것을 확인할 수 있다. 이는, 포화 영역 조건 중 하나인  $V_{DS} > V_{GS} - V_{th}$ 를 만족하기 시작하는  $VDS$ 가 0.5V이기 때문이다. ( $VGS-VTH=2V-1.5V=0.5V$ ). 포화 모드에서,  $VDS$ 가 드레인 전류에 영향을 주지 않는다고 가정하기도 하지만, 실제로는 채널 길이 변조 효과에 의해  $VDS$ 가 증가하면 드레인 전류도 증가하는 것을 확인할 수 있다.

## 4.2 공통 소스 증폭단 특성 측정

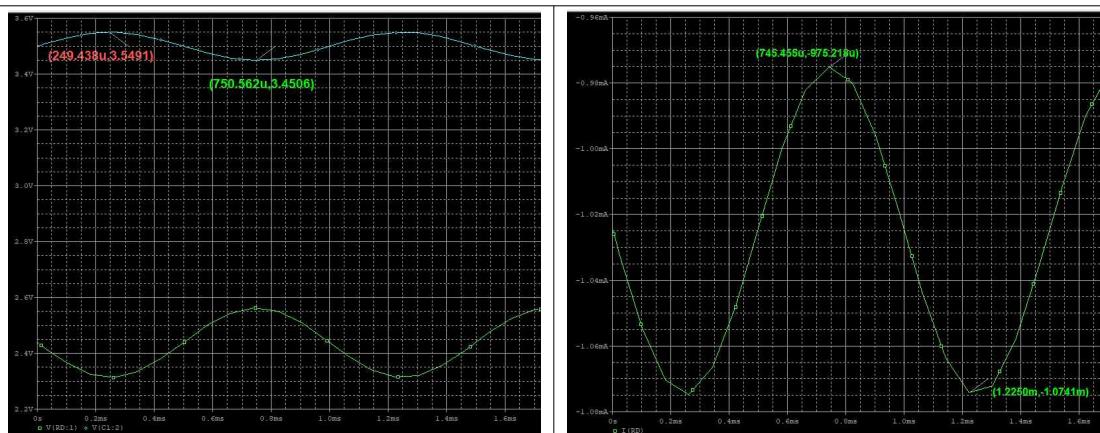
-Setup:  $V_{GS}=0\sim10V$ ,  $R_D=100\Omega\sim10k\Omega$ ( $1k\Omega$  increment)

아래 그림에서,  $R_D$ 가 증가하면 그림이 하향하는 경향이 나타난다. 그림 곡선의 기울기가 급변하는 포화구간 또한 나타나는 것을 확인할 수 있다. 또한  $V_{GS}$ 의 변화에 따른 출력 전압 역시 확인할 수 있다. 그림을 참조하여,  $V_{GS}=3.5V$ ,  $R_D=2.5k\Omega$ 으로 다음 실험 회로를 구성한다.





시뮬레이션 결과,  $V_{GS}$ (좌측 하늘색),  $I_{DS}$ (우측)은 아래와 같다.  $V_{DS}$ 는  $V_{out}$ 과 같다.



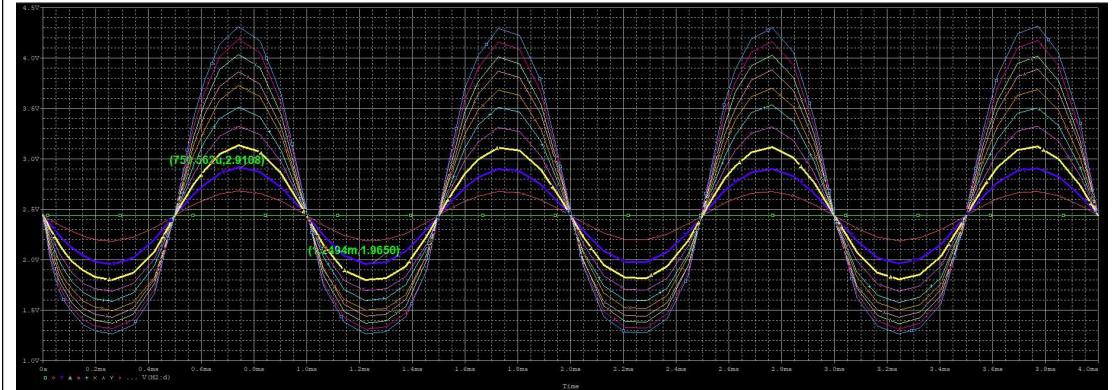
이론값 계산 과정은 아래와 같다.

$$I_{DS(p-p)} = K_n \frac{W}{L} ((V_{GS} - V_{th}) V_{DS(p-p)} - \frac{V_{DS(p-p)}^2}{2}) = 2.23mA. \text{ 시뮬레이션 값인 } 2.05mA$$

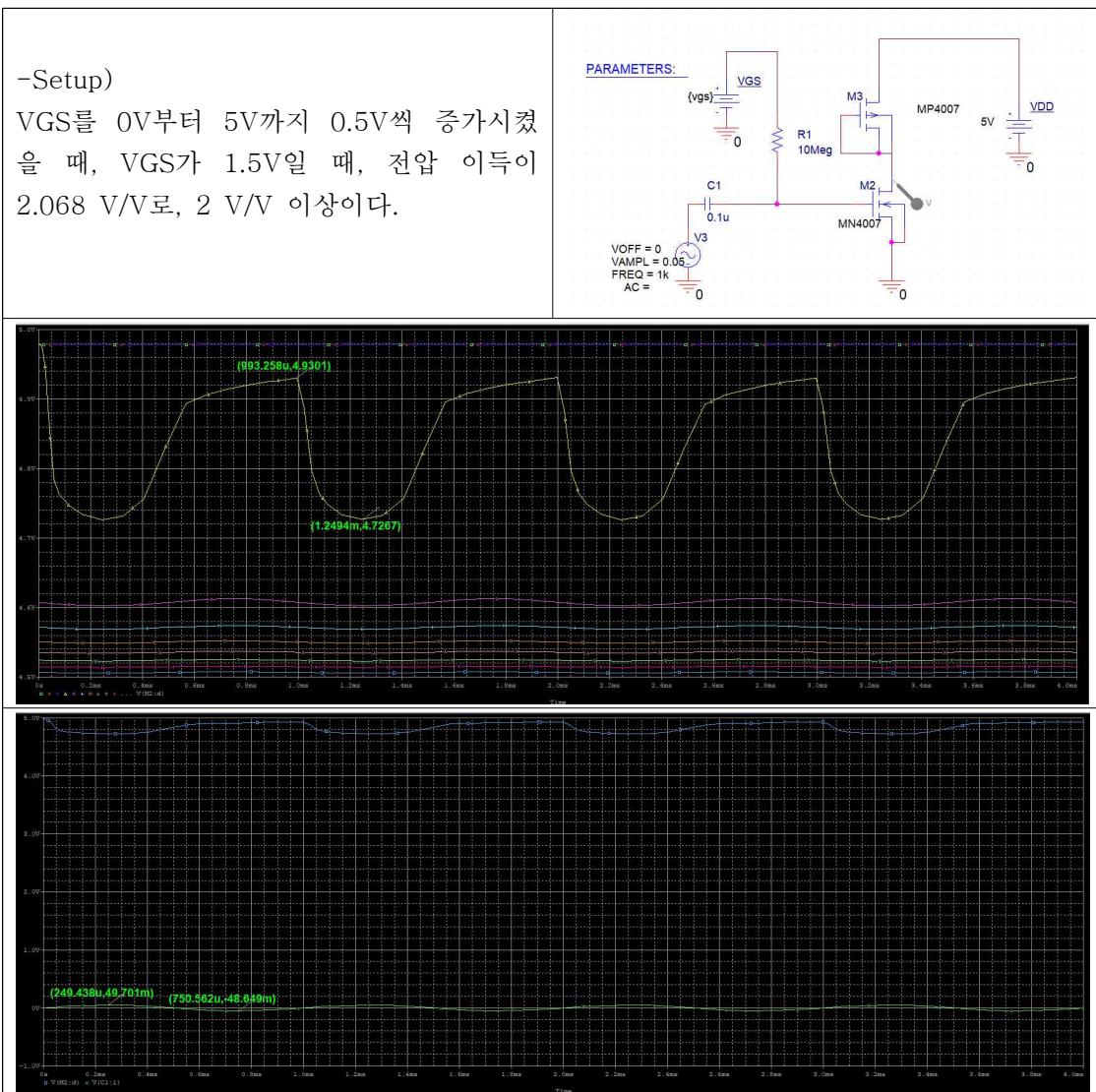
는 이론값과  $-8.07\%$ 의 상대오차를 가진다. 하지만, 위의 공식에서  $\frac{W}{L}$  을 datasheet에서 확인할 수 없어, 구글링에서 정보를 얻어서 10이라고 가정하였다.

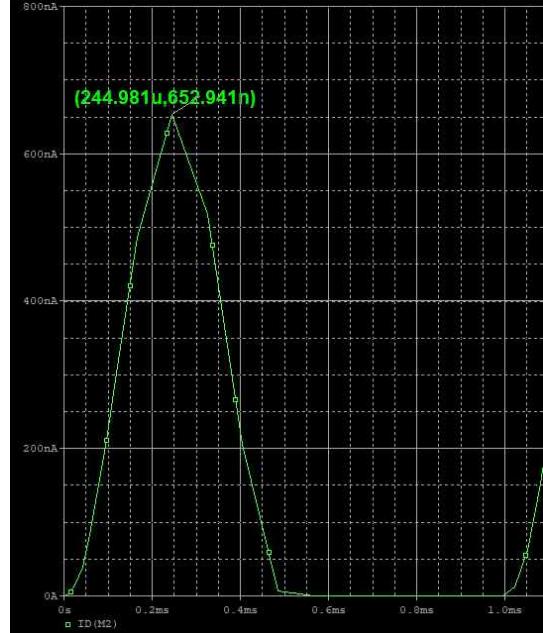
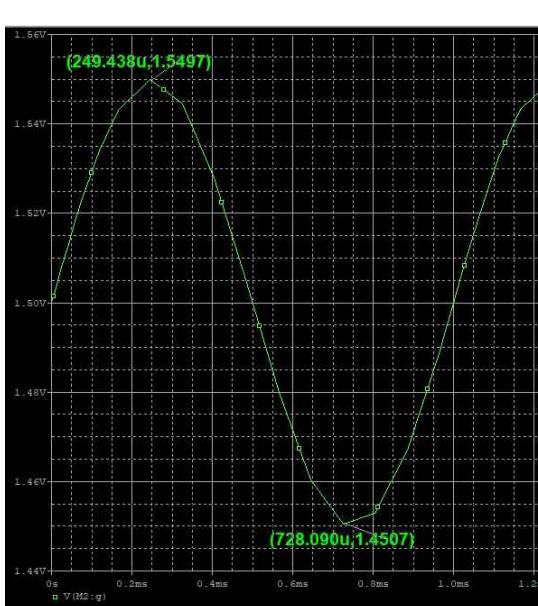
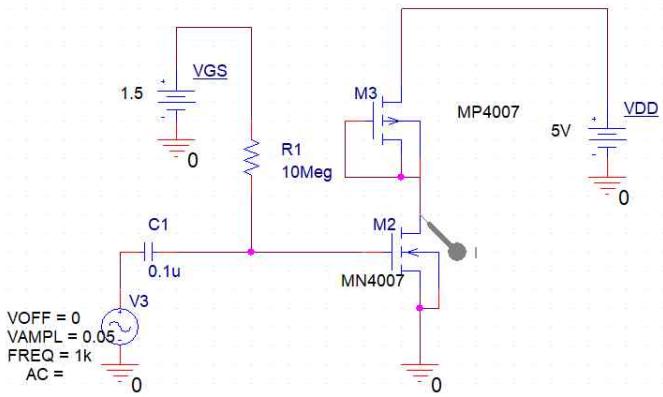
만약, 신뢰할 수 있는 정보라고 가정한다면, 오차가 크게 발생하지 않았기에 회로를 정상적으로 구성하였다고 볼 수 있다.

입력 신호의 peak-to-peak voltage를 0V부터 2V까지 0.2V씩 증가시켰을 때의 그래프는 아래와 같다. 그래프 상 파란색 곡선(0.4V)까지는 왜곡이 발생하지 않지만, 노란색 곡선(0.6V)부터는 왜곡이 발생하는 것을 확인할 수 있다. 입력 전압의 피크 투 피크 전압이 0.4V일 때, 출력 전압의 피크 투 피크 전압은 0.9458V이다.



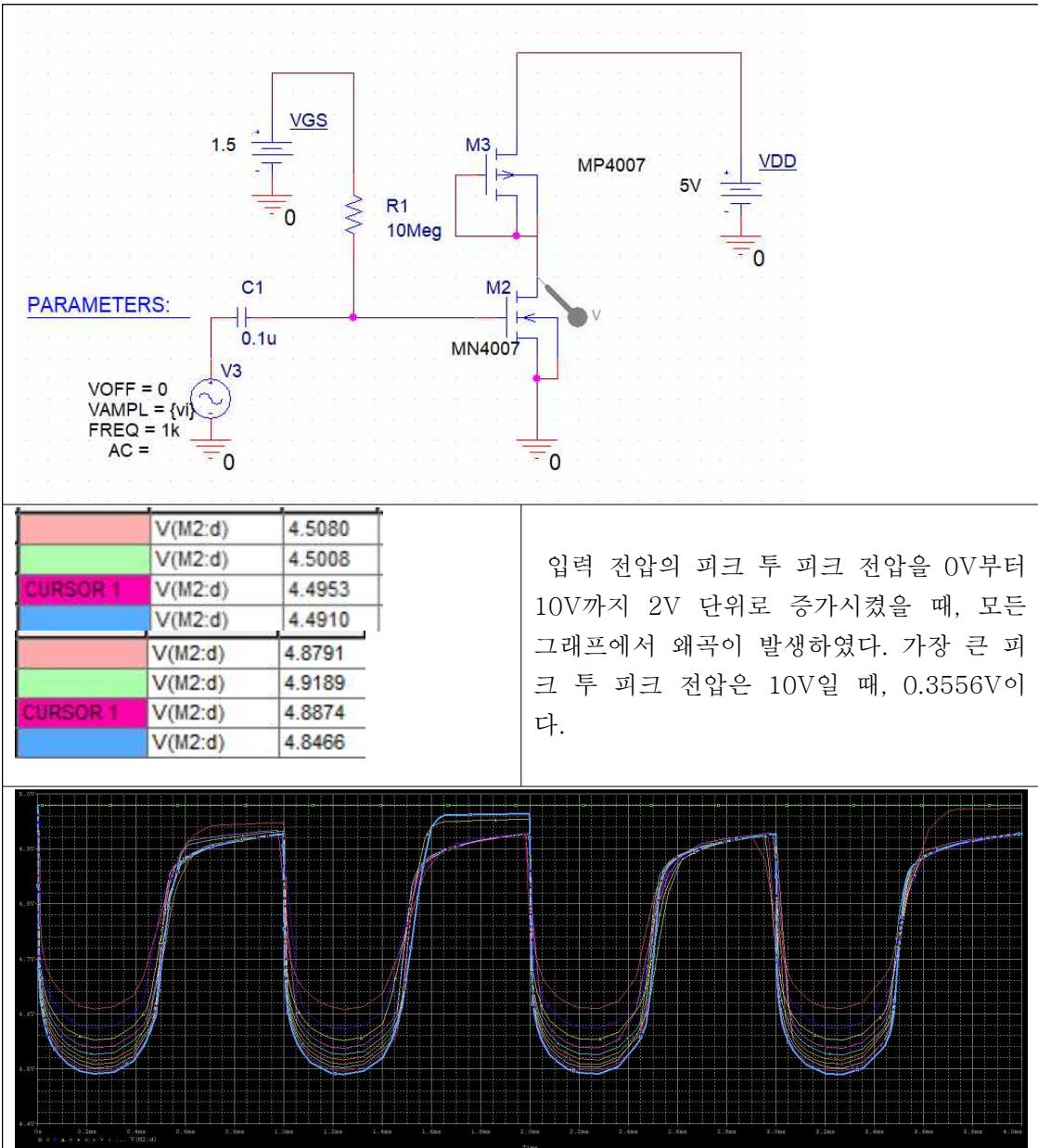
#### 4.3 능동 부하 증폭단 특성





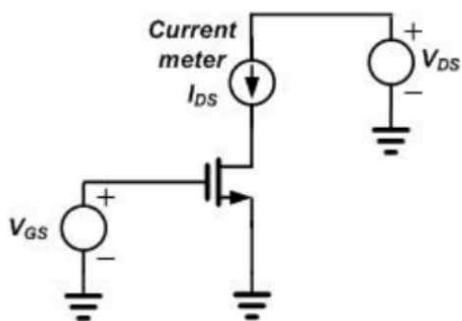
M1의 VGS는 좌측 그래프와 같이 시뮬레이션을 통해 측정하였고, 드레인 전류는 우측 그래프와 같이 측정되었다. VDS는  $V_{out}$ 과 같으므로 별도로 시뮬레이션 진행하지 않았다.

마찬가지로,  $I_{DS(p-p)} = K_n \frac{W}{L} ((V_{GS} - V_{th}) V_{DS(p-p)} - \frac{V_{DS(p-p)}^2}{2})$ 에 각 값을 대입하여 계산하면  $-81.5\mu A$ 가 나온다. 시뮬레이션 값과 이론값의 상대오차는 12386%로 굉장히 크다. 그 이유는 전류 단위 자체가 굉장히 작기 때문이라고 판단할 수 있다.



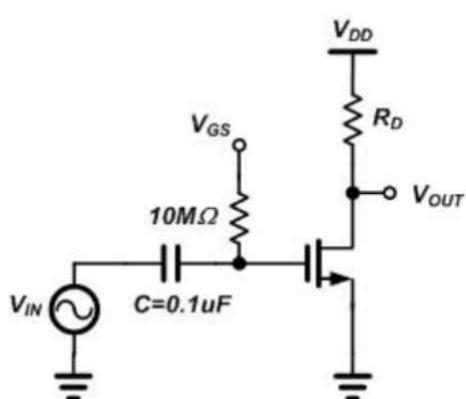
## 5. 실험 계획 및 과정

### 1) MOSFET 특성 측정

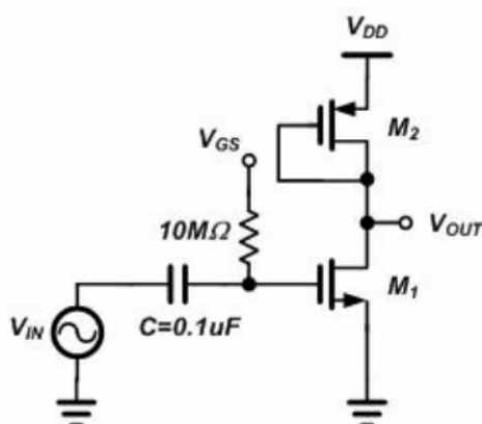


1. 좌측 회로도와 같은 회로를 구성한다.
2.  $V_{DS}=0.5V$ 일 때,  $V_{GS}$  전압을 변화시켜 가며  $IDS$ 를 측정한다.
3.  $V_{GS}=1V$ 일 때,  $V_{DS}$  전압을 변화시켜 가며  $IDS$ 를 측정한다.
4.  $V_{GS}=2V$ 일 때,  $V_{DS}$  전압을 변화시켜 가며  $IDS$ 를 측정한다.

### 2) 공통 소스 증폭단 특성 측정

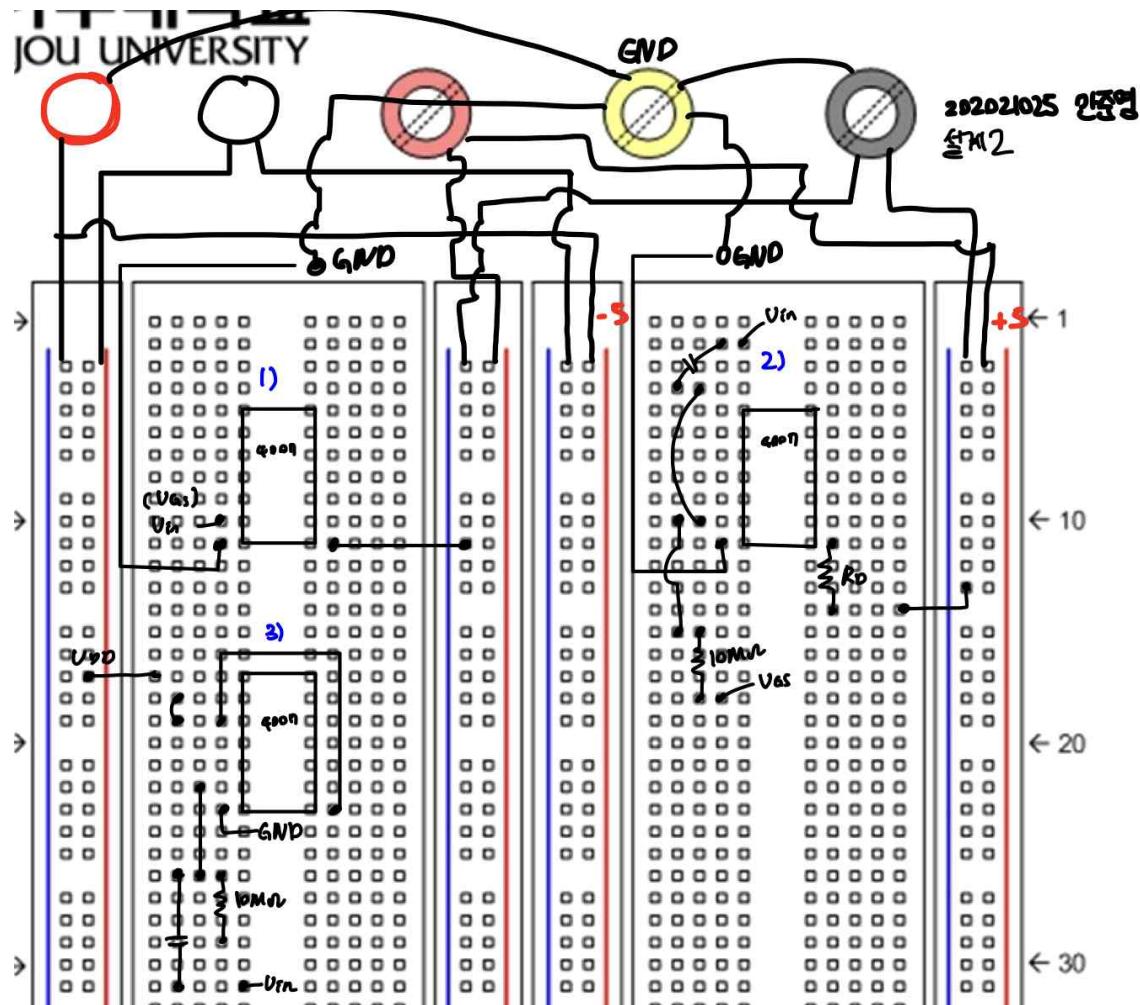


1. 좌측 그림과 같이 회로를 구성한다.
2. 전압 이득이 2 이상이 되도록 바이어스 전압과 저항을 설계한다.
3.  $V_{GS}$ ,  $V_{DS}$ ,  $ID$ 를 측정한다.
4.  $0.1V_{pp}$ ,  $1kHz$ 의 sine파를 입력시켜 출력 전압을 측정한다.
5. 입력 신호를 증가시키면서, 출력 전압이 왜곡되지 않는 최대 출력 전압을 측정한다.



1. 좌측 그림과 같이 회로를 구성한다.
2. 전압 이득이 2 이상이 되도록 바이어스 전압을 설계한다.
3.  $V_{GS}$ ,  $V_{DS}$ ,  $ID$ 를 측정한다.
4.  $0.1V_{pp}$ ,  $1kHz$ 의 sine파를 입력시켜 출력 전압을 측정한다.
5. 입력 신호를 증가시키면서, 출력 전압이 왜곡되지 않는 최대 출력 전압을 측정한다.

## 6. Bread board 예상 결선도



## 7. 참고문헌

- <https://ko.wikipedia.org/wiki/MOSFET>
- [http://www.ktword.co.kr/test/view/view.php?m\\_temp1=5013](http://www.ktword.co.kr/test/view/view.php?m_temp1=5013)
- <https://pdf1.alldatasheet.com/datasheet-pdf/view/66387/INTERSIL/CD4007.html>
- <http://cmosedu.com/jbaker/courses/ee420L/s19/students/skellj1/lab8.htm>
- [http://eelabs.faculty.unlv.edu/docs/labs/ee320L/ee320L\\_a2\\_models.txt](http://eelabs.faculty.unlv.edu/docs/labs/ee320L/ee320L_a2_models.txt)