CY (IFCFG1:0 = 11)		all pins can be changed other then IFCLK pin	
CY	Pin	FPGA	VHDCI(BB)
PB7	FD7	U11	13(109)
PB6	FD6	N9	46(IO22)
PB5	FD5	M10	12(108)
PB4	FD4	P11	44(IO21)
PB3	FD3	N10	10(107)
PB2	FD2	V12	43(1020)
PB1	FD1	T12	9(106)
PB0	FD0	T11	41(IO19)
PA.2	SLOE	R11	7(105)
PA.4	FIFOADR0	M11	6(104)
PA.5	FIFOADR1	V13	38(IO17)
PA.7	FLAGD (PORTACFG.7 = 1)	U13	4(IO3)
RDY0/SLRD	SLRD	N11	40(IO18)
RDY1/SLWR	SLWR	U16	1(IO1)
IFCLK	IFCLK	T8	56(IO26)
CTL0	FLAGA	N8	57(1027)
PA.3	UVC (not FIFO)	M8	23(IO13)
CTL1	FLAGB	U15	3(102)
CTL2	FLAGC	U8	25(IO14)