

Experiência 5 – Elementos de Lógica Sequencial – Projeto com Biestáveis

Alunos		
Número	Nome	Turma
22.120.021-5	<u>João Pedro Rosa Cezarino</u>	020
Professor: Isaac Jesus		

Data da Realização:	30/04/2021
----------------------------	-------------------

Sumário

1 Descrição dos Objetivos Experimentais:.....	3
2 Diagrama Esquemático–Lógico do Sistema Digital:.....	4
3 Formas de onda da simulação funcional:.....	4
4 Latch NAND:.....	5
5 Latch NOR:.....	6
6 FF JK:.....	7
7 Conclusão:.....	8

1 Descrição dos Objetivos Experimentais:

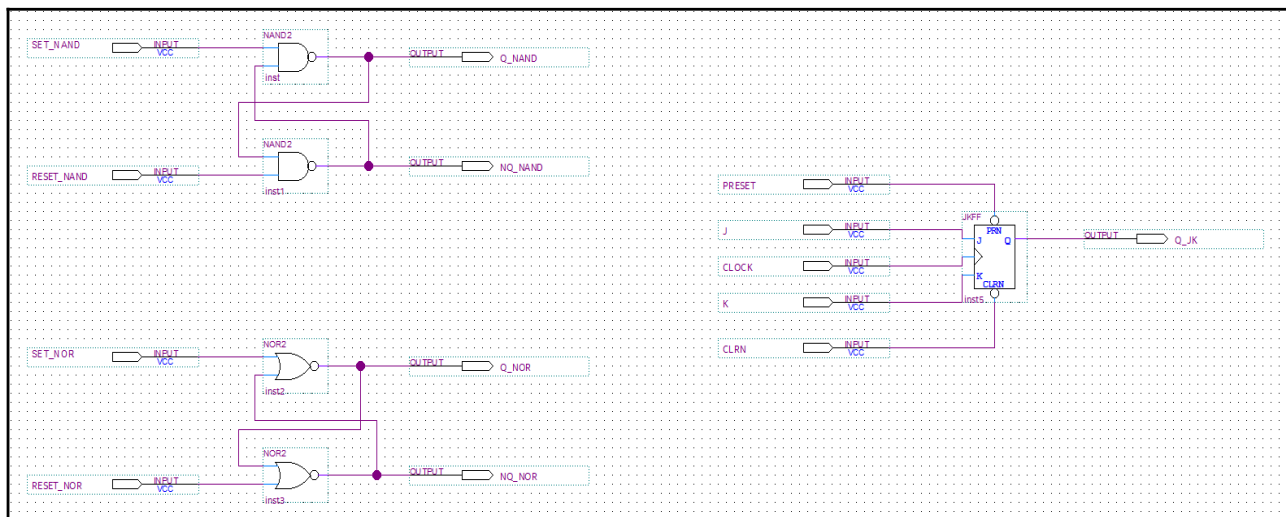
Este experimento tem o objetivo de exercitar os conceitos aprendidos nas aulas teóricas de Sistemas Digitais. Aqui serão praticados conceitos como: Tensão, Correntes, Níveis Lógicos Digitais, Portas Lógicas, Simplificação de Expressões Booleanas, Construção de Tabelas-Verdade, Montagem de Circuitos, utilização de latches e flip-flop's, entre outros.

O Software Quartus Prime Lite foi a plataforma utilizada para realizar o experimento. Essa ferramenta foi desenvolvida pela Intel para criar designs de dispositivos lógicos programáveis.

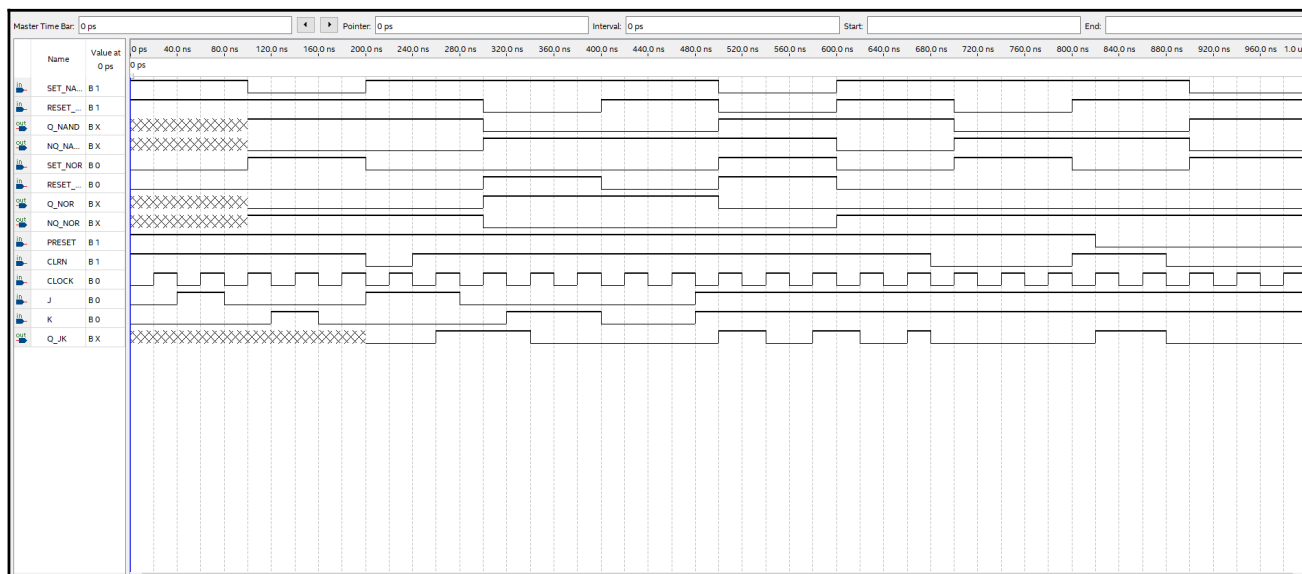
Ao longo desta experiência, Um circuito foi montado no ambiente do Quartus Prime e foram realizados testes com portas lógicas dos mais variados tipos: AND, OR, XOR, Inversora, latches NAND, latches NOR, Flip Flops(FF JK) e etc. Além de algumas simulações envolvendo o circuito desenvolvido.

Por fim, Tabelas-Verdade foram preenchidas para fixar os conceitos de níveis lógicos e portas lógicas e aprimorar o conhecimento sobre o conteúdo em geral. A experiência tem o objetivo de auxiliar e exemplificar o uso do Quartus Prime Lite, familiarizando o aluno com o ambiente de desenvolvimento, além de exercitar os conceitos referentes à Latches e Flip Flops.

2 Diagrama Esquemático-Lógico do Sistema Digital:

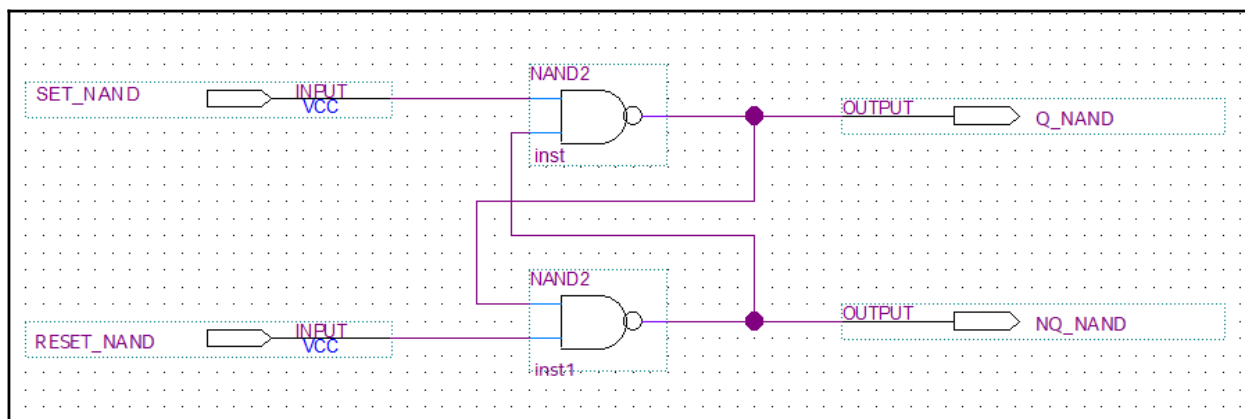


3 Formas de onda da simulação funcional:



4 Latch NAND:

LATCH NAND			
ENTRADAS		SAIDAS	
SET	RESET	Q	NQ
0	0	1	1
0	1	1	0
1	0	0	1
1	1	1	0

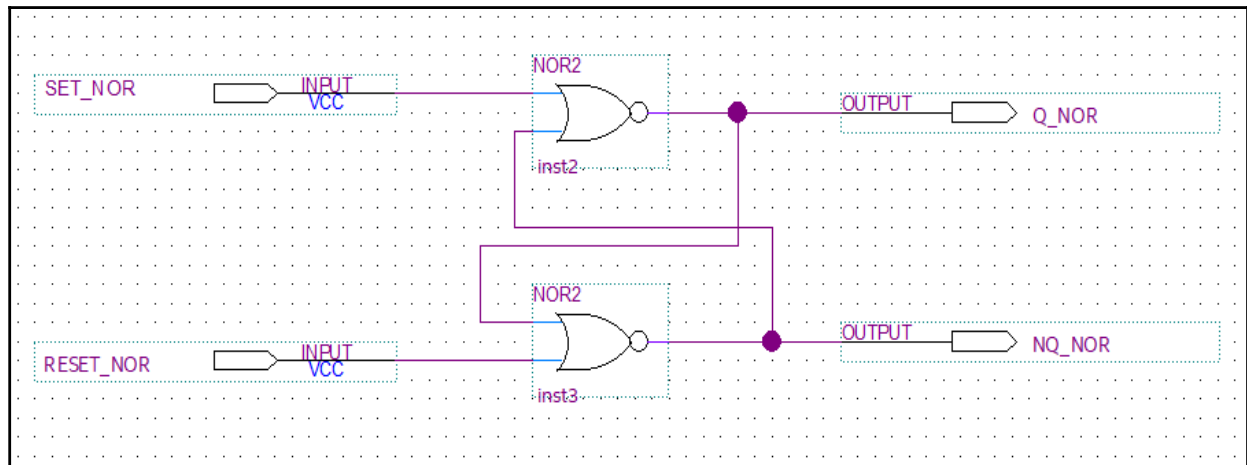


O Latch com portas NAND é o circuito de armazenamento mais simples, em que as portas são conectadas de modo cruzado. No experimento as saídas são descritas como Q e NQ. Neste circuito a entrada SET é responsável por setar o Latch, enquanto a entrada RESET tem a função contrária, resetar/limpar o Latch. No Latch NAND sempre que se desejar mudar as saídas, deve-se colocar uma das entradas em nível lógico Baixo(0).

Quando ambas as entradas, SET e RESET, são ativadas simultaneamente, observa-se que $Q = 1$ e $NQ = 1$. Tal resultado pode ser descrito como uma inconsistência, já que as saídas são complementares. Além disso, a condição na qual SET e RESET são desativadas simultaneamente não é usada, já que a saída sempre será dada pela entrada que mudar de estado por último. Portanto, conclui-se que em Latches do tipo NAND, a simultaneidade absoluta não é possível.

5 Latch NOR:

LATCH NOR			
ENTRADAS		SAIDAS	
SET	RESET	Q	NQ
0	0	?	?
0	1	0	1
1	0	1	0
1	1	0	0

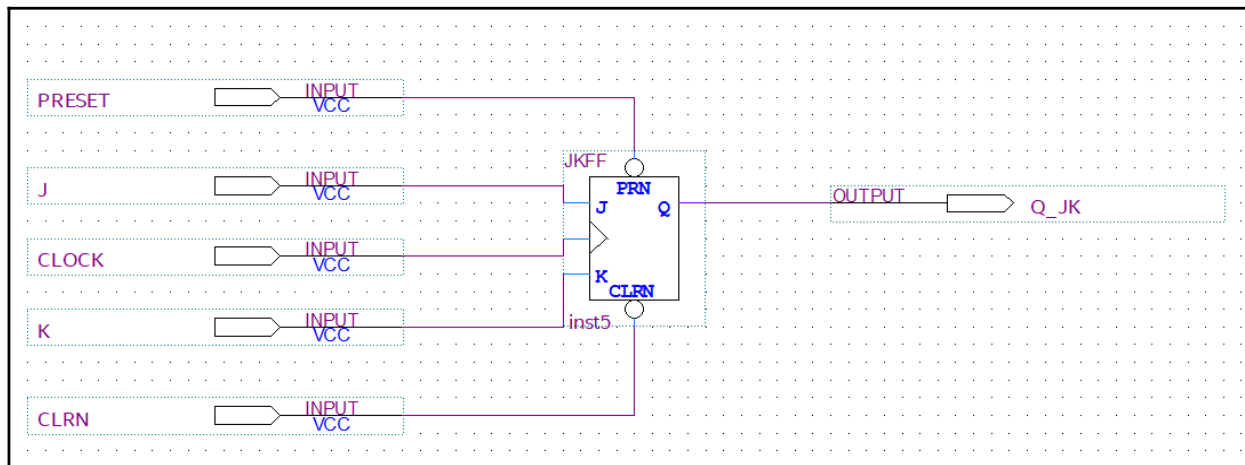


O Latch do tipo NOR equivale ao circuito explicado anteriormente (Latch NAND), porém é contruído utilizando portas do tipo NOR e as saídas agora estão em posições trocadas. Neste tipo de circuito as entradas são ativadas em nível Alto(1) e não é possível prever o estado inicial de saída, já que ocorrem alguns atrasos que influenciam tal definição.

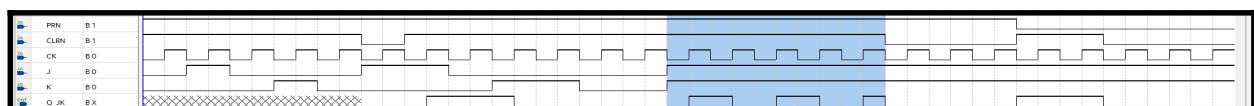
Em circuitos deste tipo, quando SET e RESET equivalem à zero(0), o circuito se encontra numa condição de repouso, sem refletir nenhum efeito sobre os níveis lógicos das saídas. Porém quando ambas as entradas, SET e RESET, são equivalentes à um(1), obtém-se uma combinação limitada, resultando em um estado proibido. Tal estado quebra a equação lógica $Q = \text{NOT } Q$. Nesta situação, quando as entradas SET e RESET voltarem a ser zero (SET = RESET = 0) as saídas Q e NQ vão oscilar, de forma que o circuito continue em seu funcionamento normal.

6 FF JK:

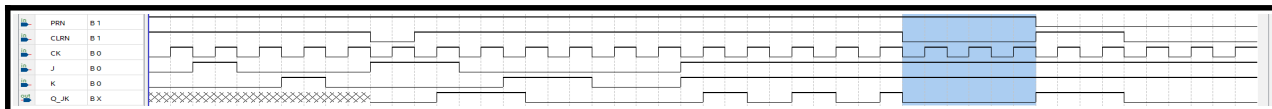
FF JK						
ENTRADAS					SAIDAS	
PRN	CLRn	CK	J	K	Q	NQ
1	1	BS	0	0	Q	NQ
1	1	BS	0	1	1	0
1	1	BS	1	0	0	1
1	1	BS	1	1	Alternância	Alternância
1	0	X	1	1	1	0
0	1	X	1	1	0	1
0	0	X	1	1	NULL	NULL



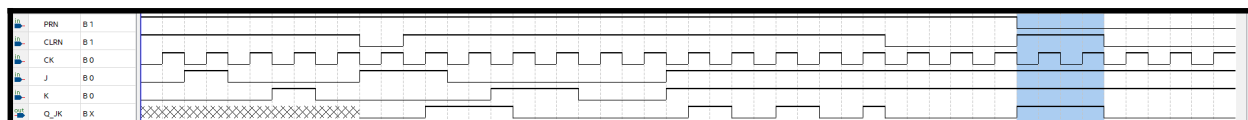
A) A saída Q ficará em um estado de alternância no qual a cada período de 40 nano segundos do clock a saída terá seu estado alterado de 1 para 0 ou de 0 para 1.



B) Por meio da simulação funcional e da análise das formas de onda é possível observar que nos momentos em que $J = 1$, $K = 1$, $PRN = 1$ e $CRLN = 0$ a saída Q assume o valor de zero ($Q = 0$) independentemente do sinal de clock (CK).



C) Também por meio da simulação funcional e da análise das formas de onda é possível observar que nos momentos que $J = 1$, $K = 1$, $PRN = 0$ e $CRLN = 1$, a saída Q assume o valor de um ($Q = 1$) independentemente do sinal de clock (CK).



7 Conclusão:

A partir dos experimentos realizados, foi possível entender diversos conceitos relacionados ao tópico de Latches NAND e NOR, Biestáveis, Flip-Flops FFJK, entre diversos outros tópicos de relevante importância durante o estudo dos mais variados circuitos. Além disso, foi possível observar de forma prática o funcionamento dos Latches NAND e NOR e dos Biestáveis, que têm relevante importância durante o desenvolvimento de sistemas e circuitos digitais. Os quais têm a função de armazenar os níveis lógicos temporariamente, funcionando como uma espécie de memória.

Os Flip-Flops também podem ser utilizados para armazenar bits ou dígitos binários, porém, usualmente a informação armazenada nos Flip-Flops pode representar o estado de um sequenciador, o valor de um contador, um caractere ou qualquer outra parte de uma informação. Por meio do experimento, foi possível observar de forma clara o comportamento assíncrono e síncrono do Flip-Flop do tipo FF JK.

Portanto, conclui-se que a principal diferença entre um Latch e um Flip-Flop está na maneira como ocorre a troca de estado, pois nos Latches a troca ocorre de maneira assíncrona e nos Flip-Flops a troca é síncrona, ou seja, muda seu estado por meio da ação de um pulso de disparo. Os Latch são mais utilizados como memória e os Flip-Flops como contadores.