

Experiência 5 – Elementos de Lógica Sequencial – Projeto com Biestáveis

5.1) Objetivos

- Exercitar a compreensão do funcionamento prático de biestáveis (Flip-Flop);
- Realizar simulações (utilizando o ambiente de projeto do Quartus Prime Lite) para verificar dos modos de operação e características dinâmicas de biestáveis.
- **Atividade individual.**

5.2) Material Necessário

- Acesso ao software QUARTUS PRIME LITE - Versão 16.1 (© Intel Corporation).
(<https://fpgasoftware.intel.com/?edition=lite>)

5.3) Procedimento Experimental

O aluno deve abrir um projeto no Quartus Prime Lite e criar um ambiente de simulação (funcional) onde possam ter testados os circuitos referentes a este experimento (portas NAND, NOR e flip-flop JK) a partir dos sinais de entrada (INPUT) e saída (OUTPUT) representados nas figuras seguintes.

Para realizar esse projeto e gerar o ambiente para testes com simulações funcionais devem ser executadas as seguintes etapas na ferramenta Quartus Prime Lite (uma descrição mais detalhada dos procedimentos de abertura de projeto e simulação no ambiente da ferramenta Quartus Prime Lite é apresentada no arquivo: **Tutorial_Quartus_Prime_para_Projeto_com_Captura_de_Esquemático** (disponível nas “Referências de Laboratório” no Moodle).

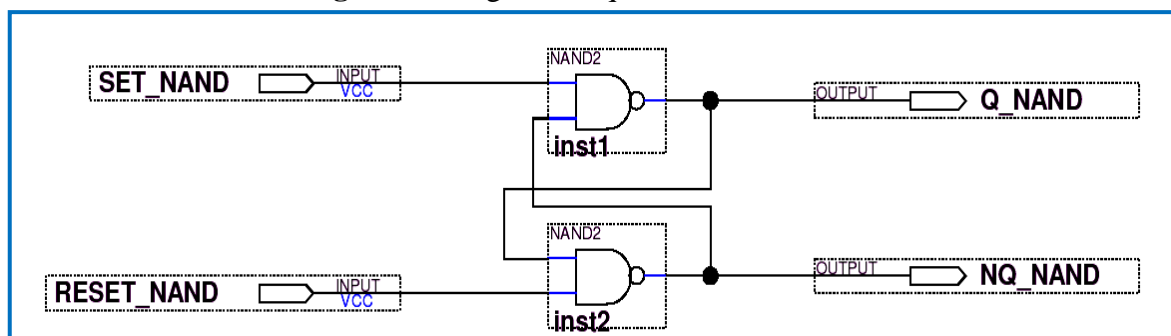
- a) Descrição do circuito com diagrama de blocos (*New > Design Files > Block Diagram/Schematic File*);
- b) Compilação do projeto no ambiente da ferramenta (*Processing > Start > Start Analysis & Synthesis*);
- c) Descrição dos sinais lógicos para teste no editor de formas de onda de teste (*File > New > Verification/ Debugging Files > University Program VWF*);
- d) Simulação funcional da lógica (*Edit > Simulation > Run Functional Simulation*);

As etapas seguintes deste procedimento consideram que o ambiente de testes está criado e podem ser realizadas simulações funcionais (para registro em relatório).

5.3.1) LATCH NAND:

Desenhar um biestável **Latch NAND** implementado com portas **NAND** de duas entradas, com sinais de entrada de SET (**SET_NAND**) e RESET (**RESET_NAND**) e saídas Q (**Q_NAND**) e /Q (**NQ_NAND**), conforme representado na **Figura 1**.

Figura 1: Diagrama esquemático de um Latch NAND.



Fonte: Autor.

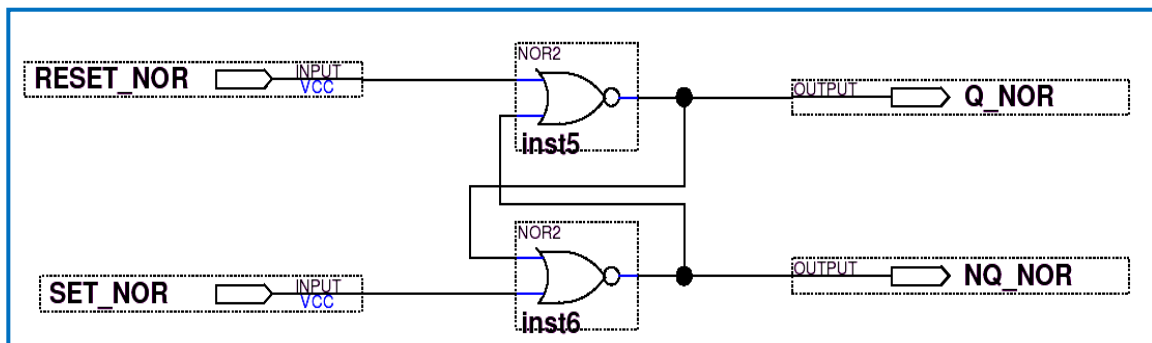
A seguir devem ser realizadas simulações funcionais (com duração total de 1 us) variando cada sinal de entrada de nível lógico 0 para nível lógico 1, conforme representado na **Figura 4**. Observar que neste circuito os sinais de entrada são **ativos em nível lógico 0**.

Comentar no relatório o que ocorre se os dois sinais de entrada são ativados e desativados simultaneamente (quando SET e RESET são ambos 0 ou ambos 1). Apresentar no **relatório o registro das formas de onda e discutir a Tabela Verdade** desse circuito **comparando com as formas de onda observadas**.

5.3.2) LATCH NOR:

Desenhar um biestável **Latch NOR** implementado com portas **NOR** de duas entradas, com sinais de entrada de SET (**SET_NOR**) e RESET (**RESET_NOR**) e saídas Q (**Q_NOR**) e /Q (**NQ_NOR**), conforme representado na **Figura 2**.

Figura 2: Diagrama esquemático de um Latch NOR.



Fonte: Autor.

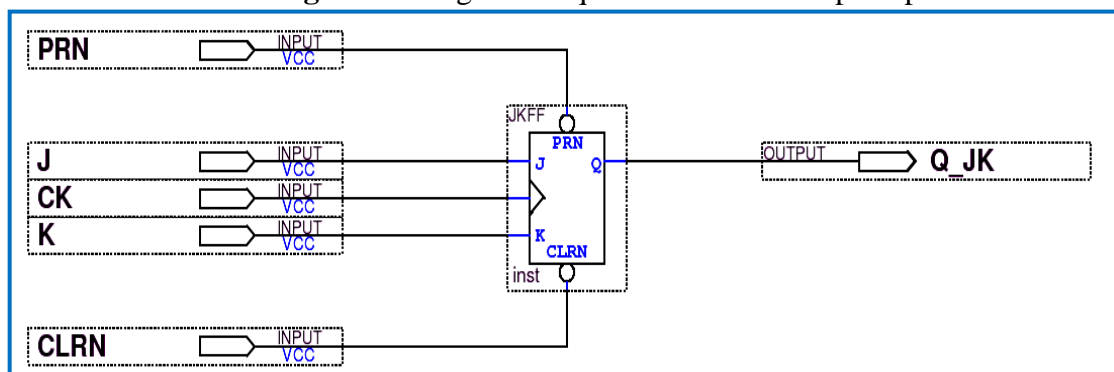
A seguir devem ser realizadas simulações funcionais (com duração total de 1 us) variando cada sinal de entrada entre nível lógico 0 e nível lógico 1, conforme representado na **Figura 4**. Observar que neste circuito os sinais de entrada são **ativos em nível lógico 1**.

Comentar o que ocorre os dois sinais de entrada são ativados e desativados **simultaneamente** (SET e RESET ambos 0 ou ambos 1). Apresentar no relatório o **registro das formas de onda e discutir a Tabela Verdade** do circuito **comparando com as formas de onda observadas**.

5.3.3) FF JK:

Desenhar um circuito com um flip-flop **JK** conforme representado na **Figura 3** (no Quartus Prime o símbolo desse biestável é denominado: **JKFF**). Note que devem ser utilizadas tanto as entradas síncronas (**J, K, CK**) como as entradas assíncronas do biestável (**PRN, CLRN**).

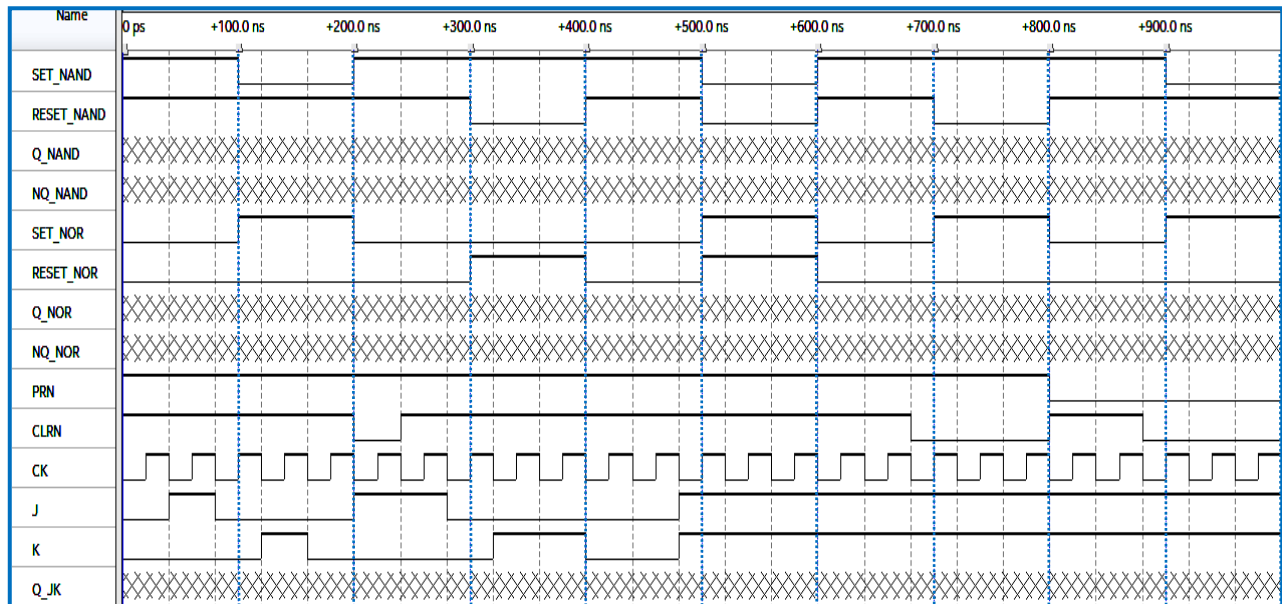
Figura 3: Diagrama esquemático de um Flip-Flop JK.



Fonte: Autor.

A seguir devem ser realizadas simulações funcionais com duração total de 1 us, conforme representado na **Figura 4** e devem ser respondidas as questões dos itens seguintes.

Figura 4: Diagrama de tempo com as simulações previstas na experiência



Fonte: Autor.

- a) A partir das simulações propostas na **Figura 4** devem ser verificadas todas as condições da **Tabela Verdade do FF JK** representada na **Tabela 1**. Atenção que as entradas **PRN** (PRESET) e **CLRN** (RESET) do biestável são ativas com nível lógico 0, correspondendo à operação assíncrona desse biestável. Portanto, a operação síncrona desse biestável só ocorre se estas entradas forem mantidas em nível lógico 1. Apresentar **no relatório o registro das formas de onda e preencher e discutir a Tabela1, comparando com as formas de onda observadas**.

Atenção: No relatório deve ser indicado em quais instantes de tempo das formas de onda ocorrem as operações previstas na Tabela Verdade.

Tabela 1: Tabela Verdade do FF JK.

	PRN	CLRN	CK	J	K	Q	/Q
Modo de Operação Síncrono	1	1		0	0		
	1	1		0	1		
	1	1		1	0		
	1	1		1	1		
Modo de Operação Assíncrono	1	0	X	1	1		
	0	1	X	1	1		
	0	0	X	1	1		

- b) Mantendo as entradas **J = 1** e **K = 1** e as entradas assíncronas desativadas (**PRN=1** e **CLRN=1**) qual o comportamento da saída **Q** em relação ao sinal de **CK**? Apresentar **no relatório o registro das formas de onda e comparar** a frequência da saída **Q** com a frequência do sinal **CK**.

- c) Mantendo as entradas $J = 1$ e $K = 1$ e a entrada assíncrona de Clear ativada ($PRN=1$ e $CLR_N=0$) qual o comportamento da saída Q em relação ao sinal de CK ? Apresentar **no relatório o registro das formas de onda e comentar os resultados observados**.
- e) Mantendo as entradas $J = 1$ e $K = 1$ e a entrada assíncrona de Preset ativada ($PRN=0$ e $CLR_N=1$) qual o comportamento da saída Q em relação ao sinal de CK ? Apresentar **no relatório o registro das formas de onda e comentar os resultados observados**.

5.4) Registro de Resultados

Cada aluno deve postar no Moodle um relatório no formato **PDF** (segundo o **Modelo de Relatório Experimental**) com no mínimo os seguintes itens:

- Descrição dos objetivos da experiência;**
- Diagrama esquemático** do circuito gerado no Quartus Prime-Lite (arquivo.bdf);
- Formas de onda da simulação funcional**, mostrando o resultado da operação aritmética realizada com os dois conjuntos de operandos (arquivo.vwf);
- Respostas às questões dos itens 5.3.1 a 5.3.3 (incluindo a Tabela Verdade do FF JK);**
- Conclusão** com comentários sobre os resultados obtidos, em particular o comportamento síncrono e assíncrono do FF JK.

Observação: O modelo desse relatório (disponível no Moodle) tem o formato MS-Word para facilidade de preenchimento, entretanto **deve ser postado no Moodle no formato PDF** (utilizar o recurso do MS-Word de *salvar como PDF*)

Referências Bibliográficas

TOCCI, Ronald J; WIDMER, Neal S.; MOSS, Gregory L. **Sistemas Digitais: Princípios e Aplicações**. Revisão técnica: Renato Giacomini. Tradução: Jorge Ritter. 11. Ed. São Paulo: Pearson Prentice Hall, 2011.

QUARTUS – Intel Quartus Prime – Lite, Version 16.1. Intel-FPGA (©Intel Corporation). Disponível em: (<https://fpgasoftware.intel.com/?edition=lite>). Acesso em: 07/07/2020.

PRATES, R. R. – Tutorial de Quartus Prime para Projeto de CPLD/FPGA (baseado em Captura de Esquemático). Programa de Iniciação Didática – Centro Universitário FEI, 2019.

=====