

Projeto 1: Projeto de Lógica Combinacional

| Aluno | | |
|-------------------------------|---------------------------------|------------|
| Número | Nome | Turma |
| 22.120.021-5 | João Pedro Rosa Cezarino | 020 |
| Professor: Isaac Jesus | | |

| | |
|----------------------------|-------------------|
| Data da Realização: | 09/04/2021 |
|----------------------------|-------------------|

Sumário

| | |
|---|----|
| 1. Descrição do Projeto..... | 3 |
| 2. Tabela Verdade ou Diagrama de Estados do Sistema Digital..... | 4 |
| 3. Expressões Lógicas Minimizadas (Mapas de Veitch/Karnaugh)..... | 6 |
| 4. Diagrama Esquemático-Lógico..... | 8 |
| 5. Simulação Funcional..... | 14 |
| 6. Pinagem..... | 15 |
| 7. Conclusões:..... | 17 |

1. Descrição do Projeto

O Projeto 1 tem o objetivo de exercitar a implementação de circuitos utilizando o ambiente de simulação do software Quartus Prime Lite, desenvolvido pela Intel. Nele o aluno tem a oportunidade de montar as tabelas verdades referentes aos valores de entrada fornecidos e a partir daí construir os Mapas de Karnaugh, para dessa forma chegar na Expressão Booleana que definirá cada saída do Circuito.

Além de treinar as habilidades no ambiente de desenvolvimento do Quartus Prime, o aluno aprimora a capacidade de resolução de simplificações de expressões booleanas, para montar o circuito mais eficaz possível. Também se montou um multiplexador de 8 entradas (Modelo 74151), que é responsável por selecionar uma das entradas e conectá-la eletronicamente a sua única saída. O circuito, devido ao seu tamanho, foi dividido em três partes dentro do ambiente de simulação, visando uma melhor organização e navegação durante o desenvolvimento do projeto.

Um projeto interessante e bem desafiador, já que exige do aluno um conhecimento prévio advindo de experiências e estudos anteriores e proporciona o aprendizado do manuseio do software Quartus Prime Lite, o principal software para modelagem e desenvolvimento de FPGA's.

2. Tabela Verdade ou Diagrama de Estados do Sistema Digital

| ENTRADAS | | | SAÍDAS | |
|----------|----|----|-----------|-----------|
| S2 | S1 | S0 | DISPLAY 1 | DISPLAY 0 |
| 0 | 0 | 0 | -- | --- |
| 0 | 0 | 1 | 3 | 5 |
| 0 | 1 | 0 | 1 | 2 |
| 0 | 1 | 1 | -- | 2 |
| 1 | 0 | 0 | 2 | 1 |
| 1 | 0 | 1 | 2 | 0 |
| 1 | 1 | 0 | 0 | 2 |
| 1 | 1 | 1 | 1 | 5 |

| DISPLAY 1 - HEX1 | | | |
|------------------|----|----|----|
| D1 | C1 | B1 | A1 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 |

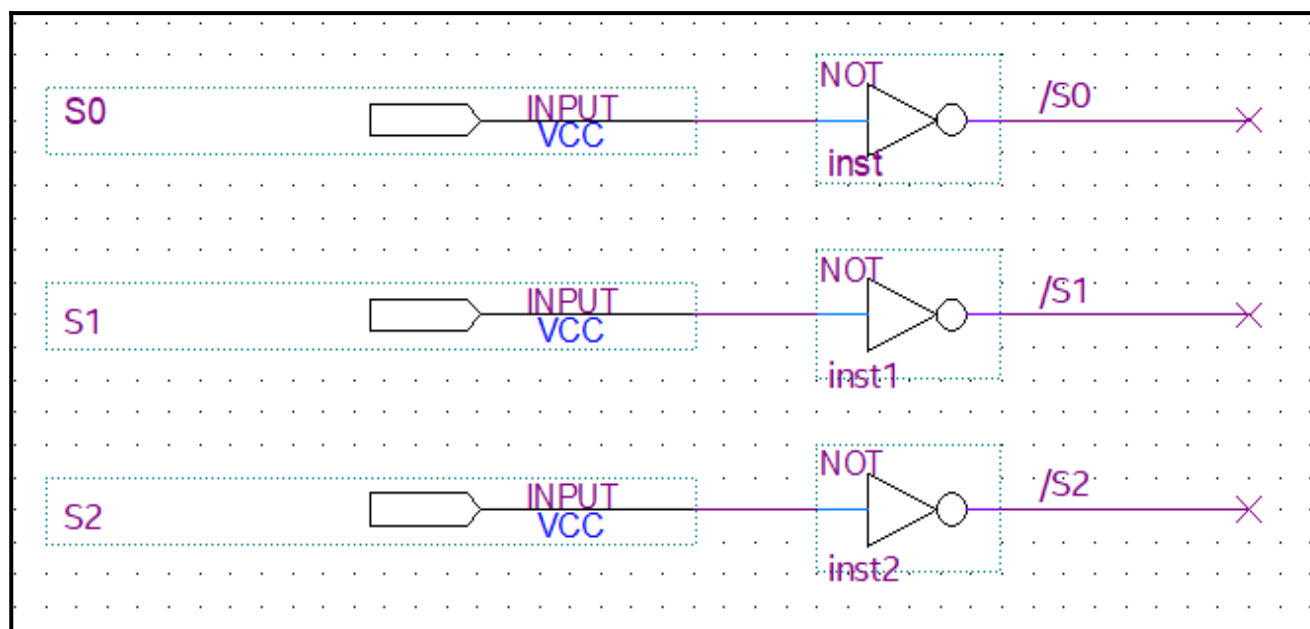
| DISPLAY 2 - HEX0 | | | |
|------------------|----|----|----|
| D0 | C0 | B0 | A0 |
| 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |

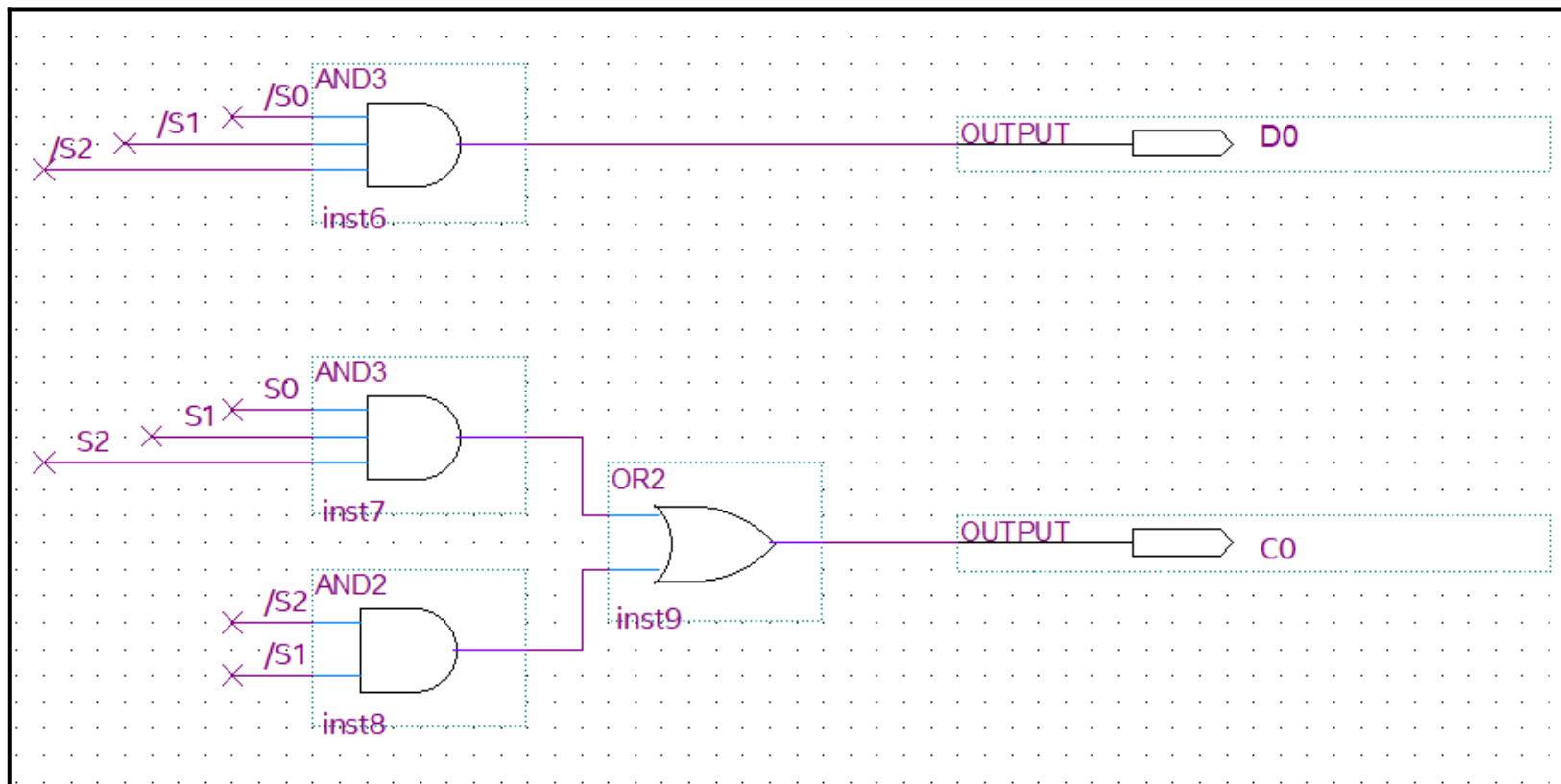
3. Expressões Lógicas Minimizadas (Mapas de Veitch/Karnaugh)

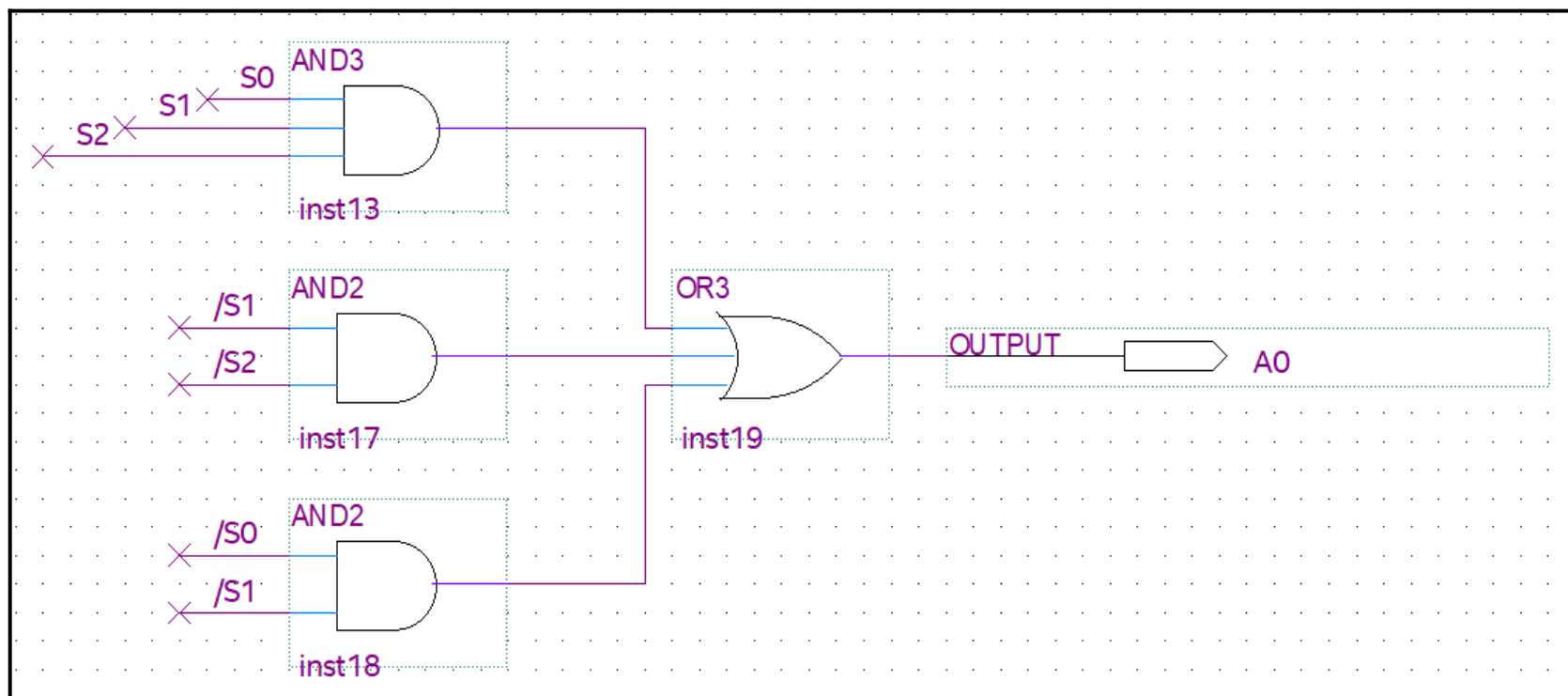
| | | | | | |
|-------------------------------------|------------|-----------|--------------------------|------------|-----------|
| D1 | | | B1 | | |
| | S2' | S2 | | S2' | S2 |
| S1'. S0' | 1 | 0 | S1'. S0' | 1 | 1 |
| S1'. S0 | 0 | 0 | S1'. S0 | 1 | 1 |
| S1. S0 | 1 | 0 | S1. S0 | 1 | 0 |
| S1. S0' | 0 | 0 | S1. S0' | 0 | 0 |
| D1 = S2'.S1'.S0' + S2'.S1.S0 | | | B1 = S2'.S0 + S1' | | |
| C1 | | | A1 | | |
| | S2' | S2 | | S2' | S2 |
| S1'. S0' | 1 | 0 | S1'. S0' | 1 | 0 |
| S1'. S0 | 0 | 0 | S1'. S0 | 1 | 0 |
| S1. S0 | 1 | 0 | S1. S0 | 1 | 1 |
| S1. S0' | 0 | 0 | S1. S0' | 1 | 0 |
| C1 = S2'.S1'.S0' + S2'.S1.S0 | | | A1 = S1.S0 + S2' | | |

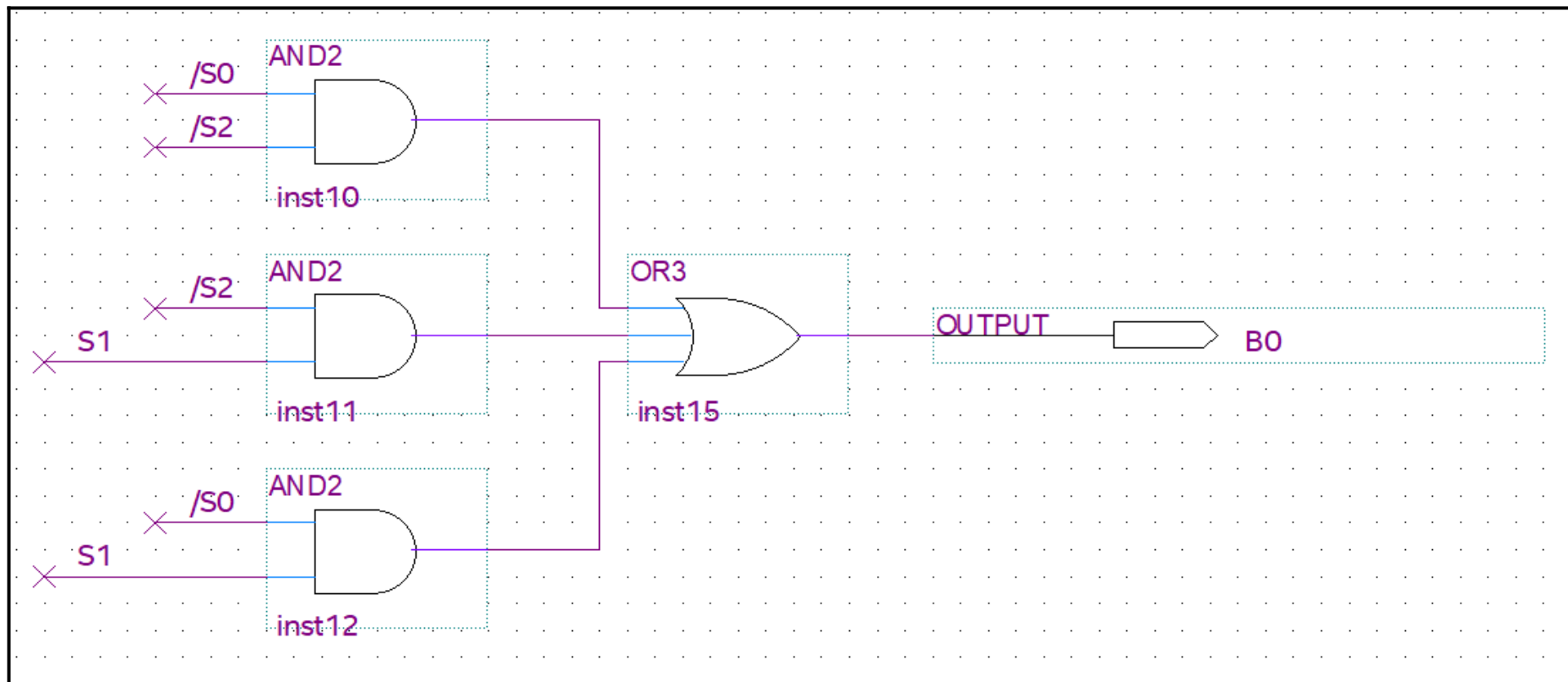
| | | | | | |
|---------------------------------------|------------|-----------|--|------------|-----------|
| D0 | | | C0 | | |
| | S2' | S2 | | S2' | S2 |
| S1'. S0' | 1 | 0 | S1'. S0' | 1 | 0 |
| S1'.S0 | 0 | 0 | S1'.S0 | 1 | 0 |
| S1.S0 | 0 | 0 | S1.S0 | 0 | 1 |
| S1.S0' | 0 | 0 | S1.S0' | 0 | 0 |
| D0 = S2'.S1'.S0' | | | C0 = S2.S1.S0 + S2'.S1' | | |
| B0 | | | A0 | | |
| | S2' | S2 | | S2' | S2 |
| S1'. S0' | 1 | 0 | S1'. S0' | 1 | 1 |
| S1'.S0 | 0 | 0 | S1'.S0 | 1 | 0 |
| S1.S0 | 1 | 0 | S1.S0 | 0 | 1 |
| S1.S0' | 1 | 1 | S1.S0' | 0 | 0 |
| B0 = S2'.S0' + S2'.S1 + S1.S0' | | | A0 = S2.S1.S0 + S2'.S1' + S1'.S0' | | |

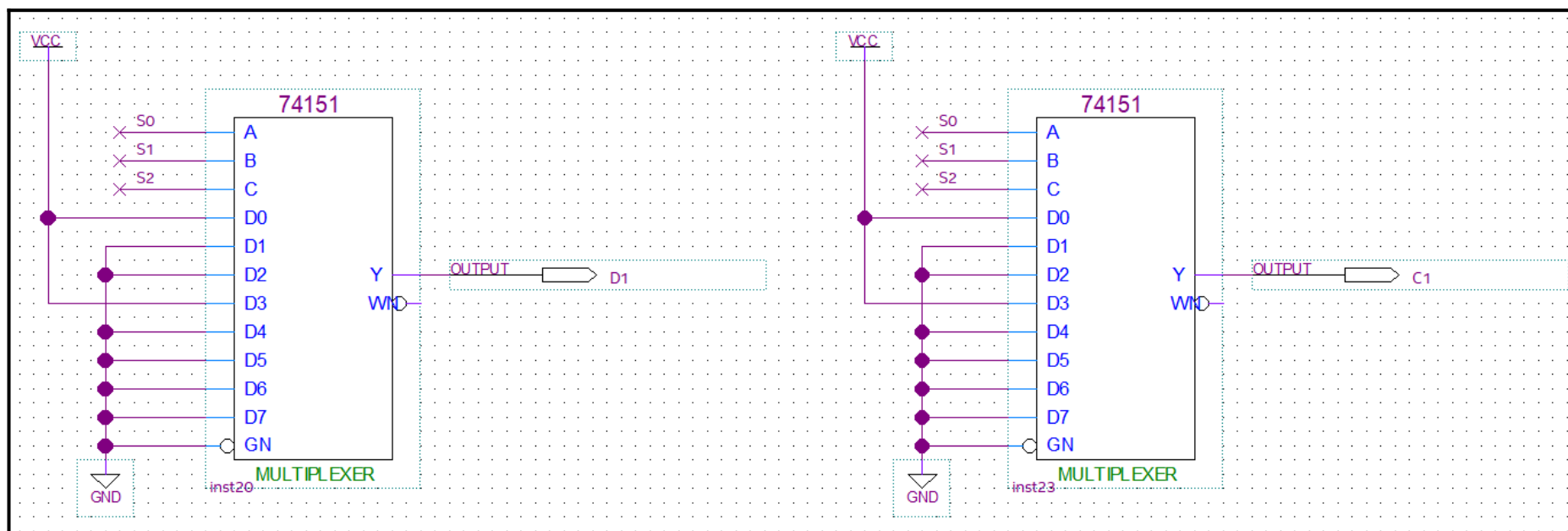
4. Diagrama Esquemático-Lógico

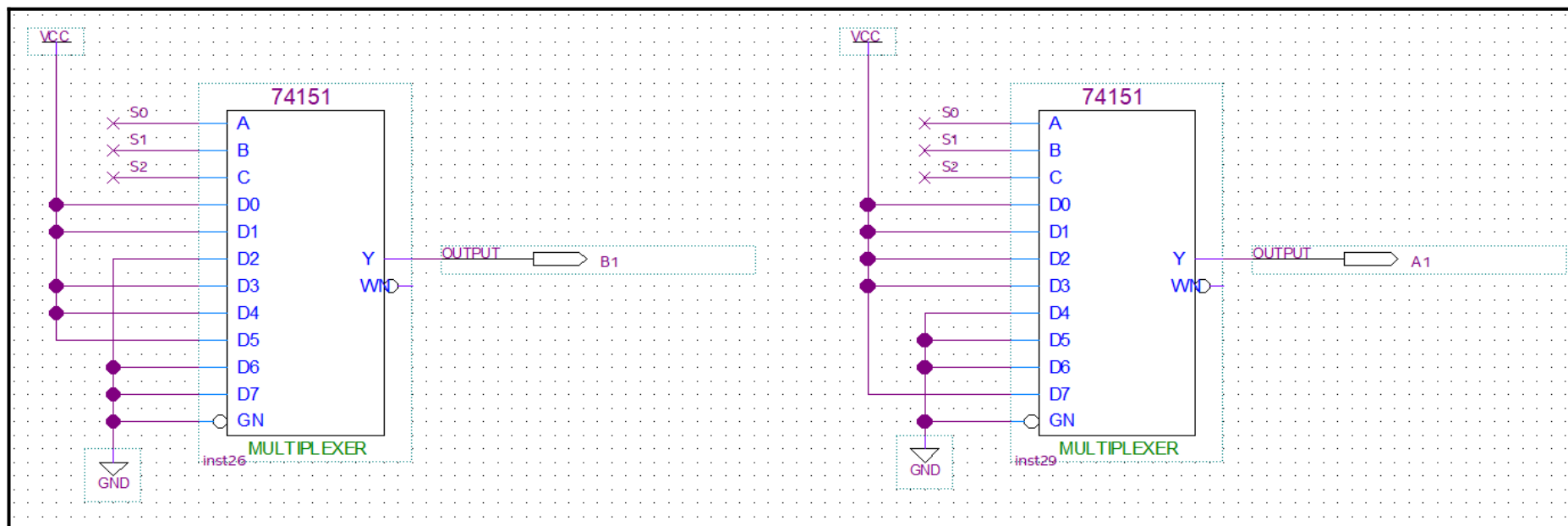




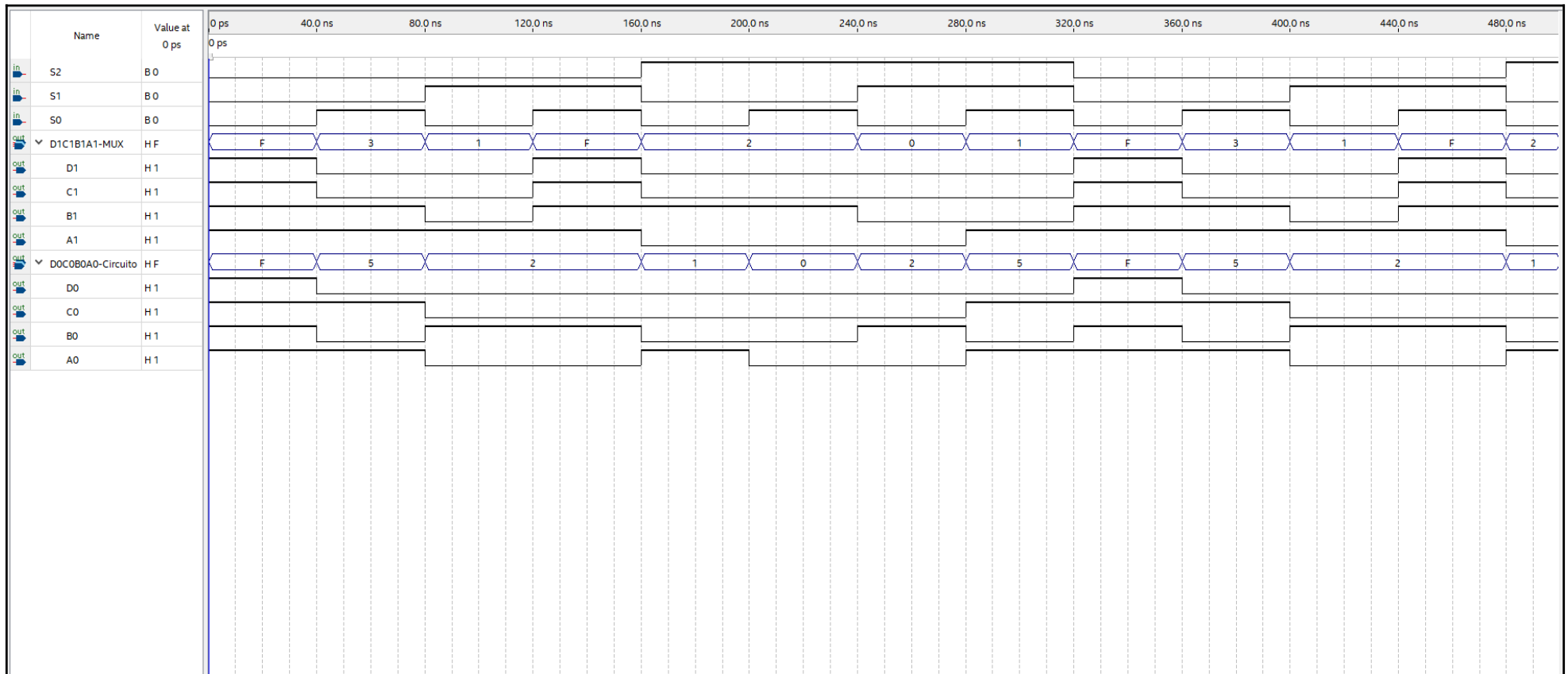




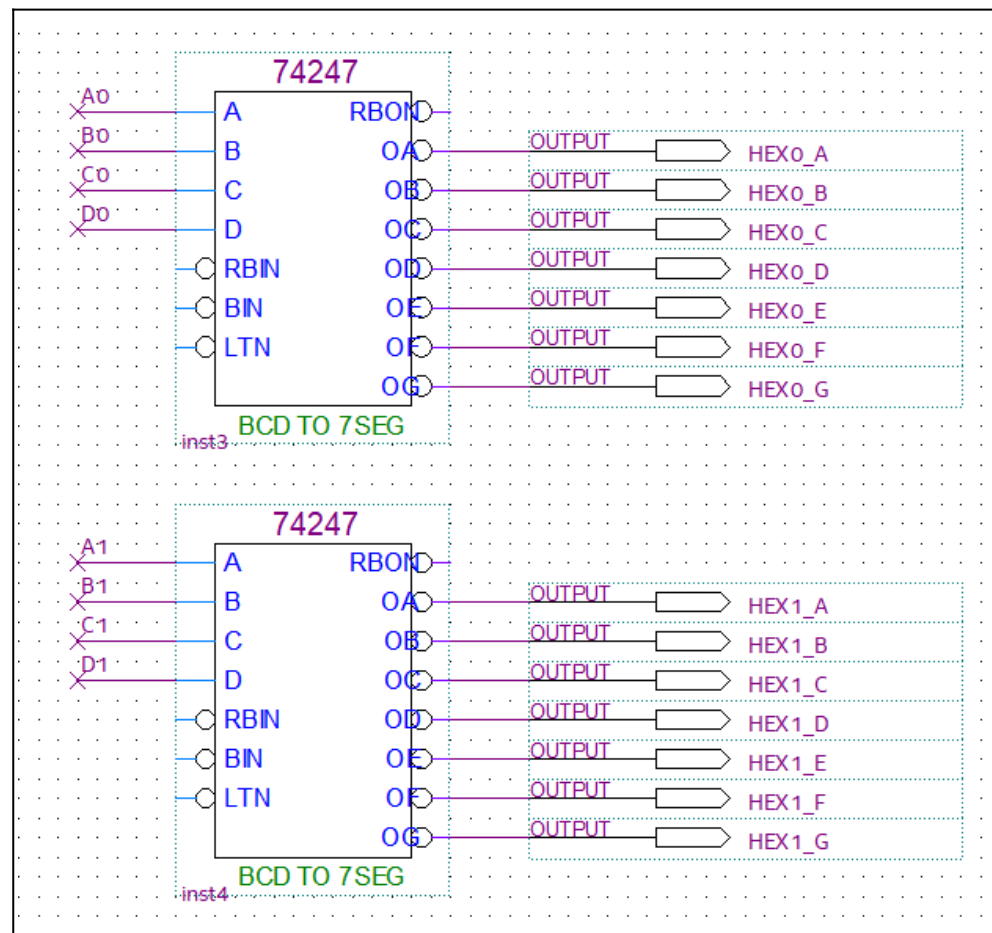




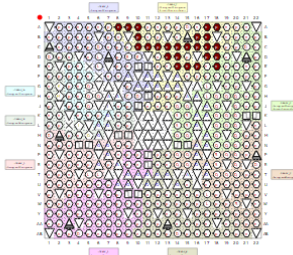
5. Simulação Funcional



6. Pinagem



Top View - Wire Bond
MAX 10 - 10M40DAF484C7G



| Node Name | Direction | Location | I/O Bank | VREF Group | Fitter Location | I/O Standard | Reserved | Current Strength | Slew Rate | Differential Pair | Strict Preservation |
|-----------|-----------|----------|----------|------------|-----------------|--------------|----------|------------------|-------------|-------------------|---------------------|
| A0 | Output | PIN_A8 | 7 | B7_NO | PIN_A8 | 2.5 V | | 12mA (default) | 2 (default) | | |
| A1 | Output | PIN_D13 | 7 | B7_NO | PIN_D13 | 2.5 V | | 12mA (default) | 2 (default) | | |
| B0 | Output | PIN_A9 | 7 | B7_NO | PIN_A9 | 2.5 V | | 12mA (default) | 2 (default) | | |
| B1 | Output | PIN_C13 | 7 | B7_NO | PIN_C13 | 2.5 V | | 12mA (default) | 2 (default) | | |
| C0 | Output | PIN_A10 | 7 | B7_NO | PIN_A10 | 2.5 V | | 12mA (default) | 2 (default) | | |
| C1 | Output | PIN_E14 | 7 | B7_NO | PIN_E14 | 2.5 V | | 12mA (default) | 2 (default) | | |
| D0 | Output | PIN_B10 | 7 | B7_NO | PIN_B10 | 2.5 V | | 12mA (default) | 2 (default) | | |
| D1 | Output | PIN_D14 | 7 | B7_NO | PIN_D14 | 2.5 V | | 12mA (default) | 2 (default) | | |
| HEX0_A | Output | PIN_C14 | 7 | B7_NO | PIN_C14 | 2.5 V | | 12mA (default) | 2 (default) | | |
| HEX0_B | Output | PIN_E15 | 7 | B7_NO | PIN_E15 | 2.5 V | | 12mA (default) | 2 (default) | | |
| HEX0_C | Output | PIN_C15 | 7 | B7_NO | PIN_C15 | 2.5 V | | 12mA (default) | 2 (default) | | |
| HEX0_D | Output | PIN_C16 | 7 | B7_NO | PIN_C16 | 2.5 V | | 12mA (default) | 2 (default) | | |
| HEX0_E | Output | PIN_E16 | 7 | B7_NO | PIN_E16 | 2.5 V | | 12mA (default) | 2 (default) | | |
| HEX0_F | Output | PIN_D17 | 7 | B7_NO | PIN_D17 | 2.5 V | | 12mA (default) | 2 (default) | | |
| HEX0_G | Output | PIN_C17 | 7 | B7_NO | PIN_C17 | 2.5 V | | 12mA (default) | 2 (default) | | |
| HEX1_A | Output | PIN_C18 | 7 | B7_NO | PIN_C18 | 2.5 V | | 12mA (default) | 2 (default) | | |
| HEX1_B | Output | PIN_D18 | 6 | B6_NO | PIN_D18 | 2.5 V | | 12mA (default) | 2 (default) | | |
| HEX1_C | Output | PIN_E18 | 6 | B6_NO | PIN_E18 | 2.5 V | | 12mA (default) | 2 (default) | | |
| HEX1_D | Output | PIN_B16 | 7 | B7_NO | PIN_B16 | 2.5 V | | 12mA (default) | 2 (default) | | |
| HEX1_E | Output | PIN_A17 | 7 | B7_NO | PIN_A17 | 2.5 V | | 12mA (default) | 2 (default) | | |
| HEX1_F | Output | PIN_A18 | 7 | B7_NO | PIN_A18 | 2.5 V | | 12mA (default) | 2 (default) | | |
| HEX1_G | Output | PIN_B17 | 7 | B7_NO | PIN_B17 | 2.5 V | | 12mA (default) | 2 (default) | | |
| S0 | Input | PIN_C10 | 7 | B7_NO | PIN_C10 | 2.5 V | | 12mA (default) | | | |
| S1 | Input | PIN_C11 | 7 | B7_NO | PIN_C11 | 2.5 V | | 12mA (default) | | | |
| S2 | Input | PIN_C12 | 7 | B7_NO | PIN_C12 | 2.5 V | | 12mA (default) | | | |

7. Conclusões:

A partir dos experimentos realizados ficou claro a interconexão entre os tópicos estudados até o momento. A montagem de um circuito como o realizado neste projeto só foi possível graças aos estudos de Níveis Lógicos, Portas Lógicas, Minimização de Expressões Booleanas, Expressões Booleanas, Multiplexadores e Demultiplexadores, entre tantos outros conceitos de fundamental importância para a finalização do projeto. Os principais objetivos do projeto eram desenvolver um sistema digital combinacional que a partir do acionamento de três chaves apresentaria o código da disciplina e o número da matrícula do aluno em um par de displays de sete segmentos e exercitar a metodologia de desenvolvimento de projetos de engenharia apoiada em computador (CAE). Todos os objetivos mencionados acima foram alcançados realizando-se o projeto por etapas. As principais etapas durante o processo foram: compreensão do problema, seu planejamento, desenvolvimento da solução lógica, integração dos subsistemas, implementação no ambiente computacional, simulação, testes, depuração do projeto, implementação física e registro dos resultados.

Todos os objetivos propostos foram alcançados assim como esperado, porém ocorreram alguns percalços durante o desenvolvimento do circuito no ambiente de desenvolvimento do software Quartus Prime, já que essa era a primeira vez utilizando o software. Problemas com salvamento do projeto, configuração do projeto e realização das simulações de onda e funcionamento ocorreram algumas vezes, porém foram facilmente contornadas e acabaram não prejudicando o desenvolvimento total do projeto. Além disso, houve uma grande dificuldade com a instalação do software desenvolvido pela Intel em um ambiente Linux (como o utilizado por mim).

O projeto como um todo desenvolveu diversas habilidades de grande relevância para o curso, além de familiarizar o aluno com o ambiente de modelagem e desenvolvimento de FPGA's. Devido às dificuldades enfrentadas durante a instalação do software Quartus Prime no ambiente Linux(Ubuntu), acredito que seja de grande utilidade para as próximas implementações desse projeto, um tutorial acerca da instalação do software em sistemas operacionais baseados em Unix/Linux. O apoio dos professores das aulas de laboratório também foi essencial para o desenvolvimento e posterior conclusão do projeto.