

Projeto 2: Máquina de Estados

Aluno		
Número	Nome	Turma
22.120.021-5	João Pedro Rosa Cezarino	620
Professor: Isaac Jesus		

Data da Realização:	14/05/2021
---------------------	------------

Sumário

1. Descrição do Projeto:.....	3
2. Tabela Verdade ou Diagrama de Estados do Sistema Digital:.....	4
3. Expressões Lógicas Minimizadas (Mapas de Veitch/Karnaugh):.....	5
4. Diagrama Esquemático-Lógico:.....	7
5. Simulação Funcional:.....	12
6. Conclusões:.....	13

1. Descrição do Projeto:

O Projeto 2 tem o objetivo de exercitar a implementação de circuitos utilizando o ambiente de simulação do software Quartus Prime Lite, desenvolvido pela Intel. Nele o aluno tem a oportunidade de montar as tabelas verdades referentes aos valores de entrada fornecidos e a partir daí construir os Mapas de Karnaugh, para dessa forma chegar na Expressão Booleana que definirá cada saída do Circuito.

Além de treinar as habilidades no ambiente de desenvolvimento do Quartus Prime, o aluno aprimora a capacidade de resolução de simplificações de expressões booleanas, para montar o circuito mais eficaz possível. Também se montou um multiplexador de 8 entradas (Modelo 74151), que é responsável por selecionar uma das entradas e conectá-la eletronicamente a sua única saída. O circuito, devido ao seu tamanho, foi dividido em partes dentro do ambiente de simulação, visando uma melhor organização e navegação durante o desenvolvimento do projeto.

Um projeto interessante e bem desafiador, já que exige do aluno um conhecimento prévio advindo de experiências e estudos anteriores e proporciona o aprendizado do manuseio do software Quartus Prime Lite, o principal software para modelagem e desenvolvimento de FPGA's.

2. Tabela Verdade ou Diagrama de Estados do Sistema Digital:

Tabela de Transição de Estados do Contador Síncrono																		
Sentido	H	Estado atual				Estado futuro				Entradas dos flip flops						LEDs		
		Na	Q2	Q1	Q0	Nf	Q2	Q1	Q0	J2	K2	J1	K1	J0	K0	Y2	Y1	Y0
Anti-horário	0	0	0	0	0	2	0	1	0	0	X	1	X	0	X	0	0	1
	0	1	0	0	1	5	1	0	1	1	X	0	X	X	0	0	0	1
	0	2	0	1	0	1	0	0	1	0	X	X	1	1	X	0	1	1
	0	3	0	1	1	0	0	0	0	0	X	X	1	X	1	0	1	0
	0	4	1	0	0	3	0	1	1	X	1	1	X	1	X	0	1	0
	0	5	1	0	1	4	1	0	0	X	0	0	X	X	1	1	1	0
	0	6	1	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X
	0	7	1	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X
Horário	1	0	0	0	0	3	0	1	1	0	X	1	X	1	X	0	0	1
	1	1	0	0	1	2	0	1	0	0	X	1	X	X	1	0	0	1
	1	2	0	1	0	0	0	0	0	0	X	X	1	0	X	0	1	1
	1	3	0	1	1	4	1	0	0	1	X	X	1	X	1	0	1	0
	1	4	1	0	0	5	1	0	1	X	0	0	X	1	X	0	1	0
	1	5	1	0	1	1	0	0	1	X	1	0	X	X	0	1	1	0
	1	6	1	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X
	1	7	1	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X

Tabela Verdade da Lógica de Seleção									
Função	S1	S0	PRE2	CLR2	PRE1	CLR1	PRE0	CLR0	H
Est. Inicial A	0	0	0	1	1	0	0	1	X
Horário H = 1	0	1	1	1	1	1	1	1	1
Anti-horário	1	0	1	1	1	1	1	1	0
Est. Inicial F	1	1	0	1	1	0	1	0	X

3. Expressões Lógicas Minimizadas (Mapas de Veitch/Karnaugh):

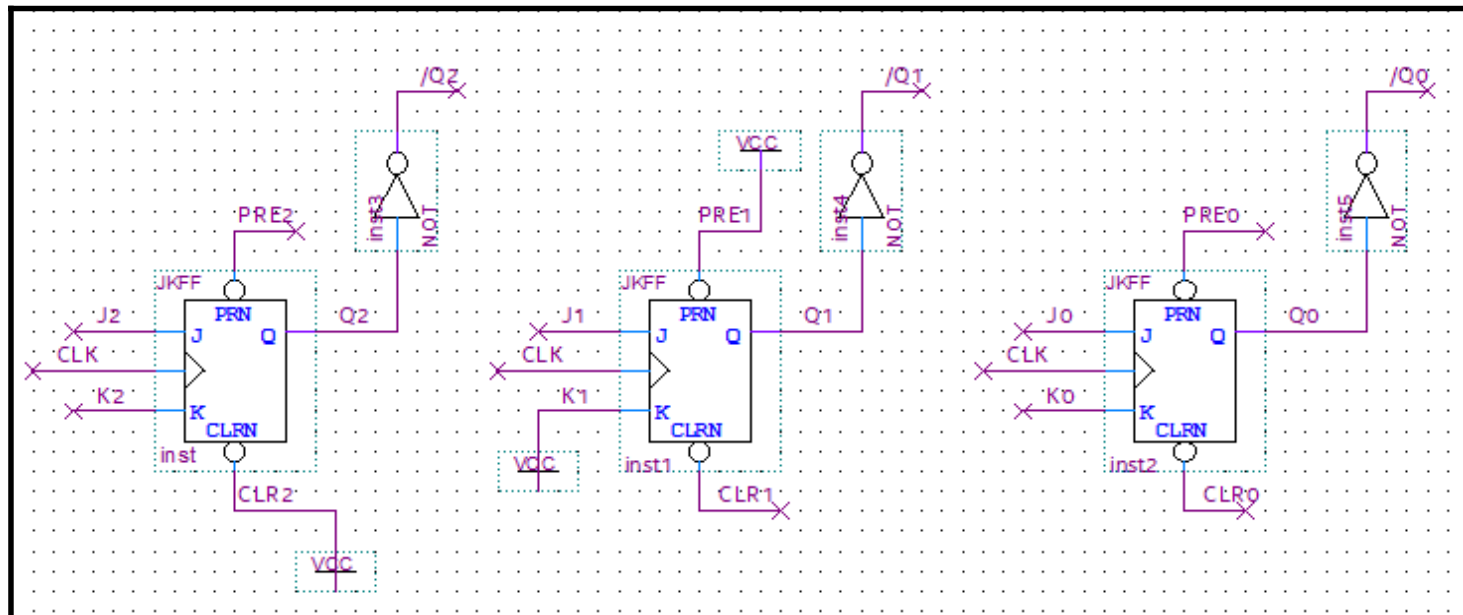
		Q1Q0						Q1Q0			
		00	01	11	10			00	01	11	10
	00	X	0	1	X		00	0	X	X	1
	01	X	1	X	X		01	1	X	X	X
HQ2	11	X	0	X	X	HQ2	11	1	X	X	X
	10	X	1	1	X		10	1	X	X	0
	$K0 = /H \cdot Q2 + H \cdot /Q2 + Q1$						$J0 = /H \cdot Q1 + H \cdot /Q1 + Q2$				
		Q1Q0						Q1Q0			
		00	01	11	10			00	01	11	10
	00	X	X	1	1		00	1	0	X	X
	01	X	X	X	X		01	1	0	X	X
HQ2	11	X	X	X	X	HQ2	11	0	0	X	X
	10	X	X	1	1		10	1	1	X	X
	$K1 = 1$						$J1 = /H \cdot /Q0 + H \cdot /Q2$				
		Q1Q0						Q1Q0			
		00	01	11	10			00	01	11	10
	00	X	X	X	X		00	0	1	0	0
	01	1	0	X	X		01	X	X	X	X
HQ2	11	0	1	X	X	HQ2	11	X	X	X	X
	10	X	X	X	X		10	0	0	1	0
	$K2 = /H \cdot /Q0 + H \cdot Q0$						$J2 = /H \cdot /Q1 \cdot Q0 + H \cdot Q1 \cdot Q0$				

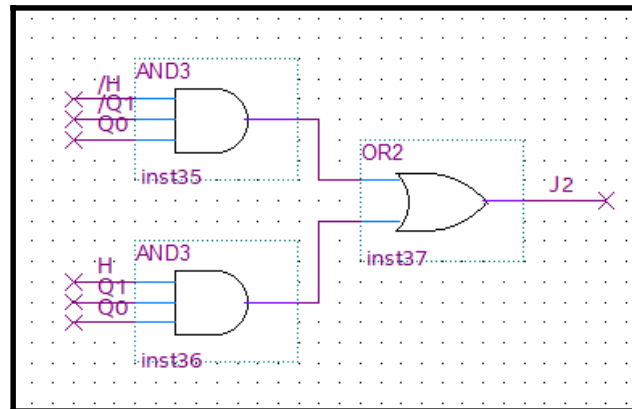
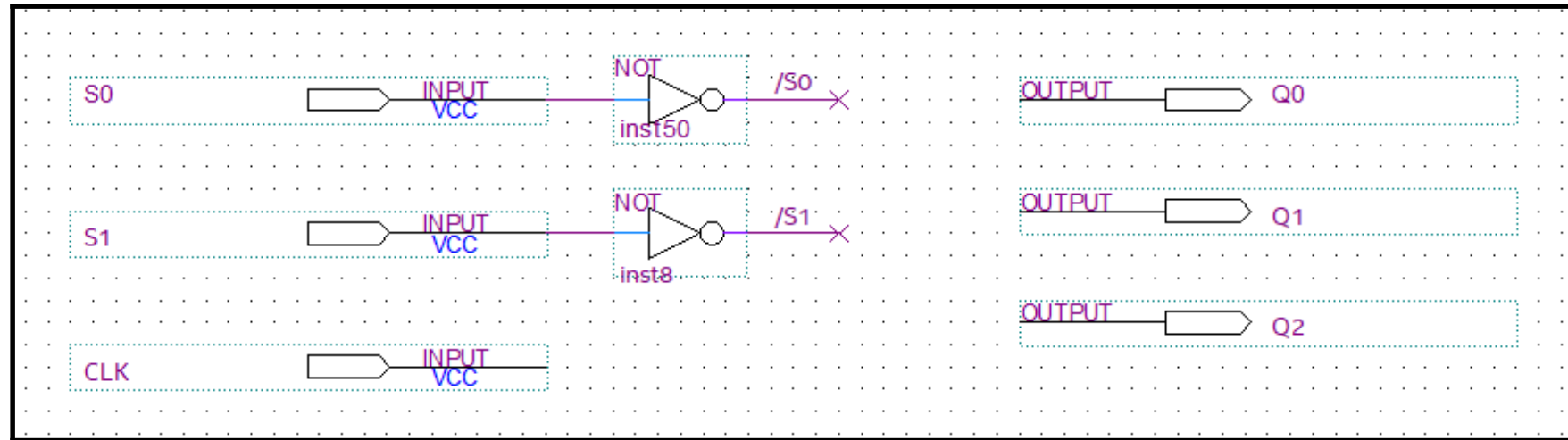
		Q1Q0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																				
--	--	------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

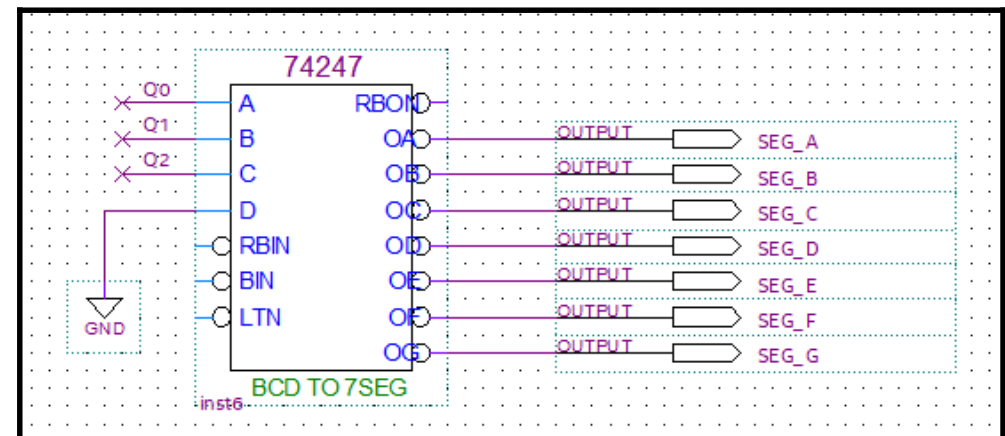
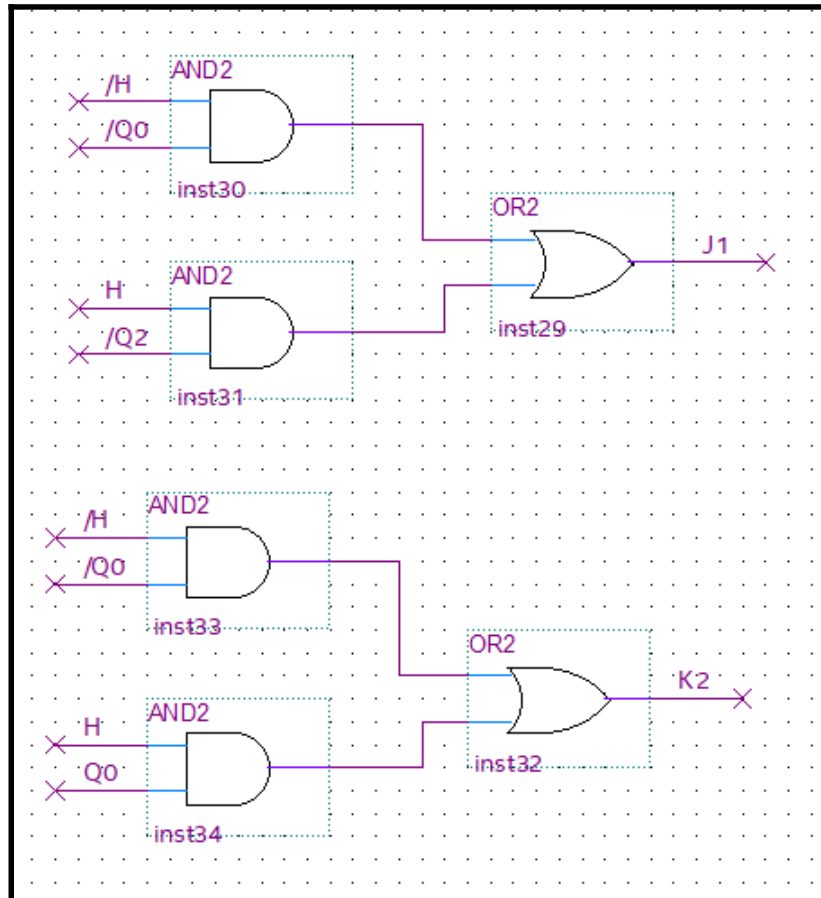
		Q1Q0			
		00	01	11	10
00	0	0	0	0	0
01	0	1	X	X	
11	0	1	X	X	
10	0	0	0	0	0
		$Y2 = Q2 . Q0$			

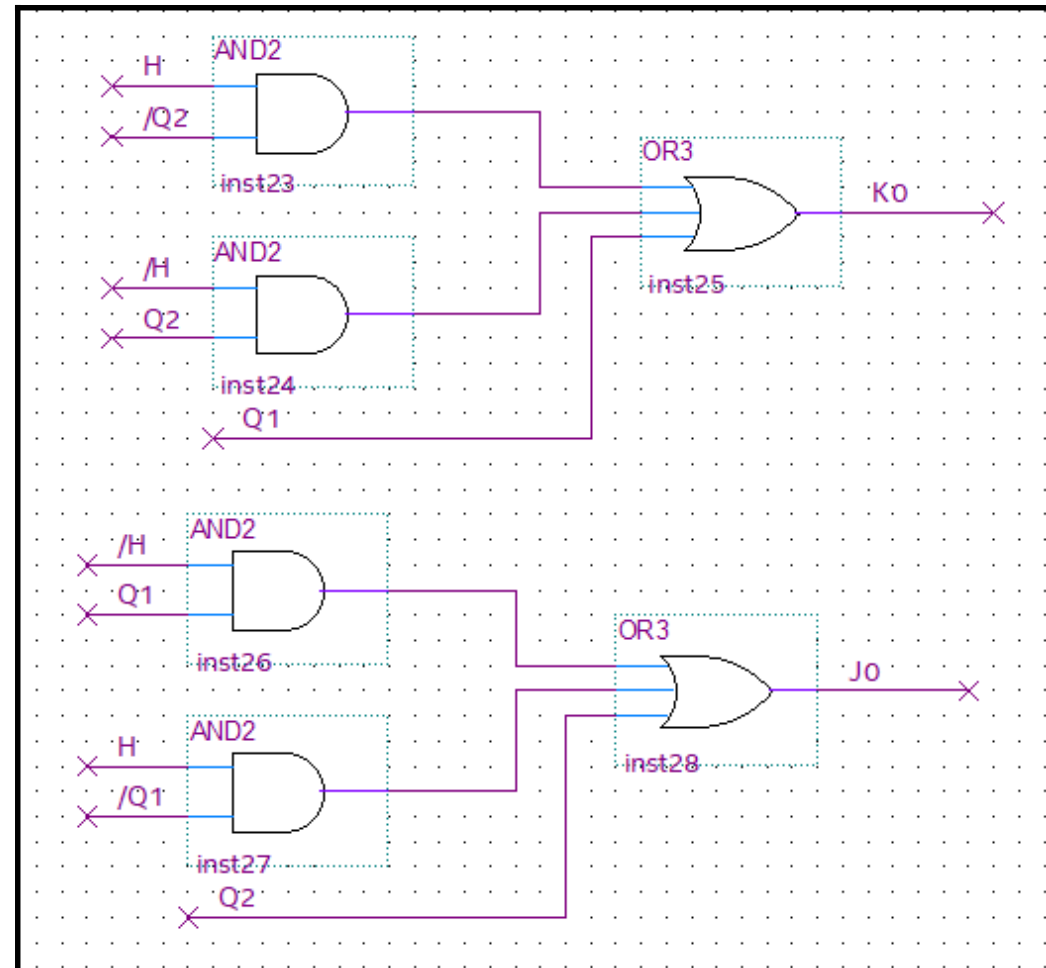
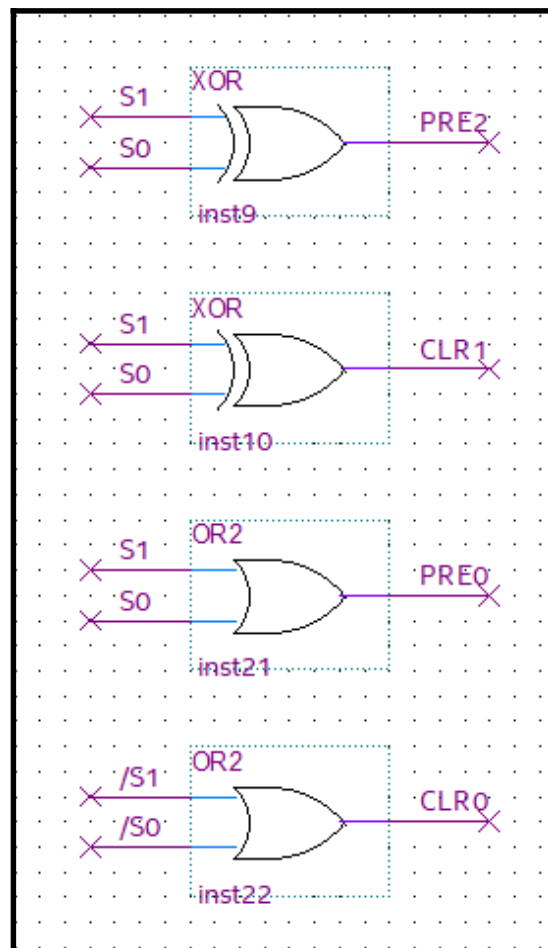
Expressões
$PRE2 = S1 \text{ XOR } S0$
$CLR2 = 1$
$PRE1 = 1$
$CLR1 = S1 \text{ XOR } S0$
$PRE0 = S1 + S0$
$CLR0 = /S1 + /S0$
$H = S0$

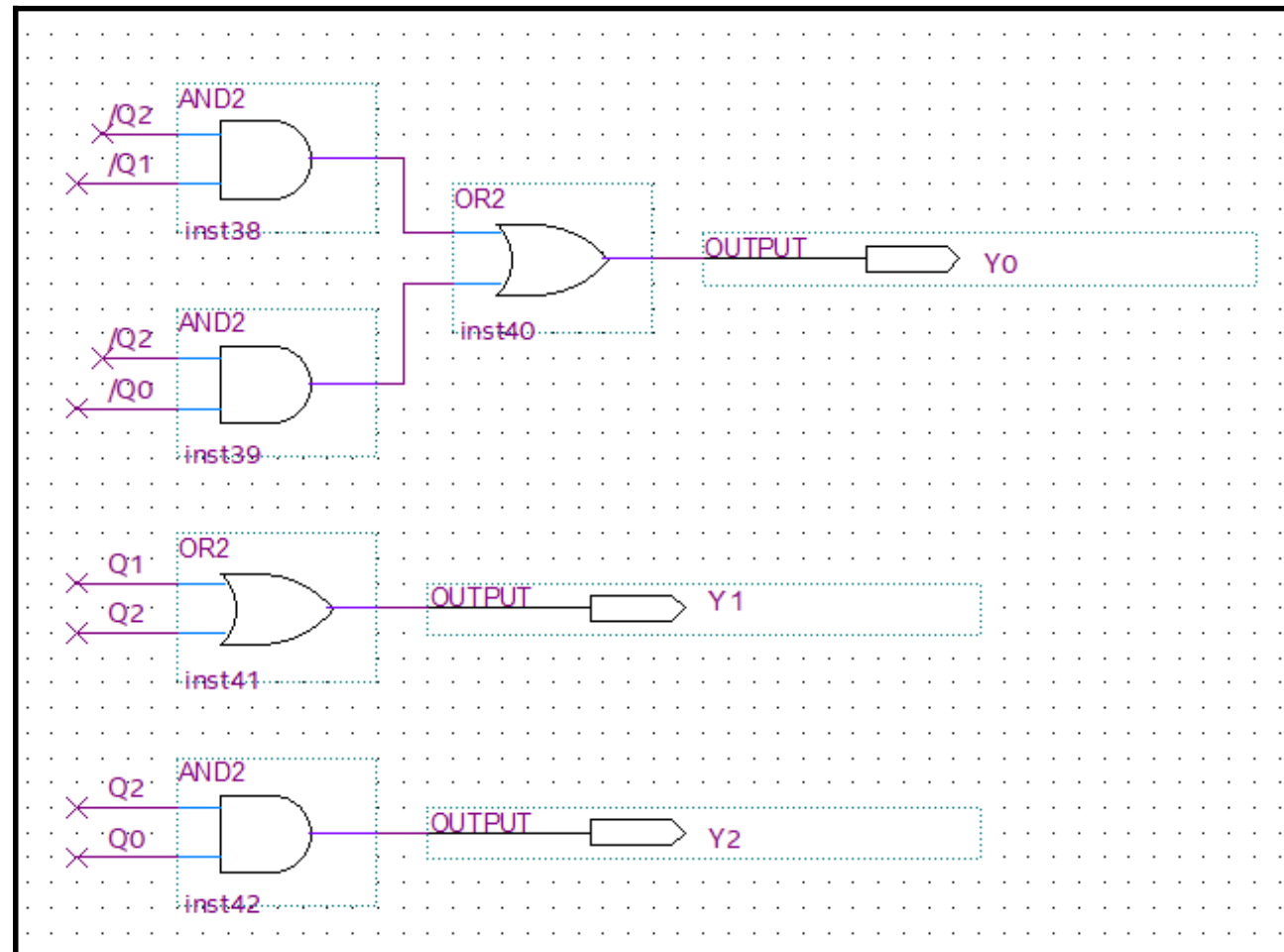
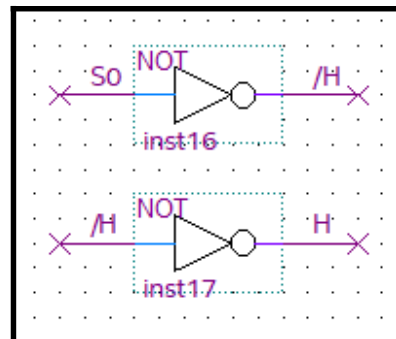
4. Diagrama Esquemático-Lógico:











5. Simulação Funcional:

INSERIR AS FORMAS DE ONDA SIMULADAS (NO MODO FUNCIONAL) DO PROJETO

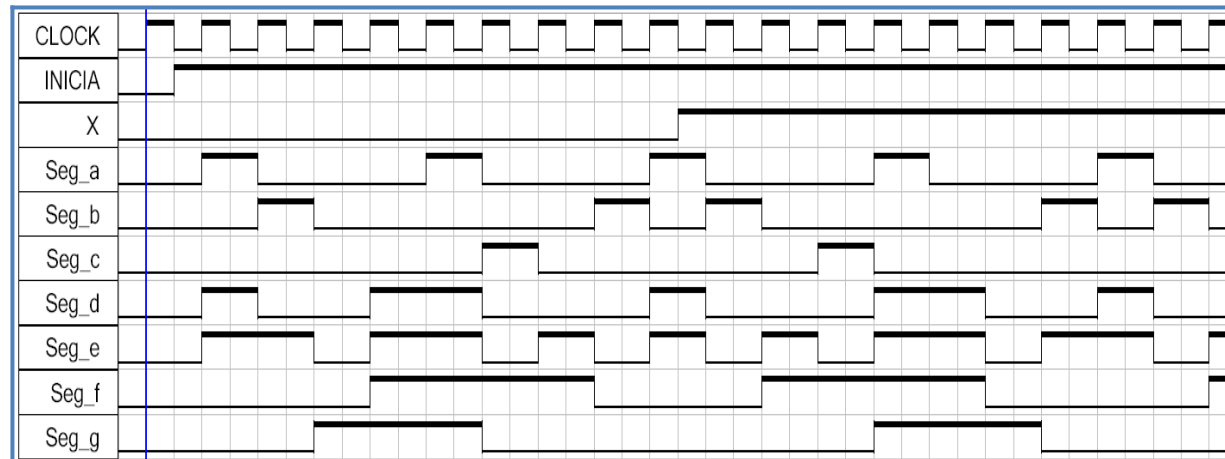


Figura 3: “Print Screen” da janela principal do simulador do Quartus Prime exibindo a simulação funcional do sistema.

6. Conclusões:

PODEM SER COMENTADOS OS SEGUINTE ASPECTOS:

- **SE OS OBJETIVOS DO PROJETO FORAM ALCANÇADOS;**
- **COMPARAÇÃO DOS RESULTADOS OBTIDOS COM OS ESPERADOS;**
- **COMENTAR A OCORRÊNCIA DE DIFICULDADES NÃO PREVISTAS NO DESENVOLVIMENTO DO PROJETO E COMO ESTAS FORAM SUPERADAS;**
- **SUGESTÕES DE MELHORIA PARA FUTURAS IMPLEMENTAÇÕES DESSE PROJETO.**
- **OBSERVAÇÕES QUE O ALUNO JULGAR PERTINENTES.**