



Projeto 2: Máquina de Estados

Aluno		
Número	Nome	Turma
22.120.021-5	João Pedro Rosa Cezarino	620
Professor: Isaac Jesus		

Data da Realização:	14/05/2021
---------------------	------------

Sumário

1. Descrição do Projeto:.....	3
2. Tabela Verdade ou Diagrama de Estados do Sistema Digital:.....	4
3. Expressões Lógicas Minimizadas (Mapas de Veitch/Karnaugh):.....	5
4. Diagrama Esquemático-Lógico:.....	7
5. Simulação Funcional:.....	12
6. Diagrama de Pinos:.....	13
7. Conclusões:.....	15

1. Descrição do Projeto:

O Projeto 2 tem o objetivo de exercitar a implementação de circuitos utilizando o ambiente de simulação do software Quartus Prime Lite, desenvolvido pela Intel. Nele o aluno tem a oportunidade de montar as tabelas verdades referentes aos valores de entrada fornecidos e a partir daí construir os Mapas de Karnaugh, para dessa forma chegar na Expressão Booleana que definirá cada saída do Circuito.

Além de treinar as habilidades no ambiente de desenvolvimento do Quartus Prime, o aluno aprimora a capacidade de resolução de simplificações de expressões booleanas, para montar o circuito mais eficaz possível. Também se montou um multiplexador de 8 entradas (Modelo 74151), que é responsável por selecionar uma das entradas e conectá-la eletronicamente a sua única saída. O circuito, devido ao seu tamanho, foi dividido em partes dentro do ambiente de simulação, visando uma melhor organização e navegação durante o desenvolvimento do projeto.

O objetivo deste projeto é desenvolver um sistema digital composto por uma máquina de estados, cuja sequência de estados é definida por duas chaves. Os estados percorridos pela máquina de estados estão associados ao número de matrícula do aluno e o código dos estados percorridos deve ser apresentado em LED's e em um display hexadecimal. Um projeto interessante e bem desafiador, já que exige do aluno um conhecimento prévio advindo de experiências sobre máquinas de estado e estudos anteriores e por isso, proporciona o aprendizado do manuseio do software Quartus Prime Lite, o principal software para modelagem e desenvolvimento de FPGA's.

Número de Matrícula	A	B	C	D	E	F
22.120.021-5	5	1	2	0	3	4

2. Tabela Verdade ou Diagrama de Estados do Sistema Digital:

Tabela de Transição de Estados do Contador Síncrono																		
Sentido	H	Estado atual				Estado futuro				Entradas dos flip flops						LEDs		
		Na	Q2	Q1	Q0	Nf	Q2	Q1	Q0	J2	K2	J1	K1	J0	K0	Y2	Y1	Y0
Anti-horário	0	0	0	0	0	2	0	1	0	0	X	1	X	0	X	0	0	1
	0	1	0	0	1	5	1	0	1	1	X	0	X	X	0	0	0	1
	0	2	0	1	0	1	0	0	1	0	X	X	1	1	X	0	1	1
	0	3	0	1	1	0	0	0	0	0	X	X	1	X	1	0	1	0
	0	4	1	0	0	3	0	1	1	X	1	1	X	1	X	0	1	0
	0	5	1	0	1	4	1	0	0	X	0	0	X	X	1	1	1	0
	0	6	1	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X
	0	7	1	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X
Horário	1	0	0	0	0	3	0	1	1	0	X	1	X	1	X	0	0	1
	1	1	0	0	1	2	0	1	0	0	X	1	X	X	1	0	0	1
	1	2	0	1	0	0	0	0	0	0	X	X	1	0	X	0	1	1
	1	3	0	1	1	4	1	0	0	1	X	X	1	X	1	0	1	0
	1	4	1	0	0	5	1	0	1	X	0	0	X	1	X	0	1	0
	1	5	1	0	1	1	0	0	1	X	1	0	X	X	0	1	1	0
	1	6	1	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X
	1	7	1	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X

Tabela Verdade da Lógica de Seleção									
Função	S1	S0	PRE2	CLR2	PRE1	CLR1	PRE0	CLR0	H
Est. Inicial A	0	0	0	1	1	0	0	1	X
Horário H = 1	0	1	1	1	1	1	1	1	1
Anti-horário	1	0	1	1	1	1	1	1	0
Est. Inicial F	1	1	0	1	1	0	1	0	X

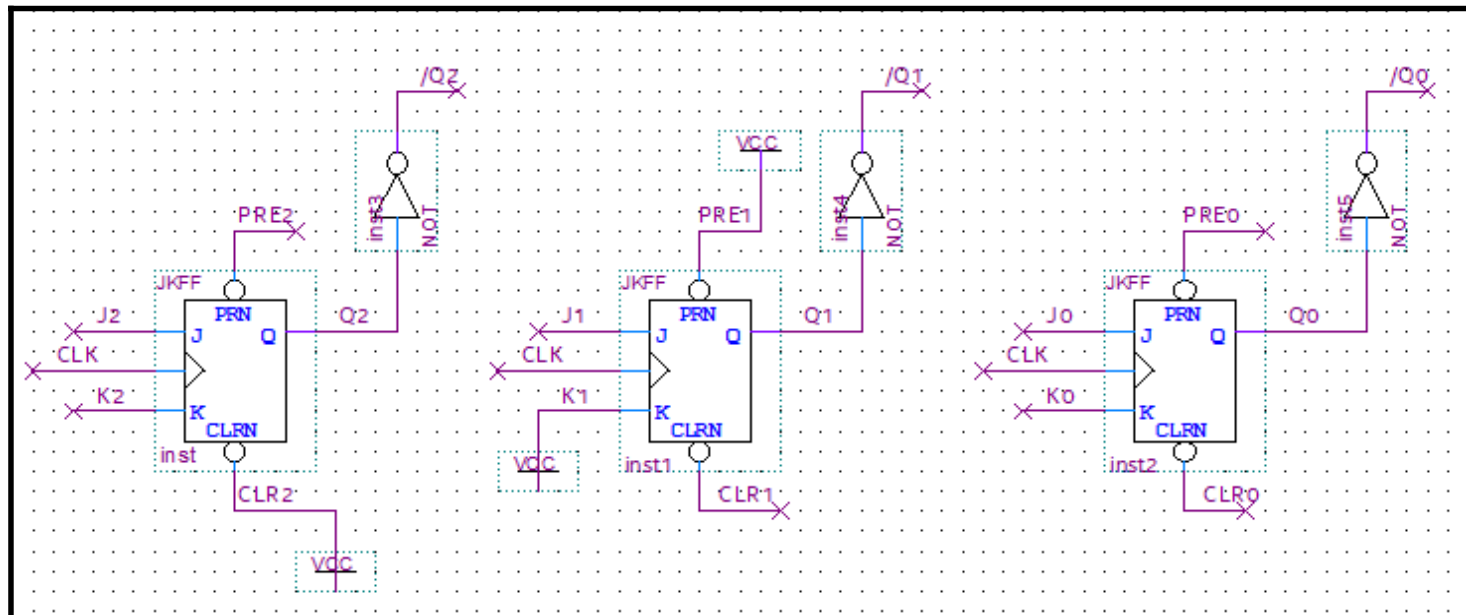
3. Expressões Lógicas Minimizadas (Mapas de Veitch/Karnaugh):

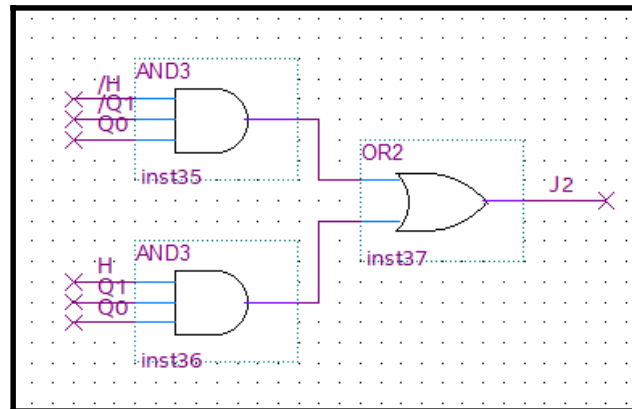
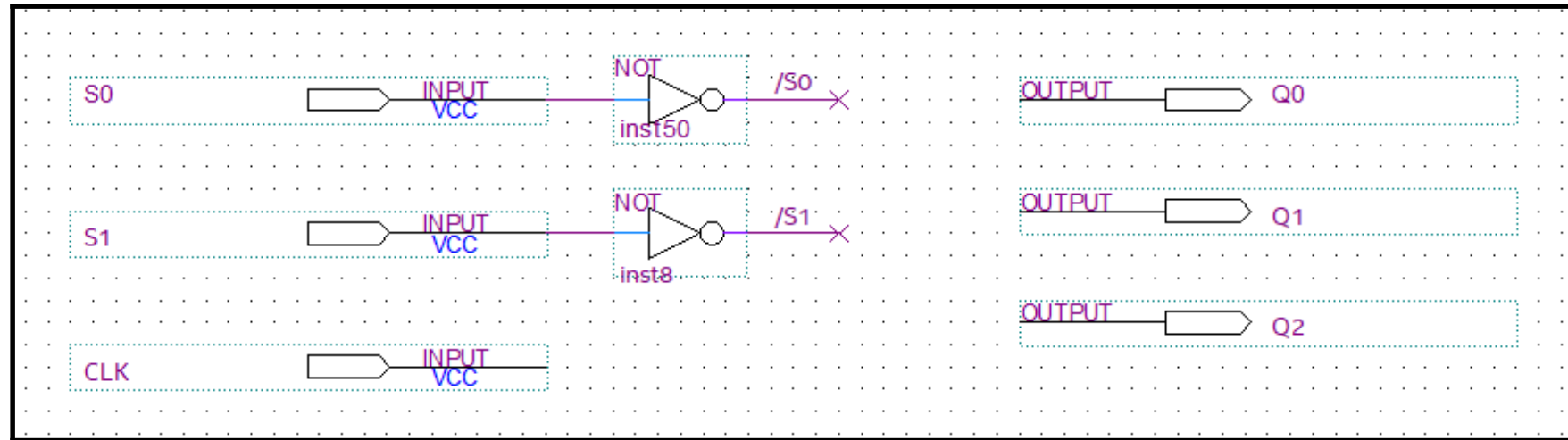
		Q1Q0						Q1Q0			
		00	01	11	10			00	01	11	10
	00	X	0	1	X		00	0	X	X	1
	01	X	1	X	X		01	1	X	X	X
HQ2	11	X	0	X	X	HQ2	11	1	X	X	X
	10	X	1	1	X		10	1	X	X	0
	$K0 = /H \cdot Q2 + H \cdot /Q2 + Q1$						$J0 = /H \cdot Q1 + H \cdot /Q1 + Q2$				
		Q1Q0						Q1Q0			
		00	01	11	10			00	01	11	10
	00	X	X	1	1		00	1	0	X	X
	01	X	X	X	X		01	1	0	X	X
HQ2	11	X	X	X	X	HQ2	11	0	0	X	X
	10	X	X	1	1		10	1	1	X	X
	$K1 = 1$						$J1 = /H \cdot /Q0 + H \cdot /Q2$				
		Q1Q0						Q1Q0			
		00	01	11	10			00	01	11	10
	00	X	X	X	X		00	0	1	0	0
	01	1	0	X	X		01	X	X	X	X
HQ2	11	0	1	X	X	HQ2	11	X	X	X	X
	10	X	X	X	X		10	0	0	1	0
	$K2 = /H \cdot /Q0 + H \cdot Q0$						$J2 = /H \cdot /Q1 \cdot Q0 + H \cdot Q1 \cdot Q0$				

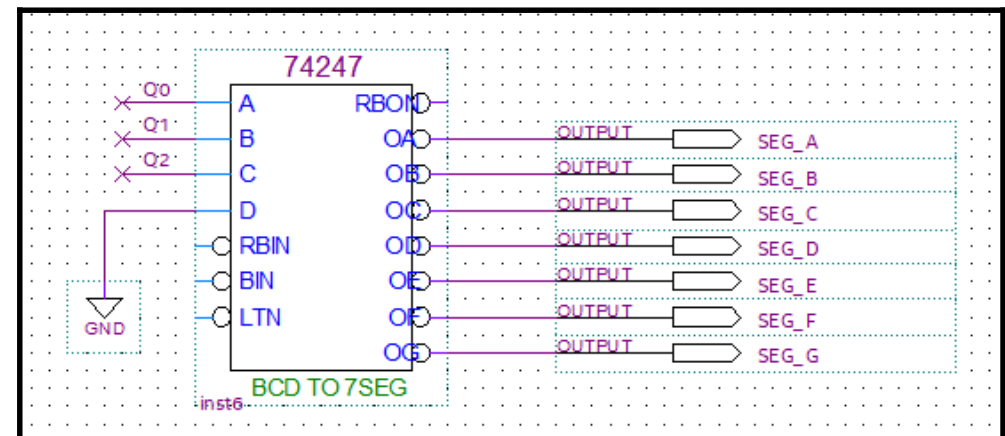
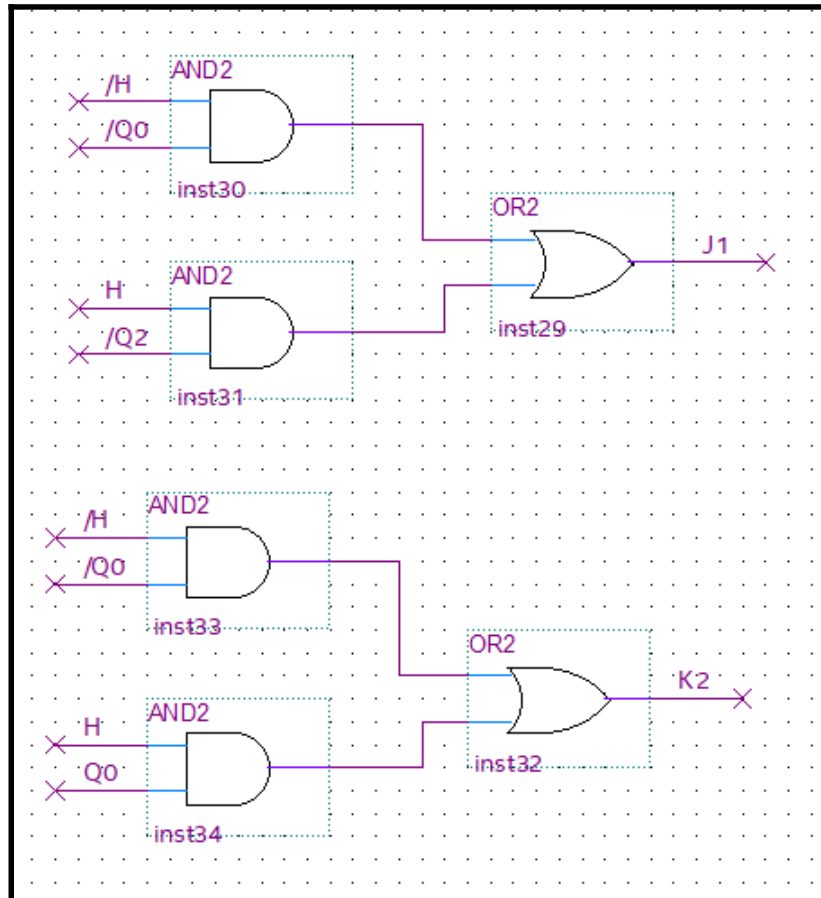
		Q1Q0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																				
--	--	------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

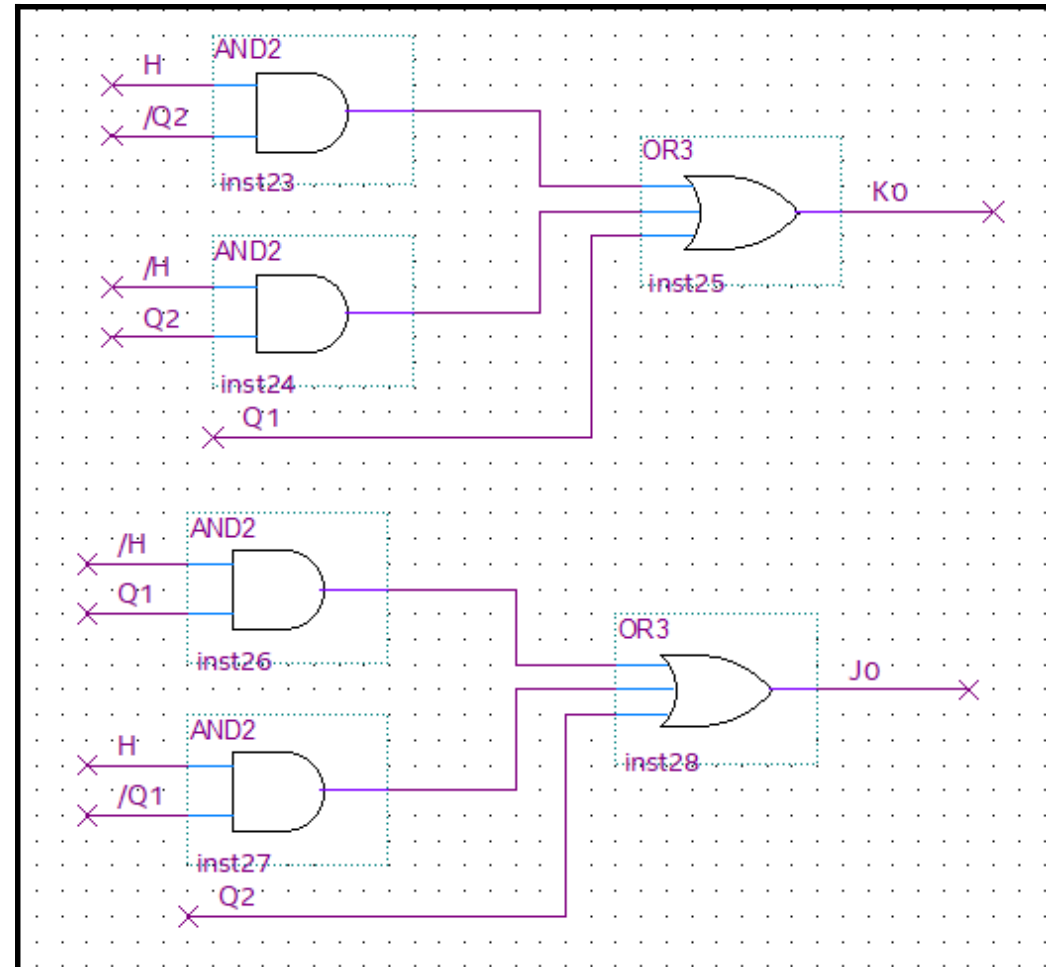
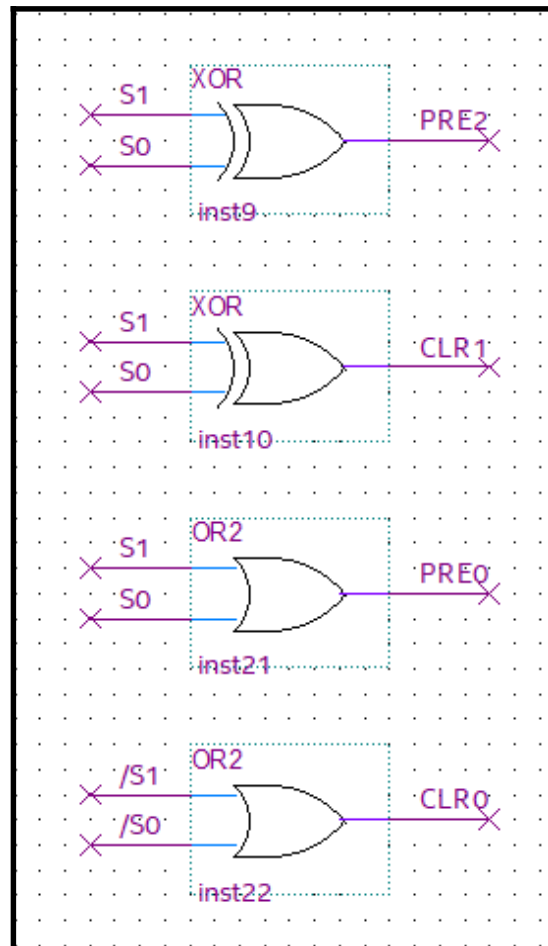
Expressões
$PRE2 = S1 \text{ XOR } S0$
$CLR2 = 1$
$PRE1 = 1$
$CLR1 = S1 \text{ XOR } S0$
$PRE0 = S1 + S0$
$CLR0 = /S1 + /S0$
$H = S0$

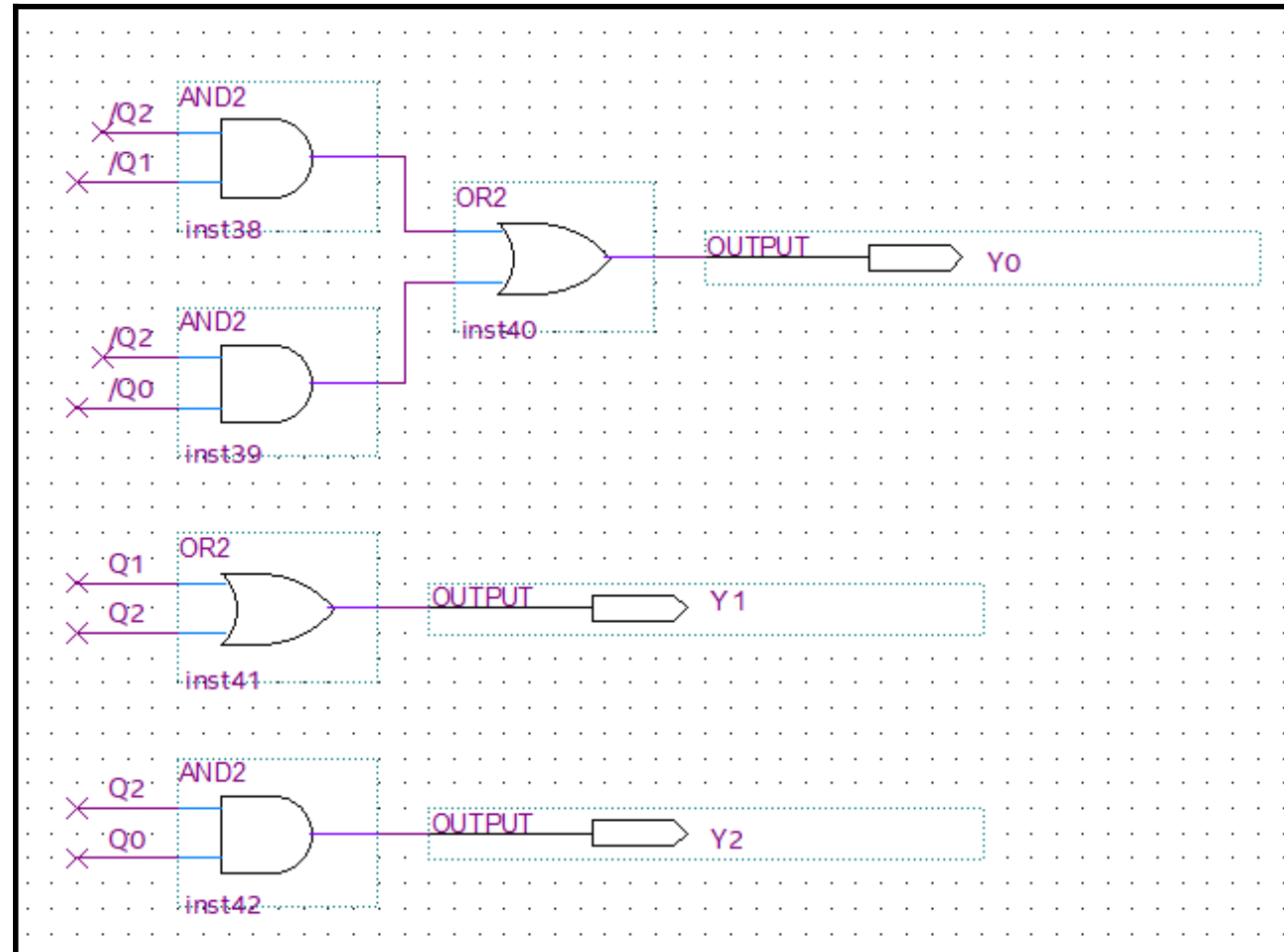
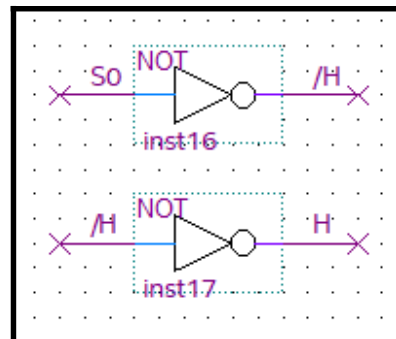
4. Diagrama Esquemático-Lógico:



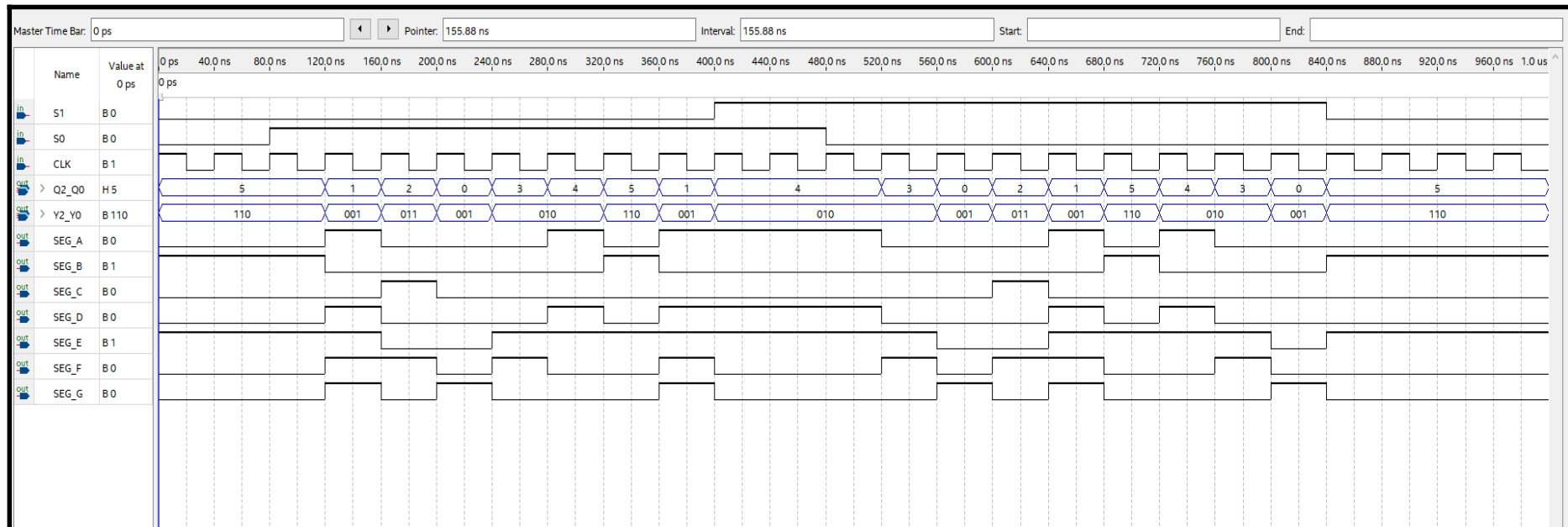






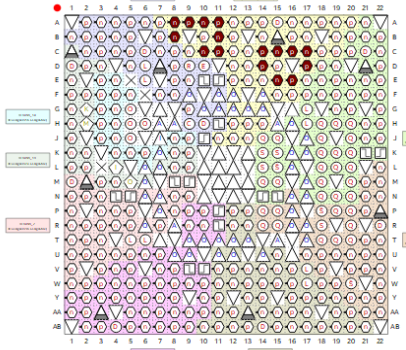


5. Simulação Funcional:



6. Diagrama de Pinos:

Top View - Wire Bond
MAX 10 - 10M50DAF484C7G



Pin Legend

Symbol	Pin Type
○	User I/O
●	User assigned I...
●	Fitter assigned I...
○	Unbonded pad
●	Reserved pin
○	Other configura...
○	DEV_OE
○	DEV_CLR
○	DIFF_n
○	DIFF_p
○	DQ
○	DQS
○	DQSB
○	CLK_n
○	CLK_p
○	Other PLL
○	Other dual purp...
○	TDI

Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair	Strict Preservation
CLK	Input	PIN_B8	7	B7_NO	2.5 V (default)		12mA (default)			
Q0	Output	PIN_D14	7	B7_NO	2.5 V (default)		12mA (default)	2 (default)		
Q1	Output	PIN_A11	7	B7_NO	2.5 V (default)		12mA (default)	2 (default)		
Q2	Output	PIN_B11	7	B7_NO	2.5 V (default)		12mA (default)	2 (default)		
S0	Input	PIN_C10	7	B7_NO	2.5 V (default)		12mA (default)			
S1	Input	PIN_C11	7	B7_NO	2.5 V (default)		12mA (default)			
SEG_A	Output	PIN_C14	7	B7_NO	2.5 V (default)		12mA (default)	2 (default)		
SEG_B	Output	PIN_E15	7	B7_NO	2.5 V (default)		12mA (default)	2 (default)		
SEG_C	Output	PIN_C15	7	B7_NO	2.5 V (default)		12mA (default)	2 (default)		
SEG_D	Output	PIN_C16	7	B7_NO	2.5 V (default)		12mA (default)	2 (default)		
SEG_E	Output	PIN_E16	7	B7_NO	2.5 V (default)		12mA (default)	2 (default)		
SEG_F	Output	PIN_D17	7	B7_NO	2.5 V (default)		12mA (default)	2 (default)		
SEG_G	Output	PIN_C17	7	B7_NO	2.5 V (default)		12mA (default)	2 (default)		
Y0	Output	PIN_A8	7	B7_NO	2.5 V (default)		12mA (default)	2 (default)		
Y1	Output	PIN_A9	7	B7_NO	2.5 V (default)		12mA (default)	2 (default)		
Y2	Output	PIN_A10	7	B7_NO	2.5 V (default)		12mA (default)	2 (default)		

CURSO DE CIÊNCIA DA COMPUTAÇÃO

CE3512 – LABORATÓRIO DE SISTEMAS DIGITAIS

RELATÓRIO DE PROJETO DE SISTEMAS DIGITAIS

	tatu	From	To	Assignment Name	Value	Enabled	Entity	Comment
1	✓		in S1	Location	PIN_C11	Yes		
2	✓		in S0	Location	PIN_C10	Yes		
3	✓		in CLK	Location	PIN_B8	Yes		
4	✓		out SEG_G	Location	PIN_C17	Yes		
5	✓		out SEG_F	Location	PIN_D17	Yes		
6	✓		out SEG_E	Location	PIN_E16	Yes		
7	✓		out SEG_D	Location	PIN_C16	Yes		
8	✓		out SEG_C	Location	PIN_C15	Yes		
9	✓		out SEG_B	Location	PIN_E15	Yes		
10	✓		out SEG_A	Location	PIN_C14	Yes		
11	✓		out Q0	Location	PIN_D14	Yes		
12	✓		out Q1	Location	PIN_A11	Yes		
13	✓		out Q2	Location	PIN_B11	Yes		
14	✓		out Y0	Location	PIN_A8	Yes		
15	✓		out Y1	Location	PIN_A9	Yes		
16	✓		out Y2	Location	PIN_A10	Yes		

7. Conclusões:

A partir dos experimentos realizados ficou claro a interconexão entre os tópicos estudados até o momento. A montagem de um circuito como o realizado neste projeto só foi possível graças aos estudos de Níveis Lógicos, Portas Lógicas, Minimização de Expressões Booleanas, Expressões Booleanas, Multiplexadores e Demultiplexadores, entre tantos outros conceitos de fundamental importância para a finalização do projeto. Os principais objetivos do projeto eram desenvolver um sistema digital composto por uma máquina de estados, cuja sequência de estados definida por duas chaves, nela os estados percorridos pela máquina de estados estão associados ao número de matrícula do aluno e exercitar a metodologia de desenvolvimento de projetos de engenharia apoiada em computador (CAE). Todos os objetivos mencionados acima foram alcançados realizando-se o projeto por etapas. As principais etapas durante o processo foram: compreensão do problema, seu planejamento, desenvolvimento da solução lógica, integração dos subsistemas, implementação no ambiente computacional, simulação, testes, depuração do projeto, implementação física e registro dos resultados.

Todos os objetivos propostos foram alcançados assim como esperado, porém ocorreram alguns percalços durante o desenvolvimento do circuito no ambiente de desenvolvimento do software Quartus Prime, já que essa era a primeira vez utilizando o software. Problemas com salvamento do projeto, configuração do projeto e realização das simulações de onda e funcionamento ocorreram algumas vezes, porém foram facilmente contornadas e acabaram não prejudicando o desenvolvimento total do projeto. Além disso, houve uma grande dificuldade com a instalação do software desenvolvido pela Intel em um ambiente Linux (como o utilizado por mim).

O projeto como um todo desenvolveu diversas habilidades de grande relevância para o curso, além de familiarizar o aluno com o ambiente de modelagem e desenvolvimento de FPGA's. Devido às dificuldades enfrentadas durante a instalação do software Quartus Prime no ambiente Linux(Ubuntu), acredito que seja de grande utilidade para as próximas implementações desse projeto, um tutorial acerca da instalação do software em sistemas operacionais baseados em Unix/Linux. O apoio dos professores das aulas de laboratório também foi essencial para o desenvolvimento e posterior conclusão do projeto.