testbench生成库使用指南

1. gen\_hdl\_lib
   1. VerilogSig

模仿hdl的信号，有name. parent, width, type属性



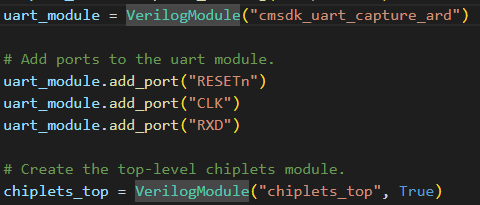
* 1. VerilogPort

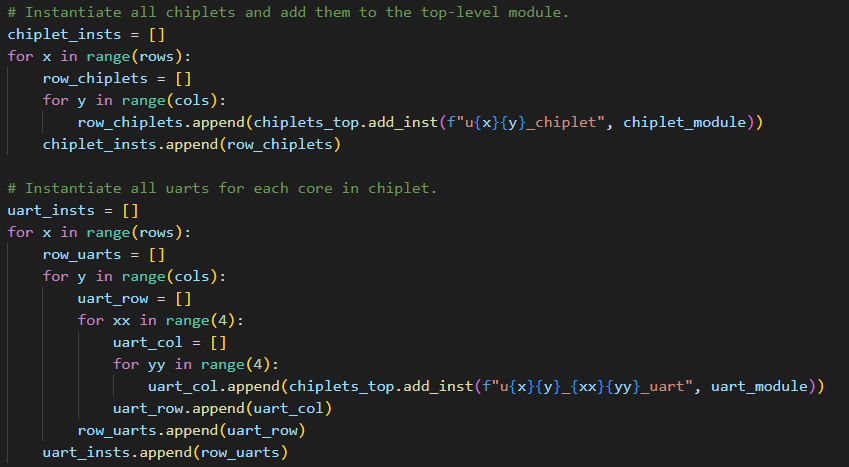
模仿特殊的port信号，为VerilogSig的子类，增加一direction属性



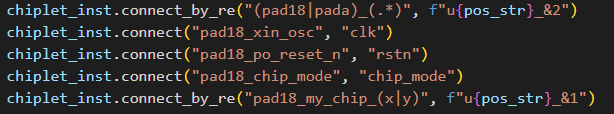
* 1. VerilogModule

模仿module声明，可以声明port，sig和module instance。





模块会根据子实例的连接关系自动生成sig和port。

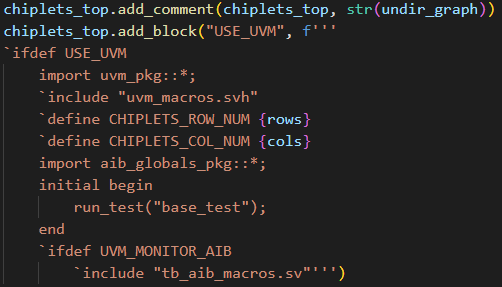


使用connect\_finish表示连接完成，会清除所有未连接信号，如果是顶层还将会把port转换为sig。



如果是顶层则会将所有port转换成sig信号，并跟据其连接性在该sig声明处之后加注释。

可以添加注释和block，按key确定其所在位置。



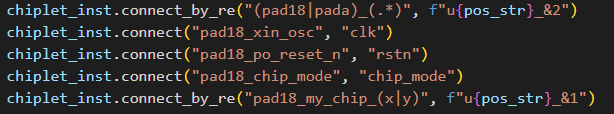
block的key以下几种，USE\_UVM, COM, pre/post\_{inst\_name}

* 1. VerilogInstance

包含两个属性模块名字和模块类型。



有两种连接方法，一种为按字符串连接，一种为按正则表达式连接。



* 1. parse\_verilog

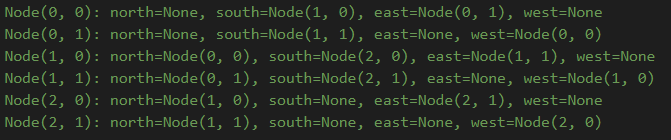
解析verilog module文件的方法，提取出一个module的所有port产生VerilogModule对象。



1. undirected\_graph\_lib

产生无向图





1. 使用方法



-r=行数 -c=列数

产生chiplets\_top.sv文件

