

Analog Workshop

CANELOS

Profesores: Jorge Marin, Christian A. Rojas
Estudiantes : Andrés Martínez, Felipe Torres



UNIVERSIDAD TECNICA
FEDERICO SANTA MARIA

Tópicos

- Introducción a Layout
- Celdas parametrizadas (PCells)
- Verificación de reglas de diseño (DRC)
- Esquemático v/s Layout (LVS)
- Bibliografía.

Introducción a Layout

- Corresponde a un paso en la lista de procesos necesarios para fabricar un Chip.

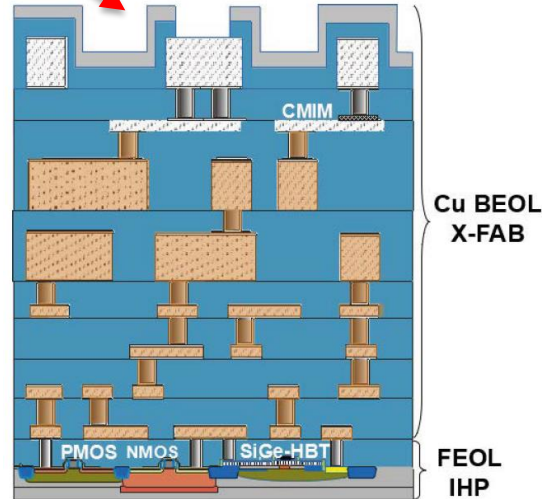
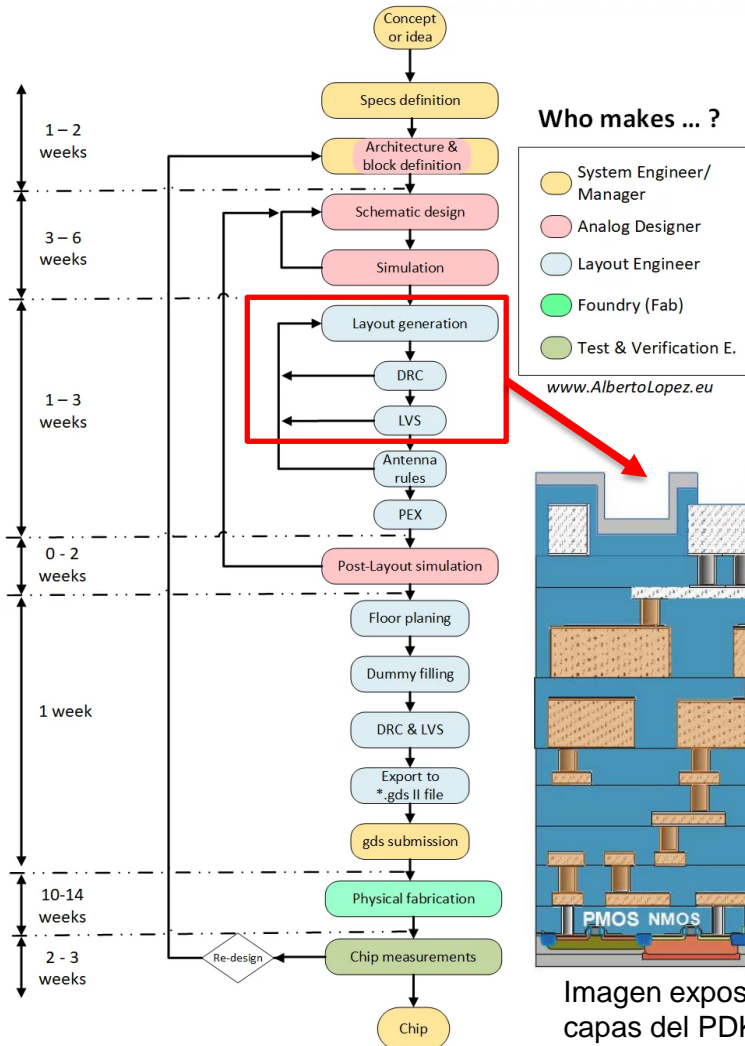
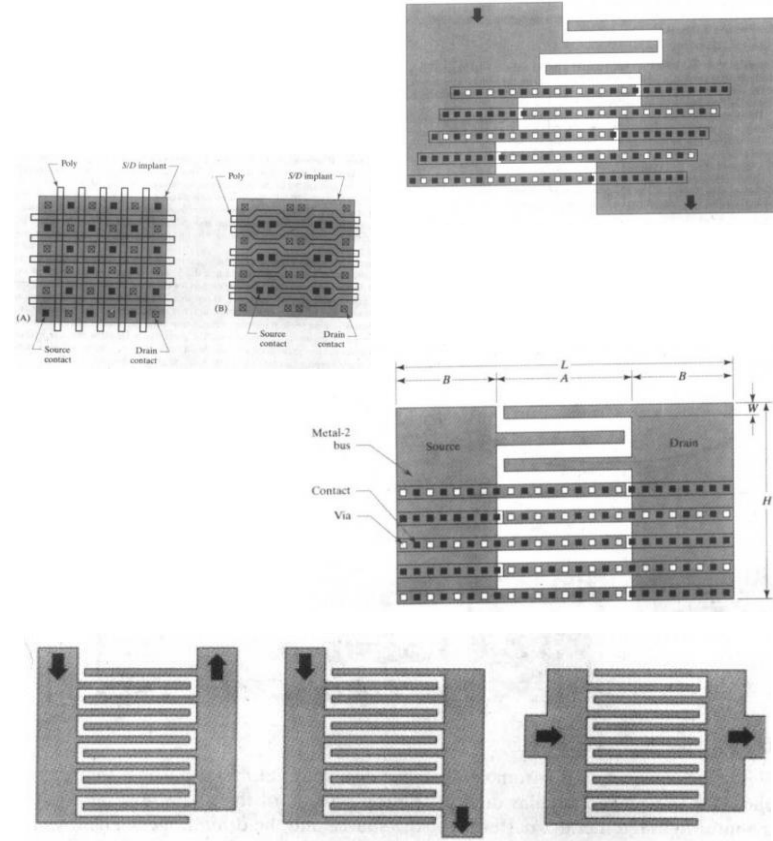


Imagen expositiva sobre las capas del PDK de IHP [2].

- Se compone a su vez de múltiples sub procesos como Floorplaning, Placement, Routing, Physical Verification (DRC, LVS, ...), etc.
- Para detalles de la fabricación física se recomienda ver [1].

Introducción a Layout

- Existen conceptos, técnicas y reglas del pulgar a considerar al realizar Layout, en su mayoría tienen directa relación con las propiedades físicas de cada capa.
- Dentro de los conceptos o técnicas que se pueden mencionar:
 - Rapid Transient Overload (Dispositivos encendidos con un retardo utilizando un mismo gate).
 - Direccionalidad de los buses de metal utilizados para conectar Source/Drain.
 - Reducir la longitud de la capa Poly utilizando Metal (Beneficioso en caso de que $R_{poly} > R_{metal}$).
 - Técnica de centroide común con diferentes ejemplos de estructuras. (ABBA, BAAB, etc.)

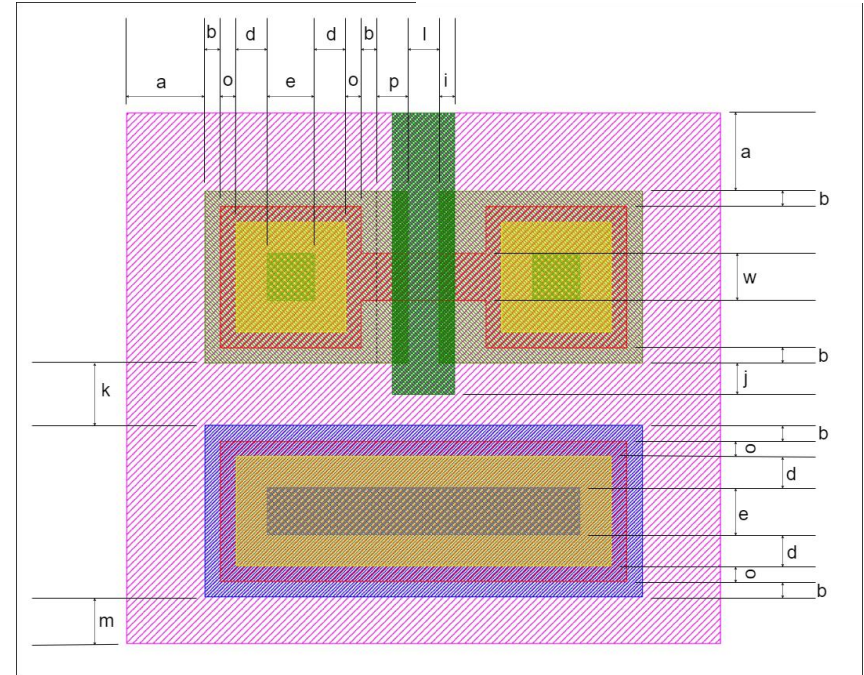


Ejemplos de técnicas y conceptos a utilizar en un Layout [3].

PCells, DRC y LVS

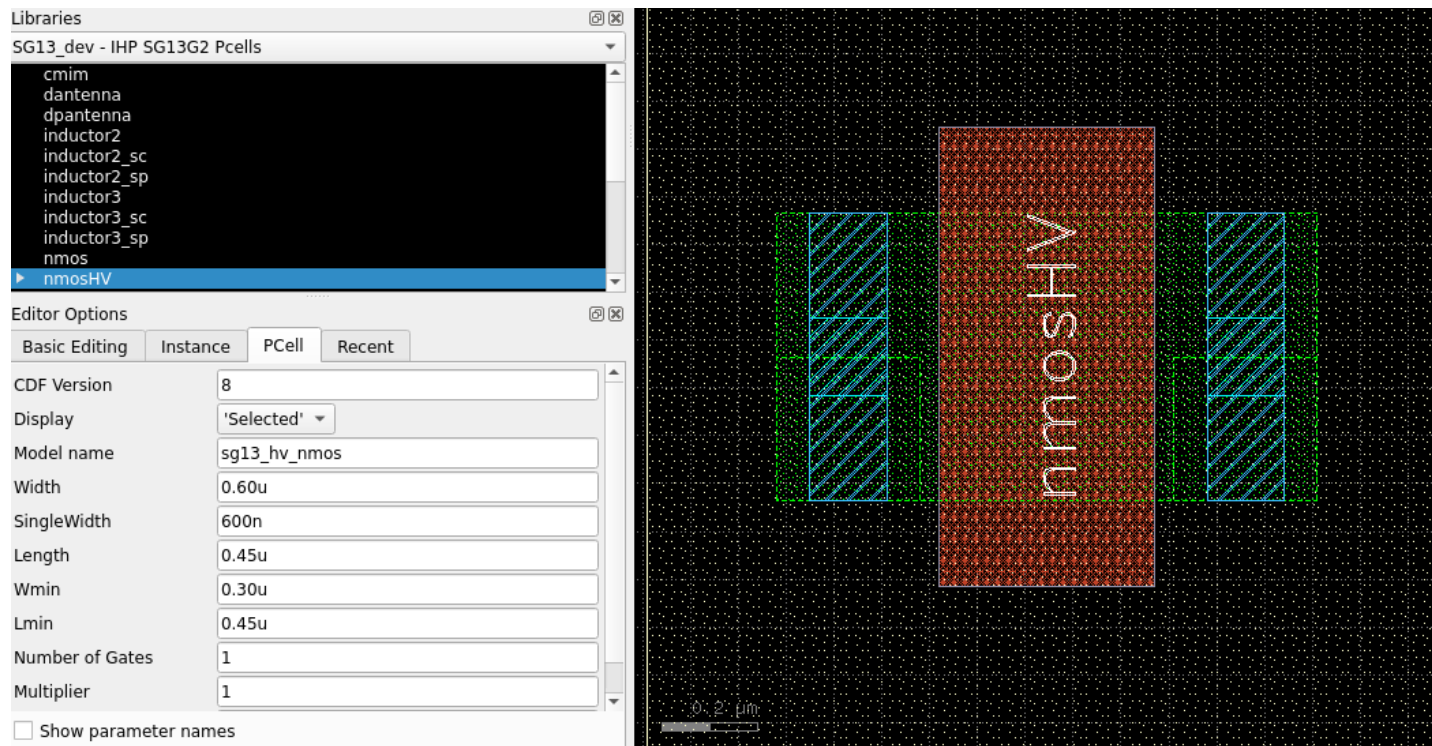
PCells

- El diseño de Layout se puede realizar de manera manual [4] y/o automatizada [5] (Referencias a KLayout).
- Celda la cual representa una parte o componente del circuito, esta tiene múltiples valores parametrizados.
- Ventajas de las Pcells:
 - Acelera el proceso de diseño.
 - Reduce los posibles errores.
 - Abstracción de las capas inferiores.
- Desventajas de las Pcells:
 - Diseño inicial más lento.
 - Flexibilidad subjetiva.
 - Optimización según diseño.



Plano de una Pcell para un transistor NMOS con sus variables parametrizadas. Las diferentes capas son representadas por colores y formas distintos.

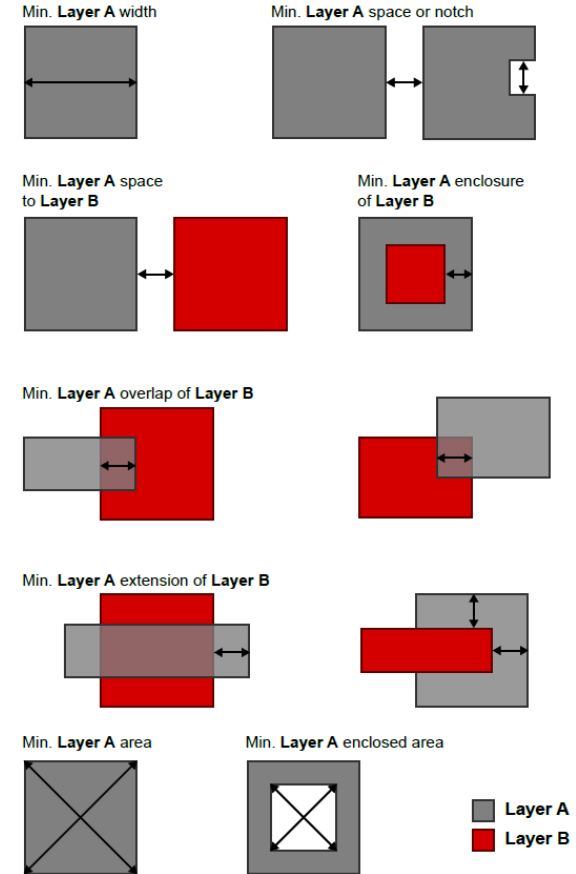
PCells en KLayout del PDK IHP SG13G2



Librería de PCells en KLayout para el PDK ihp-sg13g2 (nombre en repositorio usm-vlsi-tools), con la ventana de edición de parámetros y la celda de un nmosHV.

DRC

- Corresponde a la verificación de las reglas de diseño para cada capa.
- Existe diferente terminología para definir estas reglas, usualmente se tiene spacing, width, overlap, extensión, enclosure, entre otras.
- El DRC depende directamente del PDK que se está utilizando y la fábrica asociada a la fabricación final del Chip.



Terminología y ejemplos de esta para dos capas [6].

Capas y DRC en IHP SG13G2

Layer name	Purpose	GDS Number	GDS Datatype	Description
Activ	drawing	1	0	Defines active regions in substrate, where transistors, diodes and/or capacitors will be fabricated
Activ	pin	1	2	Activ pin layer
Activ	mask	1	20	added to Active:drawing at mask generation
Activ	filler	1	22	Activ filler layer
Activ	nofill	1	23	Activ filler exclusion layer
Activ	OPC	1	26	Activ outer OPC definition layer
Activ	iOPC	1	27	Activ inner OPC definition layer
Activ	noqrc	1	28	No parasitics extraction

⋮
⋮
⋮
⋮
⋮

Exchange4	drawing	194	0	Support layer for layout data exchange (not used in mask preparation)
Exchange4	pin	194	2	Pin layer of Exchange4
Exchange4	text	194	25	Text layer of Exchange4
isoNWell	drawing	257	0	Defines regions with alternative NWell implant to form isolated NWell

Descripción de algunas capas del PDK ihp-sg13g2 y las reglas de diseño de la capa Activ [6].

5.5 Activ

Rule	Description	Value
Act.a	Min. Activ width	0.15
Act.b	Min. Activ space or notch	0.21
Act.c	Min. Activ drain/source extension	0.23
Act.d	Min. Activ area (μm^2)	0.122
Act.e	Min. Activ enclosed area (μm^2)	0.15

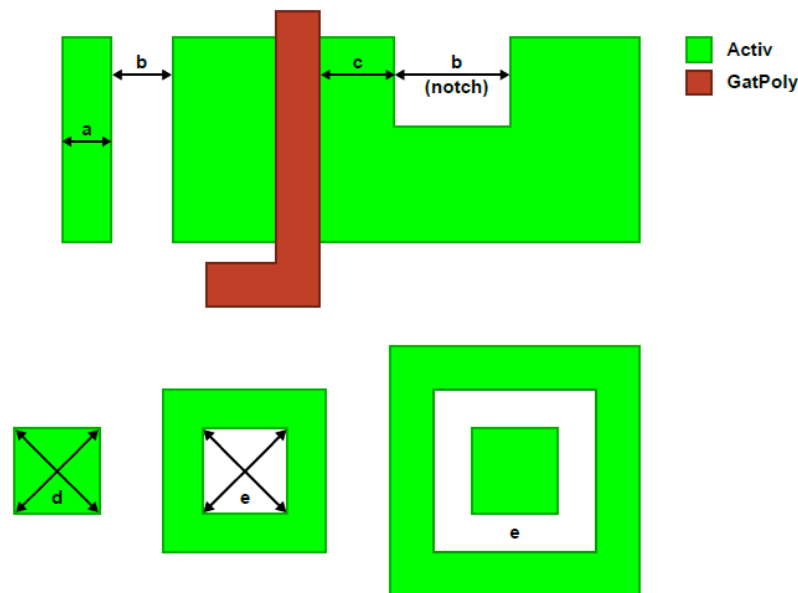
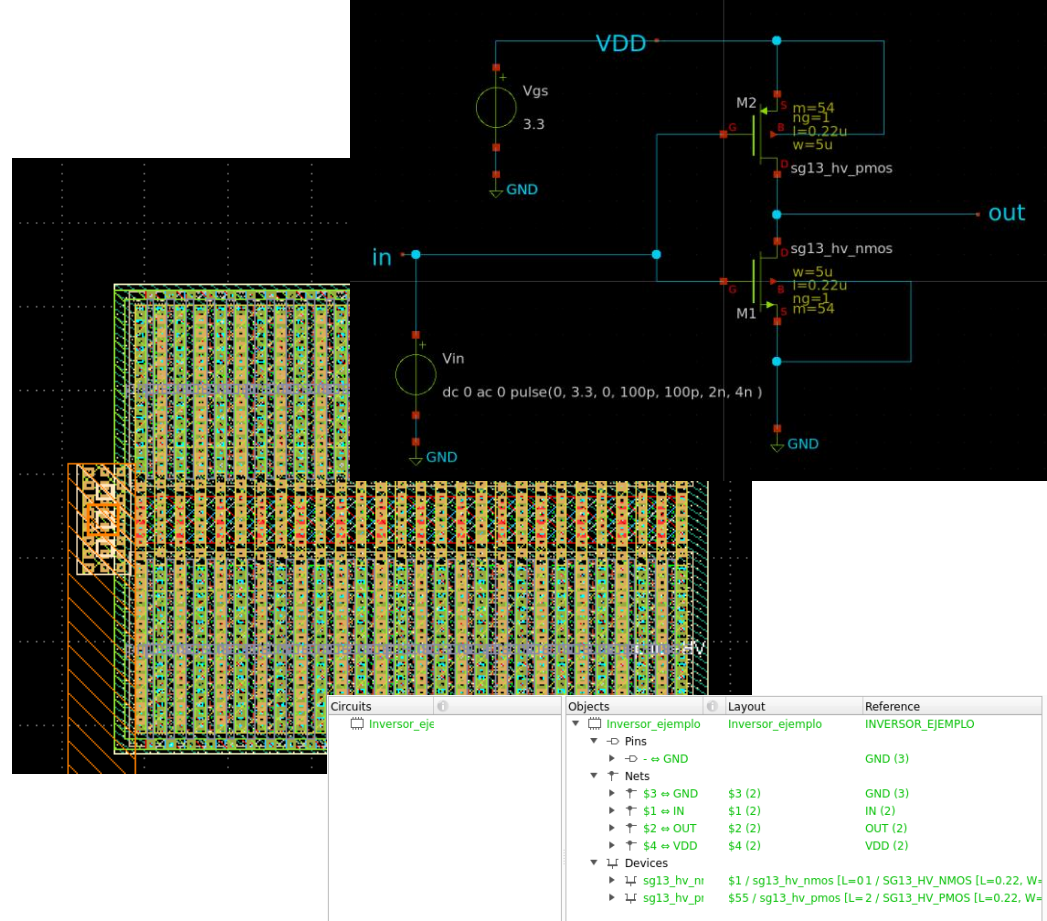


Figure 5.5: Activ dimensions

LVS

- Se verifica que el diseño físico corresponda al esquemático del circuito a fabricar.
- Su importancia radica en responder la duda de ¿Tengo todos los dispositivos y conexiones que debería tener?



Esquemático en xschem comparado a su Layout en KLayout con verificación exitosa.

Referencias

Referencias

- [1] <https://www.youtube.com/watch?v=dX9CGRZwD-w&t=10s>
- [2] <https://www.ihp-microelectronics.com/services/research-and-prototyping-service/mpw-prototyping-service/sigec-bicmos-technologies>
- [3] Hastings R. The Art of Analog Layout: 499-505; Prentice Hall . 2001
- [4] <https://www.klayout.de/doc-qt5/manual/index.html>
- [5] <https://www.klayout.de/doc-qt5/programming/index.html>
- [6] https://github.com/IHP-GmbH/IHP-Open-PDK/blob/main/ihp-sg13g2/libs.doc/doc/SG13G2_os_layout_rules.pdf

***¡Gracias por su
atención!***