



1 of 1

Assignment

- แต่ละกลุ่มมีสมาชิกได้ไม่เกิน 5 คน(ห้ามอยู่ชุดเดียวกันทั้งหมดและควรนีทั้ง 3 เช่น)
- กำหนดส่งหลังสอบปลายภาคไม่เกิน 7 วัน(เริ่มนับได้ตั้งแต่วันนี้)
- ยื่นเอกสารข้อเสนอโครงการได้จนถึงก่อนสอบปลายภาค(เอกสารข้อเสนอโครงการคือเอกสารที่อธิบายให้เข้าใจง่ายๆ และชัดเจนว่าจะทำอะไรบ้าง เช่น โปรแกรม)
- ประกอบไปด้วยทั้งวงจร TTL และ วงจรบน FPGA ทำงานร่วมกัน
- สิ่งที่ต้องส่ง
 - ✓ 1. การนำเสนอชิ้นงาน **Demo.**
 - ✓ 2. เอกสารการออกแบบ(Design document)
 - ✓ 3. เอกสารในรูปแบบไฟล์อิเล็กทรอนิกส์ทั้งหมด(Word, PDF and any)
 - ✓ 4. วีดีโอแนะนำชิ้นงานที่โพสลงเครือข่ายออนไลน์ที่เป็นสาธารณะ

15 กค ๖๖

ผู้ดีครองโลก

หมายเหตุ

xxxxx_CE_KMITL_Digital_2562; xxxx = ชื่อชิ้นงาน

ใน Video ควรมี Subtitle และต้องมีการบรรยายพร้อมแนะนำทีมงานทั้งหมดด้วย

- การให้คะแนน = เอกสารข้อเสนอโครงการ, เอกสารการออกแบบ, ไอเดีย, เทคนิค, ความสมบูรณ์, วีดีโอ

ก้าวหน้า อยู่แล้ว !!

អត្ថបទណា?

Idea ដីលក់រាង រាយការ?

[រាយការចំណុច និង ការងារ]

- FPGA → main Process.
- Monitor → game Display.
- Joy Stick (controller)

9. Buzzer

↳ នូវការណែនាំ

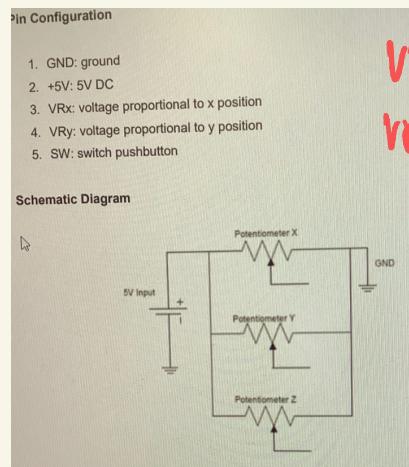
ក្នុងនៅរាយ

↳ គុណភាព

↳ ពេលវេលា

} នឹងមានលក្ខណៈ (សែនរាយ)

[Joy Stick]



VR_x } Analog.
VR_y

SW → Digital

Project ADC9.

↳ with Microcontroller 9 (ez way).

AND gate : SN 7408 (SN 74LS08N)
D flip flop

3 inputs

NOT gate : SN 7404 (SN 74LS04N)

OR gate : SN 74 LS 32N



[ESP32] 2 Joy Stick : 1 Receiver.

9 pin 33 → Analog X

32 → Analog Y

27 → switch (input pullup).

3.3V & GND

23 → LED status.

2x12bit Receive:

≈ 5 dB

1) X Left, Right

2) Y Up, Down

3) Switch press

Analog Read.

X: Left: 0 Right: 4095

Y: Up: 0 Down: 4095.

SW: no input 0 / 1 digital = 1

5 bit

MSB 4 3 2 1 0 LSB

uint8_t

SW

L

R

U

D

int8_t

0

0

0

0

1

1

0

0

0

0

0

2

0

0

1

0

0

4

0

1

0

0

0

8

SW L R U D

int8_t

1

0

0

0

1

17

1

0

0

1

0

18

1

0

1

0

0

20

1

1

0

0

0

24

0

0

0

0

0

0

1

0

0

0

0

1b

0

0

0

0

0

0

1

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

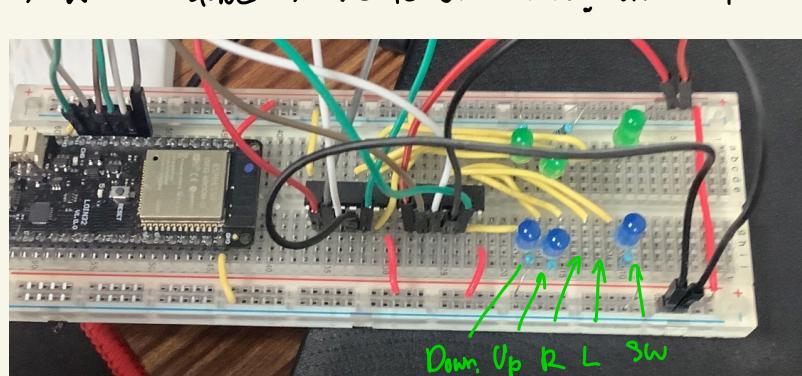
0

0

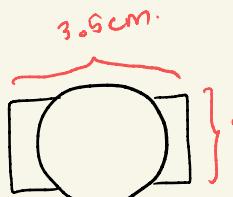
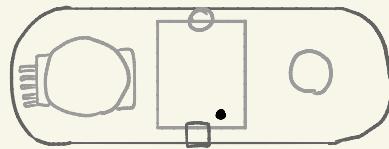
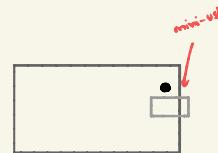
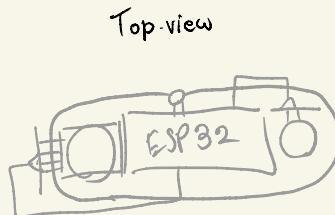
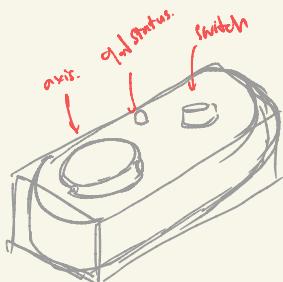
0

0

PINS 1-7, 15	Q0 " Q7	Output Pins
PIN 8	GND	Ground, Vss
PIN 9	Q7"	Serial Out
PIN 10	MR	Master Reclear, active low
PIN 11	SH_CP	Shift register clock pin
PIN 12	ST_CP	Storage register clock pin (latch pin)
PIN 13	OE	Output enable, active low
PIN 14	DS	Serial data input
PIN 16	Vcc	Positive supply voltage



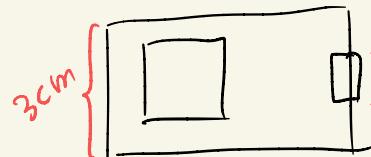
Design Joystick Model.



2.6-2.7 cm



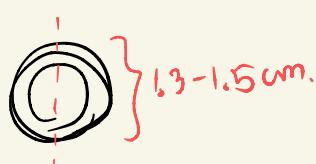
3.5-3.7 cm.



6 cm

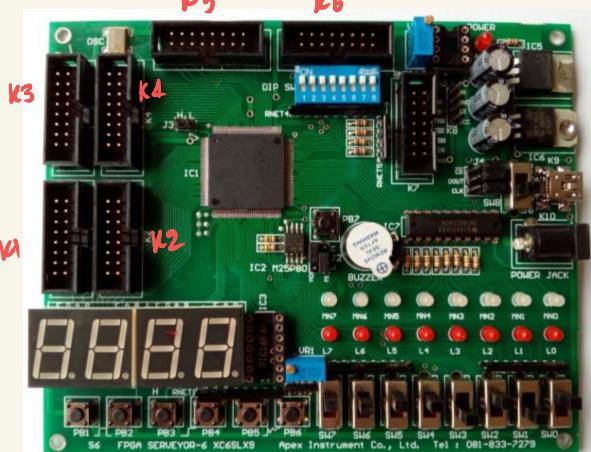


2.5-3 cm.



1.3-1.5 cm.

FPGA (CEKML7L)



K1 CONNECTOR					
Descriptions	FPGA Pinout	K1 Pinout	K1 Pinout	FPGA	Descriptions
GND	-	16	15	P6	I/O
GND	-	14	13	P7	I/O
GND	-	12	11	P9	I/O
GND	-	10	9	p11	I/O
GND	-	8	7	p14	I/O
GND	-	6	5	P16	I/O
GND	-	4	3	P21	I/O
+3.3V	-	2	1	P23	I/O

K4 CONNECTOR					
Descriptions	FPGA Pinout	K4 Pinout	K4 Pinout	FPGA	Descriptions
GND	-	16	15	P126	I/O
GND	-	14	13	P131	I/O
GND	-	12	11	P133	I/O
GND	-	10	9	p137	I/O
GND	-	8	7	p139	I/O
GND	-	6	5	P141	I/O
GND	-	4	3	P143	I/O
+3.3V	-	2	1	P2	I/O

K2 CONNECTOR					
Descriptions	FPGA Pinout	K2 Pinout	K2 Pinout	FPGA	Descriptions
GND	-	16	15	P6	I/O
GND	-	14	13	P8	I/O
GND	-	12	11	P10	I/O
GND	-	10	9	p12	I/O
GND	-	8	7	P10	I/O
GND	-	6	5	P17	I/O
GND	-	4	3	P22	I/O
+3.3V	-	2	1	P24	I/O

K5 CONNECTOR					
Descriptions	FPGA Pinout	K5 Pinout	K5 Pinout	FPGA	Descriptions
GND	-	16	15	P114	I/O
GND	-	14	13	P115	I/O
GND	-	12	11	P116	I/O
GND	-	10	9	p117	I/O
GND	-	8	7	p119	I/O
GND	-	6	5	P119	I/O
GND	-	4	3	P120	I/O
GND	-	2	1	P121	I/O

K3 CONNECTOR					
Descriptions	FPGA Pinout	K3 Pinout	K3 Pinout	FPGA	Descriptions
GND	-	16	15	P124	I/O
GND	-	14	13	P127	I/O
GND	-	12	11	P132	I/O
GND	-	10	9	p134	I/O
GND	-	8	7	p138	I/O
GND	-	6	5	P140	I/O
GND	-	4	3	P142	I/O
+3.3V	-	2	1	P1	I/O

K6 CONNECTOR					
Descriptions	FPGA Pinout	K6 Pinout	K6 Pinout	FPGA	Descriptions
GND	-	16	15	P99	I/O
GND	-	14	13	P100	I/O
GND	-	12	11	p101	I/O
GND	-	10	9	p102	I/O
GND	-	8	7	P104	I/O
GND	-	6	5	P105	I/O
GND	-	4	3	P111	I/O
GND	-	2	1	P112	I/O

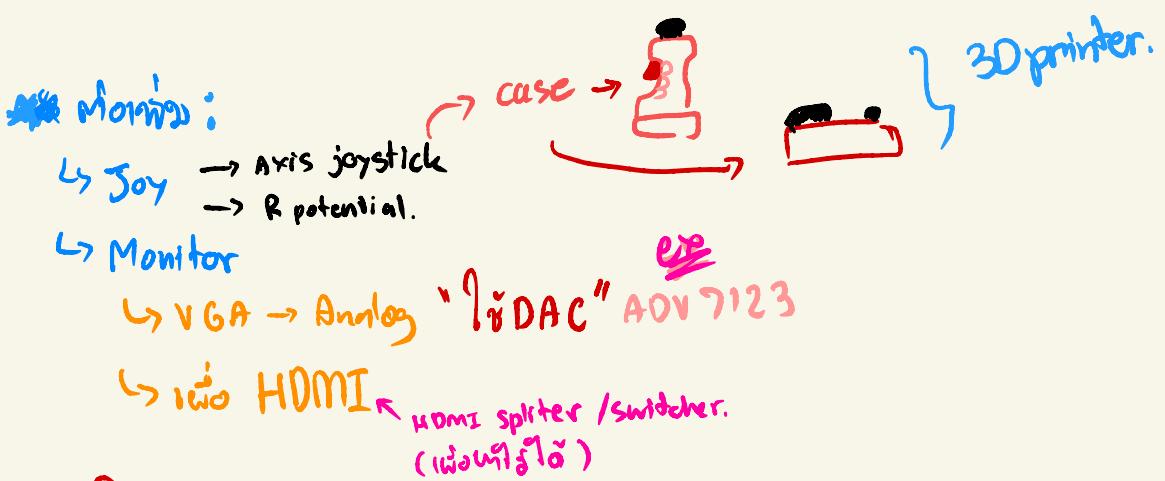
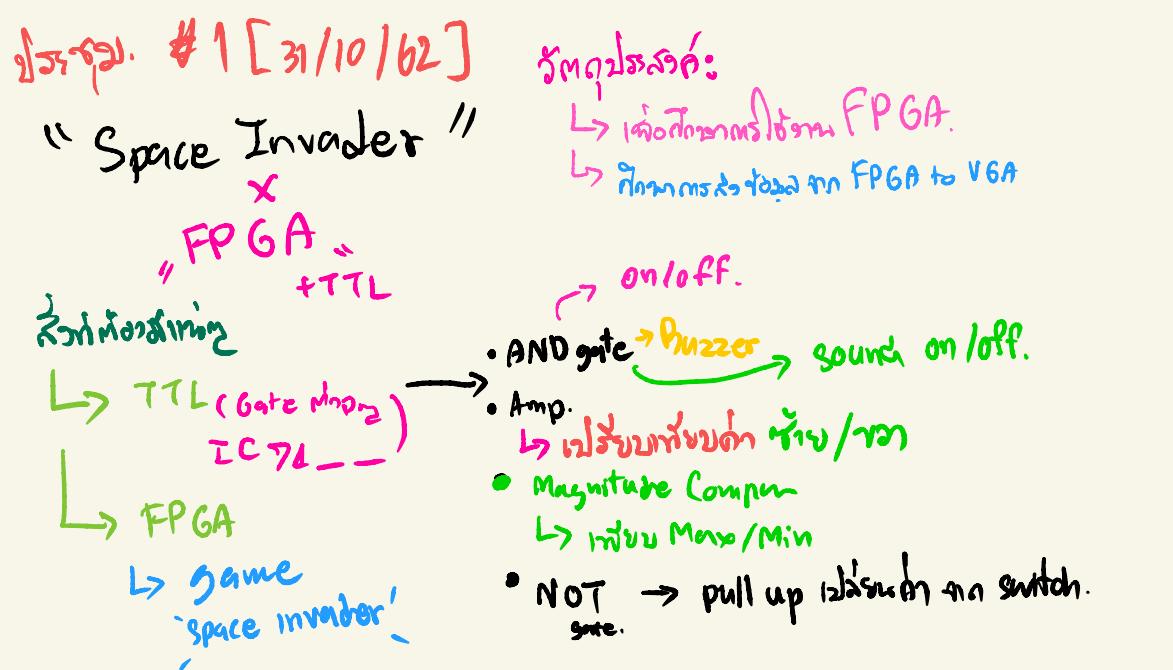
LOGIC MONITOR	
Descriptions	FPGA Pinout
MN7	P84
MN6	P85
MN5	P87
MN4	P88
MN3	P92
MN2	P93
MN1	P94
MN0	P95

PUSH BUTTON SWITCH	
Descriptions	FPGA Pinout
PB1	P45
PB2	P46
PB3	P47
PB4	P48
PB5	P51
PB6(SW7)	P55
VRCLK	P50

FLASH PROM	
Descriptions	FPGA Pinout
MOSI-D	P64
MISO(DIN)>Q	P65
CSD_B->S'	P38
CCLK->C	P70

7-SEGMENT	
Descriptions	FPGA Pinout
a	P41
b	P40
c	P35
d	P34
e	P32
f	P29
g	P27
p	P26
COMMON3	P30
COMMON2	P33
COMMON1	P43
COMMON0	P44

LED	
Descriptions	FPGA Pinout
L7	P67
L6	P74
L5	P75
L4	P78
L3	P79
L2	P80
L1	P81
L0	P82



វគ្គទី២:
 - "A" ez
 - be 'NEO'
 - វិប័យលេង ហើយការិយាល័យខ្លួន.
 - រាយការណ៍ Game 1 ea"