

DMA

Monday, October 4, 2021 15:52

- La idea básica es acceder a memoria sin pasar por el CPU
- Las transferencias de memoria a memoria, de memoria a periférico o entre periféricos se hace mediante el controlador de DMA
- De esta manera, el CPU se puede ocupar de cosas más importantes ya que el driver de DMA se encarga de estas transferencias
- Las transferencias pueden estar sincronizadas por algún evento (cuando un evento X ocurre, comienza la transferencia)
- El usuario le especifica al driver de DMA las direcciones origen y destino de los datos en la transferencia
- Como en los casos anteriores, hay que alimentar este módulo, darle un clock y configurarlo
- Este módulo tiene 8 canales de DMA unidireccionales (sólo puedo usarlos para ir de origen a destino o viceversa, no es full duplex)
- Hay 16 líneas de solicitud de DMA (16 canales pueden pedir acceso al módulo de DMA), que serán gestionadas por un monitor/árbitro
- Se soportan transferencias de datos únicas o en ráfagas (similar a modo burst)
- Los periféricos/módulos que soportan DMA son:
 - SSP
 - I2S
 - UART
 - ADC
 - DAC
- Las transferencias desde/hacia puertos GPIO y las controladas por coincidencia de temporizador también son compatibles
- Las zonas de memoria de origen y destino no deben ocupar zonas contiguas
- La prioridad de los canales de DMA no pueden ser modificadas, vienen dadas por hardware
 - El canal DMA0 es el de prioridad más alta
 - El canal DMA7 es el de prioridad más baja
- El ancho de bus es de 32 bits (usamos el AHB)
- Pueden hacerse transferencias de 8, 16 y 32 bits de ancho
- Cuando una transferencia de DMA finaliza correctamente o con algún error, se puede generar una interrupción
- DMA soporta big - endian y little - endian (formatos de datos)
 - Little - endian: El byte menos significativo está en la parte más baja de la dirección del dato
 - Big - endian: El byte menos significativo está en la parte más alta de la dirección del dato
- El clock usado por el módulo de DMA es el clock de CPU (CCLK)
- Si el driver de DMA está transfiriendo datos a un canal, y otro canal de mayor prioridad se activa antes de que la transferencia finalice, el driver completa el número de transferencias delegadas a la interfaz maestra y recién ahí cambia al canal de mayor prioridad
- Las transferencias delegadas a la interfaz maestra se organizan en la FIFO del driver de DMA
 - Permite disminuir el tiempo de latencia, ya que se tarda menos tiempo en buscar los datos en este buffer
 - El propósito de este buffer es el de evitar perder información si la fuente envía datos más rápido de lo que el receptor puede leer
 - Los datos se almacenan en esta FIFO hasta 4 palabras
 - Se puede perder información en este buffer si se deshabilita el canal respectivo
- El módulo de DMA posee la funcionalidad de listas enlazas (LLI)
 - Cada lista representa una sección de memoria a transferir por DMA
 - Cada lista tiene un puntero que apunta a la siguiente porción de memoria representada por la siguiente lista
 - La idea de enlazar distintas listas que representen distintas secciones de memoria, es la de facilitar las transacciones de datos no contiguos
- Registros asociados al módulo de DMA:
 - Señales de solicitudes de DMA:
 - DMACBREQ0-15: Señales de solicitud de ráfaga; se provoca una ráfaga de datos programada (cantidad de datos)
 - DMACSREQ0-15: Señales de solicitud de transferencia única; un solo dato es transferido
 - DMACLBREQ0-15: Pone a 1 el último canal donde se ha transmitido la última señal de solicitud de ráfaga
 - DMACLSREQ0-15: Pone a 1 el último canal donde se ha transmitido la última señal de solicitud de transferencia única
 - Señales de respuestas de DMA:
 - DMACCLR0-15: Cuando se ha terminado la transferencia, se limpia la flag de finalización
 - DMATC0-15: Nos indica si la transferencia DMA ha sido finalizada o si está en proceso
 - PCOMP:
 - Para suministrar energía al módulo de DMA.
 - <29> (PCGPDMA):
 - ◻ 0 : Módulo de DMA no alimentado
 - ◻ 1 : Módulo de DMA alimentado
 - CCLKSEL:
 - Para elegir si vamos a usar CCLK, CCLK/2, etcétera
 - Registros generales de DMA (tabla 545 del manual de usuario):
 - DMACXSrcAddr: Dirección del banco de datos fuente de la transmisión en el canal X
 - DMACXDestAddr: Dirección del banco de datos destino de la transmisión en el canal X
 - DMACXLLI: Registro para transmisiones de bancos de datos fuente dispersos en memoria (no contiguos) por el canal X
 - DMACXControl: Registro de control del canal X del módulo DMA
 - DMACXConfig:
 - ◻ Registro de configuración del canal X del módulo DMA
 - ◻ <0> (E - ENABLE):
 - ◆ 0 : Módulo DMA desactivado
 - ◆ 1 : Módulo DMA activado
 - ◻ <1> (M):
 - ◆ 0 : El módulo DMA trabaja en modo little - endian
 - ◆ 1 : El módulo DMA trabaja en modo big - endian
 - DMASync:
 - ◻ Cada bit representa una línea de solicitud de DMA
 - ◆ 0 : Se habilita la sincronización para las señales de solicitud de DMA
 - ◆ 1 : Se deshabilita la sincronización para las señales de solicitud de DMA
 - DMAReqSel:
 - ◻ Cada bit representa una línea de solicitud de DMA
 - ◻ DMASELXX:
 - ◆ Selecciona cómo se sincronizarán las señales de solicitudes de DMA para la línea XX
 - ◆ XX va de 08 a 15
 - ◻ 0 : Se sincroniza por medio de UARTY TX
 - ◻ 1 : Se sincroniza por TIMERZ MATCHW
 - ▶ Para revisar los valores de W, Y & Z, revisar tabla 559 del manual de usuario
 - DMACIntStat:
 - ◻ Read - only
 - ◻ Muestra el estado de las interrupciones (cada bit representa un canal)
 - ◆ 0 : El canal correspondiente no tiene una solicitud de interrupción activa
 - ◆ 1 : El canal correspondiente tiene una solicitud de interrupción activa
 - DMACIntTCStat:
 - ◻ Read - only
 - ◻ Muestra el estado de recuento de terminales después del enmascaramiento (cada bit representa un canal)
 - ◆ 0 : El canal correspondiente no tiene una solicitud de interrupción de recuento de terminales activa
 - ◆ 1 : El canal correspondiente tiene una solicitud de interrupción de recuento de terminales activa
 - DMACIntTCClear:
 - ◻ Write - only
 - ◻ Permite borrar una o más solicitudes de interrupciones del terminal (cada bit representa un canal)
 - ◆ 0 : No se hace nada
 - ◆ 1 : Se borra la flag de interrupción del canal correspondiente
 - DMACIntErrStat:
 - ◻ Read - only
 - ◻ Indica el estado de la solicitud de interrupción por error (cada bit representa un canal)
 - ◆ 0 : El canal correspondiente no tiene una solicitud de interrupción por error activa
 - ◆ 1 : El canal correspondiente tiene una solicitud de interrupción por error activa
 - DMACIntErrClr:
 - ◻ Write - only
 - ◻ Permite borrar una o más solicitudes de interrupciones por error (cada bit representa un canal)
 - ◆ 0 : No se hace nada
 - ◆ 1 : Se borra la flag de interrupción del canal correspondiente
 - DMACRawIntTCStat:
 - ◻ Muestra el estado de la interrupción de recuento de terminales antes del enmascaramiento (cada bit representa un canal)
 - ◆ 0 : El canal correspondiente no tiene una solicitud de interrupción de recuento de terminales activa

- ◆ **1** : El canal correspondiente tiene una solicitud de interrupción de recuento de terminales activa
- **DMACRawIntErrStat**:
 - Indica el estado de la solicitud de interrupción por error (cada bit representa un canal)
 - ◆ **0** : El canal correspondiente no tiene una solicitud de interrupción por error activa
 - ◆ **1** : El canal correspondiente tiene una solicitud de interrupción por error activa
- **DMACEnbldChns**:
 - Habilita los canales de DMA (cada bit representa un canal)
 - ◆ **0** : El canal correspondiente está deshabilitado
 - ◆ **1** : El canal correspondiente está habilitado
- **DMACSoftBReq**:
 - Indicadores de solicitud de burst para cada una de las 16 fuentes posibles (cada bit representa una línea de solicitud de **DMA**)
 - ◆ **0** : No se hace nada
 - ◆ **1** : Se genera una solicitud de burst por software para la línea correspondiente
- **DMACSoftSReq**:
 - Indicadores de solicitud de transmisión simple para cada una de las 16 fuentes posibles (cada bit representa una línea de solicitud de **DMA**)
 - ◆ **0** : No se hace nada
 - ◆ **1** : Se genera una solicitud de transmisión simple por software para la línea correspondiente
- Registros de canales de **DMA**:
 - **DMACCSrcAddr**:
 - Dirección de origen de los datos de la transmisión por el canal **X**
 - **DMACCDestAddr**:
 - Dirección de destino de los datos de la transmisión por el canal **X**
 - **DMACXControl**:
 - Contienen información de control del canal **X** (tamaño de la transferencia, tamaño de la ráfaga, ancho de la transferencia, etcétera)
 - Está destinado a ser read - only sólo cuando el canal **X** se ha detenido
 - **DMACXConfig**:
 - Registro de configuración del canal **X**
 - El bit **17** es de sólo lectura
 - **<17> (A - ACTIVE)**:
 - ◆ **0** : No hay datos en la memoria FIFO del canal **X**
 - ◆ **1** : Hay datos en la memoria FIFO del canal **X**
 - **DMACXLLI**:
 - Dirección del siguiente elemento de lista vinculado para la transferencia por el canal **X**
 - Si **LLI = 0**, entonces el **LLI** actual es el último de la cadena y el canal **X** se desactiva cuando se completa la transferencia