

ΑΝΑΦΟΡΑ 2ου set

Κουρκουλος Αγγελος AM:2017030111

Σε αυτή την άσκηση μας δινόταν ένα αρχείο με αρκετή πληροφορία για να περιγράψει ένα κύκλωμα από συνδεδεμένα τρανζίστορ το οποίο ήταν συνδεδεμένο στην τροφοδοσία και την γείωση και έχει διαφορετικά σήματα εισόδου στο gate του κάθε transistor τα οποία επηρεάζουν την έξοδο και είναι διαφορετικά σε κάθε εκτέλεση ανάλογα με τα testVectors που έχει βάλει ο χρήστης στο αρχείο. Ο σκοπός της άσκησης ήταν να χρησιμοποιήσουν έναν αλγόριθμο που θα βρίσκει ποια είναι η τιμή της εξόδου του κυκλώματος, την οποία πάλι ορίζει ο χρήστης μέσα στο αρχείο που έχει τα δεδομένα, και την εύρεση κάποιου βραχυκυκλώματος αν υπάρχει. Αυτό έγινε παίρνοντας το αρχείο ως είσοδο και μέσω της μεθόδου initialization που υλοποιήθηκε δημιουργήθηκαν ικανοποιητικού μεγέθους στατικοί πίνακες όπου τοποθετήθηκαν οι πληροφορίες οι οποίες εξήχθησαν από το αρχείο. Στη συνέχεια με επαναληπτικό τρόπο για κάθε διαφορετικό διάνυσμα εισόδου testVector υπολογίστηκε η τιμή του κάθε κόμβου αρκετές φορές έως ότου οι τιμές τους σταματήσουν να αλλάζουν το οποίο μας δείχνει ότι το κυκλώμα έχει συγκλίνει και οι τιμές αυτές είναι οι τελικές. Η τιμή κάθε κόμβου υπολογίστηκε με την λογική του ότι το PMOS τρανζίστορ λειτουργεί σαν βραχυκύκλωμα όταν το gate του είναι 0 ενώ σαν ανοικτοκύκλωμα αν το gate του είναι 1 και αντίθετα για το NMOS. Τέλος τυπώνεται στην οθόνη οι τιμές που έχουν οι κομβοί που ζητήθηκαν να παρατηρηθούν από το χρήστη και τα βραχυκύκλωμα αν υπάρχουν στο κύκλωμα.

Η δομή του αλγορίθμου που υλοποιήθηκε είναι :

```
define the arrays we need to store the information from file

initialization()          //it stores the information from file in the appropriate

while (testvector[i] != 0){ //Loop for every testVector
    while(check==1){       //Loop that run until nothing changed so we done
        check=0;
        j=0;
        while(transistor[j]!=0){ // Loop for every transistor

            if(transistor[j]==PMOS && newNode[netlist[j][0]]==0 ){
                ...
                check=1;
            }
            else if(transistor[j]==PMOS && newNode[netlist[j][0]]==1 ){
                ...
                check=1;
            }
            else if(transistor[j]==NMOS && newNode[netlist[j][0]]==0 ){
                ...
            }
        }
    }
}
```

```

        check=1;
        }
        else if(transistor[j]==NMOS && newNode[netlist[j][0]]==1 ){
        ...
        check=1;
        }
    }
}
i++;
}

```

Τα αρχεία που χρησιμοποιήθηκαν για τα οποία εκτελέστηκε ο αλγόριθμος είναι τα 2 αρχεία που μας δόθηκαν από την εκφώνηση και αλλά 2 ίδια με αυτά απλά με την αλλαγή ενός NMOS σε PMOS ώστε να δημιουργηθούν βραχυκύκλωμα τα οποία πρέπει αν εντοπίσουμε όπως μας ζητήθηκε στην εκφώνηση και φαίνονται παρακάτω με τα αποτελέσματα δίπλα σε κάθε αρχείο

file1:

```
##RAILS
```

```
VCC 1 ; GND 6
```

```
## INPUTS
```

```
2 ; 3
```

```
## OUTPUTS
```

```
5
```

```
## NETLIST
```

```
U1 PMOS 2 1 4
```

```
U2 PMOS 3 4 5
```

```
U3 NMOS 2 5 6
```

```
U4 NMOS 3 5 6
```

```
## TESTBENCH
```

```
## TEST_IN
```

```
2 ; 3
```

```
## TEST_OUT
```

```
5
```

```
## TEST_VECTORS
```

```
0 ; 0
```

```
## SIMULATE
```

```
## TEST_VECTORS
```

```
0 ; 1
```

```
## SIMULATE}
```

```
## TEST_VECTORS
```

```
1 ; 0
```

```
## SIMULATE
```

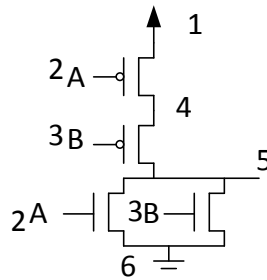
```
## TEST_VECTORS
```

```
1 ; 1
```

```
## SIMULATE
```

```
## END_TEST
```

```
## END_SIMULATION
```



```
## END_SIMULATION
```

```
For the 0 TEST_VECTORS the output 5 is : 1
```

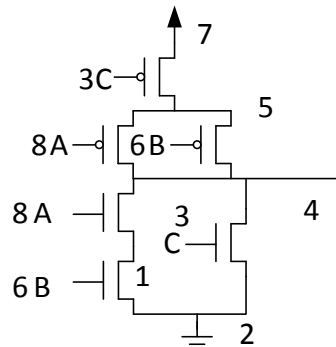
```
For the 1 TEST_VECTORS the output 5 is : 0
```

```
For the 2 TEST_VECTORS the output 5 is : 0
```

```
For the 3 TEST_VECTORS the output 5 is : 0
```

file2:

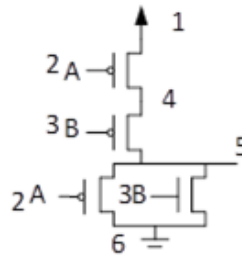
```
##RAILS
VCC 7 ; GND 2
## INPUTS
3 ; 8 ; 6
## OUTPUTS
4
## NETLIST
U1 PMOS 3 7 5
U2 PMOS 8 5 4
U3 PMOS 6 5 4
U4 NMOS 8 4 1
U5 NMOS 6 1 2
U6 NMOS 3 4 2
## TESTBENCH
## TEST_IN
3 ; 6 ; 8
## TEST_OUT
4
## TEST_VECTORS
0 ; 0 ; 0
## SIMULATE
## TEST_VECTORS
0 ; 0 ; 1
## SIMULATE
## TEST_VECTORS
0 ; 1 ; 0
## SIMULATE
## TEST_VECTORS
0 ; 1 ; 1
## SIMULATE
## TEST_VECTORS
1 ; 0 ; 0
## SIMULATE
## TEST_VECTORS
1 ; 0 ; 1
## SIMULATE
## TEST_VECTORS
1 ; 1 ; 0
## SIMULATE
## TEST_VECTORS
1 ; 1 ; 1
## SIMULATE
## END_TEST
## END_SIMULATION
```



```
For the 0 TEST_VECTORS the output 4 is : 1
For the 1 TEST_VECTORS the output 4 is : 1
For the 2 TEST_VECTORS the output 4 is : 1
For the 3 TEST_VECTORS the output 4 is : 0
For the 4 TEST_VECTORS the output 4 is : 0
For the 5 TEST_VECTORS the output 4 is : 0
For the 6 TEST_VECTORS the output 4 is : 0
For the 7 TEST_VECTORS the output 4 is : 0
```

file3:

```
##RAILS
VCC 1 ; GND 6
## INPUTS
2 ; 3
## OUTPUTS
5
## NETLIST
U1 PMOS 2 1 4
U2 PMOS 3 4 5
U3 PMOS 2 5 6
U4 NMOS 3 5 6
## TESTBENCH
## TEST_IN
2 ; 3
## TEST_OUT
5
## TEST_VECTORS
0 ; 0
## SIMULATE
## TEST_VECTORS
0 ; 1
## SIMULATE}
## TEST_VECTORS
1 ; 0
## SIMULATE
## TEST_VECTORS
1 ; 1
## SIMULATE
## END_TEST
## END_SIMULATION
```



```
For the 0 TEST_VECTORS the output 5 is : SC
Node 5 is short-circuited
For the 1 TEST_VECTORS the output 5 is : 0
For the 2 TEST_VECTORS the output 5 is : Z
For the 3 TEST_VECTORS the output 5 is : 0
```

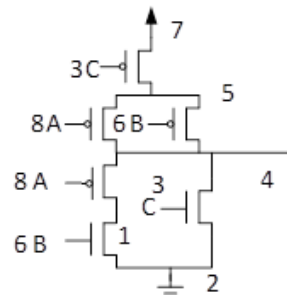
file4:

```

##RAILS

VCC 7 ; GND 2
## INPUTS
3 ; 8 ; 6
## OUTPUTS
4
## NETLIST
U1 PMOS 3 7 5
U2 PMOS 8 5 4
U3 PMOS 6 5 4
U4 PMOS 8 4 1
U5 NMOS 6 1 2
U6 NMOS 3 4 2
## TESTBENCH
## TEST_IN
3 ; 6 ; 8
## TEST_OUT
4 ; 5
## TEST_VECTORS
0 ; 0 ; 0
## SIMULATE
## TEST_VECTORS
0 ; 0 ; 1
## SIMULATE
## TEST_VECTORS
0 ; 1 ; 0
## SIMULATE
## TEST_VECTORS
0 ; 1 ; 1
## SIMULATE
## TEST_VECTORS
1 ; 0 ; 0
## SIMULATE
## TEST_VECTORS
1 ; 0 ; 1
## SIMULATE
## TEST_VECTORS
1 ; 1 ; 0
## SIMULATE
## TEST_VECTORS
1 ; 1 ; 1
## SIMULATE
## END_TEST
## END_SIMULATION

```



```

For the 0 TEST_VECTORS the output 4 is : 1
the output 5 is : 1
For the 1 TEST_VECTORS the output 4 is : 1
the output 5 is : 1
For the 2 TEST_VECTORS the output 4 is : 1
the output 5 is : 1
Node 1 is short-circuited
For the 3 TEST_VECTORS the output 4 is : Z
the output 5 is : 1
For the 4 TEST_VECTORS the output 4 is : 0
the output 5 is : 0
For the 5 TEST_VECTORS the output 4 is : 0
the output 5 is : 0
For the 6 TEST_VECTORS the output 4 is : 0
the output 5 is : 0
For the 7 TEST_VECTORS the output 4 is : 0
the output 5 is : Z

```