

Laboratory Exercise 9

Timer

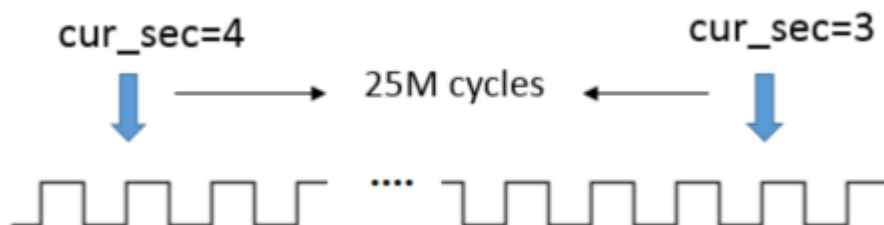
I. Objectives:

本次練習的目標是要完成Timer的module，此module會在被Host設定好秒數並切換state後，開始倒數，同時將倒數進度回傳給Host，在經由7段顯示器顯示出來。透過本次練習，同學們將學會操控counter，即依據特定Hz的clock，做出一個已設定好秒數的Timer。

II. Theory and Procedure:

此module有兩個state：一為設定，一為倒數，state由某個switch(sw[14])控制。

- (1) 設定state時，要keep住Host傳來的new second，讓current second等於new second。
- (2) 倒數state時，每一秒要讓current second減1，減到0時停止。



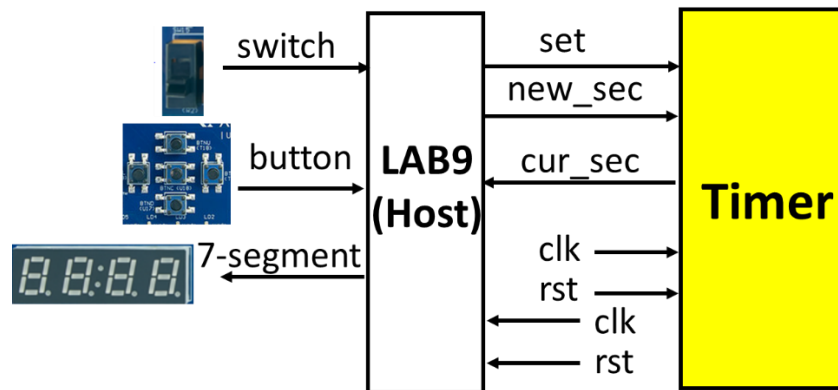
我們使用的cycle是25M Hz，如果想要每過一秒就讓current second減1的話，我們必須創一個可以數cycle的counter，讓它在每個post edge加1，一旦counter加到25000000(剛好過了一秒)，就讓current second減1。

p.s. $25000000 = 25'b1011111010111100001000000$

III. System Diagram & Pins Definition:

PART-I: System Diagram & System Description

本次實驗的system diagram如下：



System diagram

同學們只需實作Timer的module內容(只需要改動**Timer.v**中的內容即可)。當 $sw[14]=1$ 時，Host端給Timer的set訊號為1，Timer會接收來自Host的new_sec，此時由button調控new_sec大小(此部分由Host處理)，秒數會顯示於FPGA板上的7段顯示器上。

當 $sw[14]=0$ 時，Timer從剛拿到new_sec開始倒數，同時將及時秒數cur_sec回傳給Host，Host會透過七段顯示器顯示即時秒數，當cur_sec倒數到0後，就停住不再繼續往下減。

7段顯示器所顯示的數字即為Timer傳出的cur_sec，因此同學需要讓cur_sec在 $set=1$ 等於new_sec， $set=0$ 時等於即時倒數的秒數。

PART-II: Pins Definition

Name	I/O	Bits	Description
clk	I	1	25MHz clock訊號
rst	I	1	非同步reset訊號，rst=1時為reset
set	I	1	Host給的控制訊號，由sw[14]控制，set=1為設定秒數state，set=0時為倒數秒數state。
new_sec	I	4	由Host module傳入的設定秒數。
cur_sec	O	4	由此module傳出的數字信號，Host會將此數字顯示於七段顯示器上，設定秒數時cur_sec等於new_sec，倒數秒數時cur_sec顯示倒數的即時秒數。