

Laboratory Exercise 8

Bi-phase Timer Setting

I. Objectives:

本次練習的目標是要完成Bi-phase Timer Setting的module，此module會接收來自FPGA板的button訊號，調整一計時器兩個phase的秒數，與下一次實驗(Timer)結合即完成一可以調整秒數的計時器，透過本次練習，可以學會設定多個不同phase的Timer秒數的方法。

II. Theory and Procedure:

設定Timer是一個使用Timer時重要的步驟，而我們要設計的Timer可能不只有一種phase，使得我們的電路必須能獨立調整不同phase的Timer的秒數。

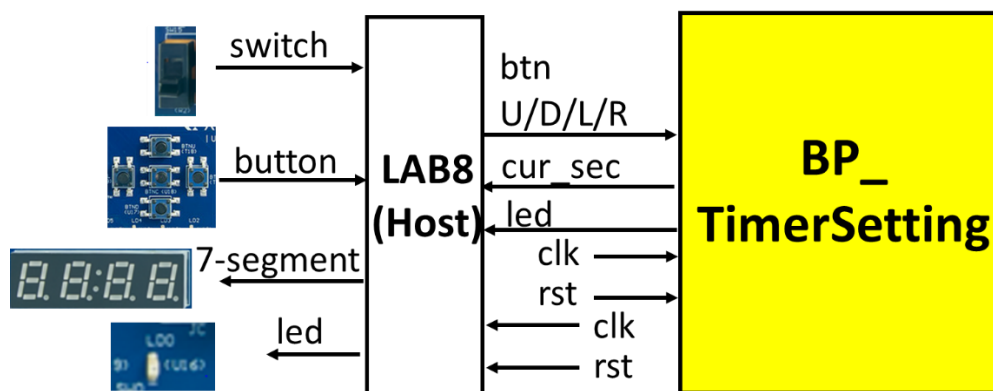
設定我們用左右button調整phase(左為0，右為1)，用上下button調整秒數。

當phase = 0時，我們用上下button調整的是number0，也就是Timer0的秒數，當改變phase = 1時，我們用上下button調整的是number1，也就是Timer1的秒數，注意此時number0的值會被keep住，也就是說再次切回phase=0時，number0的值要與剛要切到phase = 1時一樣，number1的狀況也是如此。

III. System Diagram & Pins Definition:

PART-I: System Diagram & System Description

本次實驗的system diagram如下：



System diagram

同學們只需實作BP_TimerSetting的module內容(只需要改動BP_TimerSetting.v中的內容即可)，當phase=0時，調控的是number0，接收到debounced_U=1的訊號時就將number0加1(最大為9)，接收到debounced_D=1的訊號時就將number0減1(最小為0)；而當phase=1時，調控的是number1，加減的方式則與phase=0時相同。debounced_U/D/R/L訊號平時是low，當板子上的button被按一次時，相對應的debounced_U/D/R/L訊號會有一個cycle的logic1，接下來又回到logic0。

建議提示：開好phase、phase_next、number0、number0_next、number1、number1_next六個訊號，平時改動next的訊號，再接好flip flop即可，如：
DFF dff_p (phase, phase_n, clk, rst);，可以想想如上button按下時，number_next(等於number加1)的各個bit要如何改變，至於最大加到9最小減到0，可以想成當number = 4'b1001時就無效化上button，當number = 4'b0000時就無效化下button。

PART-II: Pins Definition

Name	I/O	Bits	Description
clk	I	1	25MHz clock訊號
rst	I	1	非同步reset訊號，rst=1時為reset
debounced_U	I	1	來自FPGA板上按鈕來的電位訊號，上button，讓timer的數字加1。
debounced_D	I	1	來自FPGA板上按鈕來的電位訊號，下button，讓timer的數字減1。
debounced_R	I	1	來自FPGA板上按鈕來的電位訊號，右button，讓phase跳到1。
debounced_L	I	1	來自FPGA板上按鈕來的電位訊號，左button，讓phase跳到0。
cur_sec	O	4	由此module傳出的數字信號，Host會將此數字顯示於七段顯示器上，需要顯示目前phase對應到的數字，即phase=0時，cur_sec=number0，phase=1時，cur_sec=number1。
led	O	1	顯示目前的phase，phase為0時led=0，phase為1時led=1，此訊號連接至FPGA板上右下角的led_0，led=0時led_0燈暗(phase0)，led=1時led_0燈亮(phase1)。