

Laboratory Exercise 7

Restore Value for SevenSegment Display

I. Objectives:

本次練習的目標是要完成SSDR(SevenSegment display restore)的module。透過switch控制seg0[6:0]-seg3[6:0]達成顯示3位數字(0~7)的功能。並且須將數位電路中的暫存器FF加至模組中，透過switch作設定/顯示mode的切換。

II. Theory and Procedure:

➤ 此module有兩個mode：

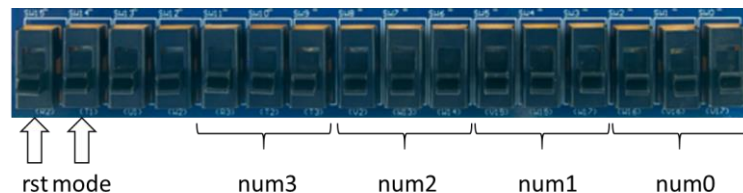
一為Set，一為Display，mode由switch-for-mode(sw[14])控制。

1. Set mode(switch up):

此模式時透過switch-for-data更改SSDR內的暫存器值，此時七段顯示器全暗，switch-for-data總共12個切換，每3個bit表示一個0~7數字，由左至右對到七段顯示器上相對位置。

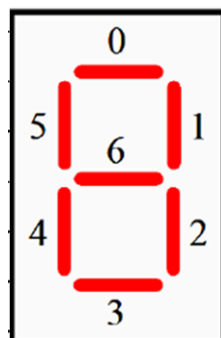
2. Display mode(switch down):

此模式時七段顯示器會顯示SSDR內的暫存器值，此時就算更改switch-for-data也不會改變顯示數值。



switch 與相對應的功能對照

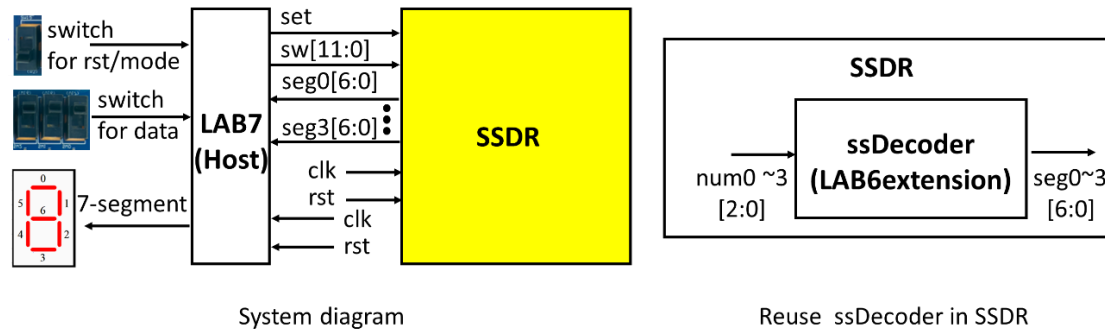
➤ seg[0]~seg[6]對應到七段顯示螢幕中的位置，1表示暗/0表示亮



III. System Diagram & Pins Definition:

PART-I: System Diagram & System Description

本次實驗的system diagram如下：



同學們只需實作SSDR的module內容(只需要改動SSDR.v中的內容即可)，其他電路的部分已經完成。當switch-for-mode上切時，訊號經由Host透過PORT set 上拉傳遞至SSDR，而在此時透過FPGA上之switch-for-data將要輸入之數字經由Host透過PORT sw[11:0]傳遞進SSDR，在此模式時seg0[6:0]-seg3[6:0]應保持訊號1輸出(顯示器全暗)。當switch-for-mode下切時，SSDR將暫存器內的數值傳遞給Host並顯示出來。

SSDR之中包含了子模組ssDecoder(LAB6之延伸)，將num[3:0]x4傳至其中轉成七段顯示器接受格式seg[6:0]x4，在ssDecoder之外需另外撰寫有關於暫存器之部分。

PART-II: Pins Definition

Name	I/O	Bits	Description
clk	I	1	25MHz clock訊號
rst	I	1	非同步reset訊號，rst=1時為reset
set	I	1	從FPGA之switch-for-mode傳遞而來， Up: set, Down: display
sw[11:0]	O	3*4	從FPGA之switch-for-data傳遞而來，透過SSDR暫存並轉換成七段顯示器之格式。
seg3-seg0	O	6*4	欲顯示在七段顯示器的數值。