

Laboratory Exercise 10

Debouncing Circuit for Buttons

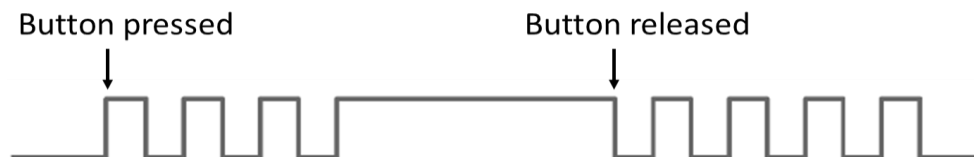
I. Objectives:

本次練習的目標是要完成一個按鈕的debouncing電路，此電路利用的finite state machine來進行debouncing，透過本次練習，同學們將會學習到finite state machine的電路實現方法。

II. Theory and Procedure:

PART-I: Bouncing problem in buttons

課程實驗使用的FPGA板上，共有5個按鈕，按鈕被按下後，其對應的訊號會從未通電(logic0)轉為通電(logic1)，放開按鈕後，會再從logic1回到logic0。但按鈕的bouncing問題會讓按鈕的使用上有些困難之處，bouncing的問題成因如下：



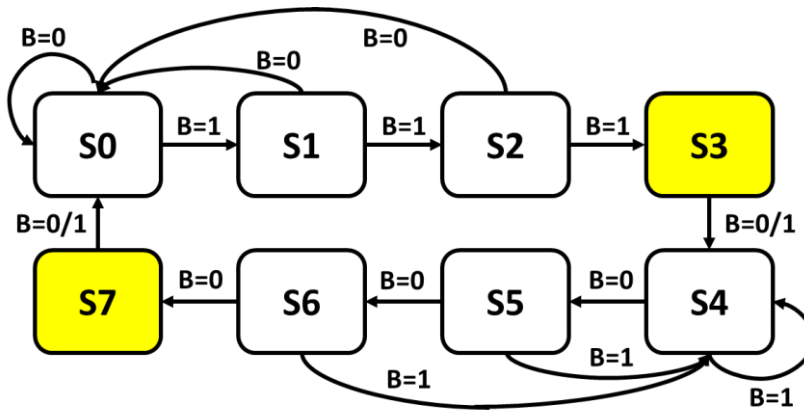
圖一：按鈕被按下與放開的電位變化

由於按鈕本身有彈簧的結構，在按鈕被按下後，並無法馬上進入穩定的logic1，而是會因彈簧的緣故而有一段不穩定的bouncing時期。圖一是按鈕被按下與放開的電位變化，下方是logic0，上方是logic1，可以看到在Button pressed(按鈕被按下)後，會有一段不穩定的電位變化在logic0和logic1之間跳動，此即bouncing的現象，之後才會是穩定的logic1，在Button released之後，也會有類似的情況發生。

然而在按鈕應用上，我們常常需要很精確的抓到按的次數(例如：計數器、碼表的開始鈕等)，若我們單純的以「logic1出現」做為按鈕是否被按下的判斷依據，會因為bouncing而誤判成多次的按鈕被按下。為了消除bouncing的影響，我們要改成以「長時間穩定的logic1」做為按鈕是否被按下的判斷依據，才能準確的使用按鈕，消除bouncing的影響，我們本次實驗要時做的debouncing電路即為協助我們消除bouncing的影響，找出「長時間穩定的logic1」之電路。

PART-II: Debouncing circuit

實作上會使用Finite State Machine (FSM)來實現debouncing電路，其state diagram如圖二：



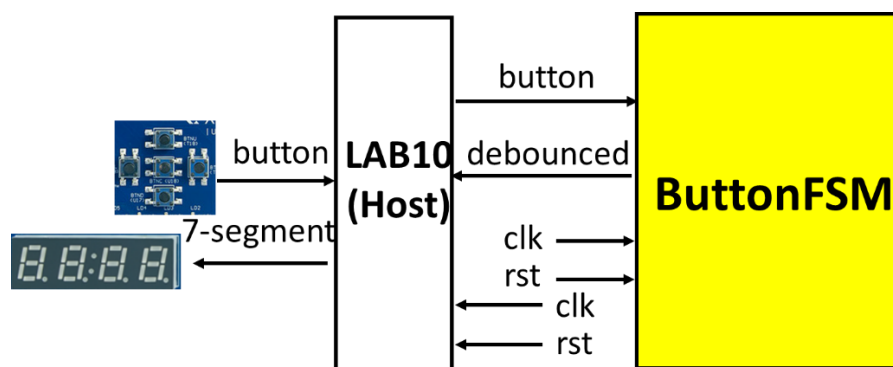
圖二：Debouncing電路的state diagram

此FSM總共有S0-S7共8個state，B為從按鈕來的訊號，B=1代表B為logic1，B=0代表B為logic0，即圖一中的訊號，當state為S3時，會視為按鈕被按下1次，state為S7時，會視為按鈕被放開，在其他state時，按鈕都視為沒有動作。

此FSM的目的為找到「長時間穩定的logic1」，因此可以看到，必須要有連續的B=1，state才能從S0→S1→S2→S3，若中間有任何B=0發生，state就會回到S0，因此圖一中bouncing的部份可以由此state diagram的設計來忽視，直到「長時間穩定的logic1」，state才能順利的走到S3。請注意S3與S7都只會停留1個cycle，在那個cycle時，按鈕被視為按下/放開1次。

III. System Diagram & Pins Definition:***PART-I: System Diagram & System Description***

本次實驗的system diagram如下：



System diagram

同學們只需實作ButtonFSM的module內容(只需要改動ButtonFSM.v中的內容即可)，其他電路的部分已經完成，ButtonFSM的input訊號button為來自FPGA板上按鈕來的電位訊號，即圖一的電位訊號圖，同學們在ButtonFSM中需實作一個以FSM為主體的debouncing電路，其output的debounced訊號，用來表示按鈕是否被按下，debounced=1代表按鈕被按下(FSM等於S3時debounced=1，其他皆為0)。請注意每當按鈕被按下1次時，debounced應該只會有1個cycle是logic1，其餘皆為logic0。

Host會看debounced訊號執行動作，會實現1個counter，若向上的按鈕被按下1次，經由正確的ButtonFSM module後，會有對應的一個cycle為logic1出現，counter值會加1，若向下的按鈕被按下1次，counter值會減1，counter的值會顯示在七段顯示器上（此部分已由Host完成，不需要由同學們實做）。

因此若同學們有成功完成ButtonFSM的電路，應該可以在FPGA板上看到counter的正常運作，反之則按了按鈕後，數字會亂跳，無法實現正確的counter。

PART-II: Pins Definition

Name	I/O	Bits	Description
clk	I	1	25MHz clock訊號
rst	I	1	非同步reset訊號，rst=1時為reset
button	I	1	來自FPGA板上按鈕來的電位訊號，button=1為logic1，button=0為logic0。
debounced	O	1	Debouncing後的訊號，debounced=1代表按鈕被按下，請注意每當按鈕被按下1次時，debounced應該只會有1個cycle是logic1，其餘皆為logic0。