

边界扫描 JTAG 控制器设计及实现

郭子婴^{1,2}, 步鑫³, 熊智勇^{1,2}, 任齐凤^{1,2}

(1. 中国航空无线电电子研究所, 上海 200241; 2. 航空电子系统综合技术重点实验室, 上海 200233;
3. 总参陆航部驻上海地区军事代表室, 上海 200233)

[摘要] 从边界扫描测试的概念、工作原理和基本结构入手, 分析并设计了边界扫描 JTAG 控制器, 以具体的芯片和指令为例, 通过 JTAG 控制器实现了对芯片的边界扫描测试功能, 为进一步展开嵌入式边界扫描测试研究工作提供了依据。

[关键词] 边界扫描; JTAG 控制器; TAP 控制时序

[中图分类号] TP273 **[文献标识码]** A **[DOI 编码]** 10.3969/j.issn. 1006-141X.2016.01.07

[文章编号] 1006-141X (2016) 01-0031-05

Design and Implementation of JTAG Controller Based on Boundary Scan

WU Zi-ying^{1,2}, BU Xin³, XIONG Zhi-yong^{1,2}, REN Qi-feng^{1,2}

(1. China Avionics Radio Electronics Research Institute, Shanghai 200241, China;
2. Key Laboratory of Avionics System Integration, Shanghai 200233, China;
3. Army Aviation Representative office, General Staff, PLA, Shanghai 200233, China)

Abstract: This paper is about the concept, operational theory and principal structure of Boundary Scan. The JTAG controller based on boundary scan is designed and implemented. According to the functional implementation of the JTAG controller based on boundary scan, a certain kind of chip and the corresponding instructions are taken as an example. The research result of this paper provides foundation to the future embedded boundary-scan test research work.

Key words: boundary scan; JTAG controller; sequence of TAP controller

0 引言

随着大规模集成电路技术的发展, 表面安装器件、多芯片组件、多层印制板等技术在电路系统中的应用使器件安装密度不断提高, 原有测试方法对印制板上电路节点的物理访问性正逐步变差。如何对这些高集成度的电路进行测试成为难

题。由联合测试行动组 (JTAG: Joint Test Action Group) 提出的电路测试方法被 IEEE 接纳, 并形成了 IEEE1149.1 标准。

IEEE1149.1 边界扫描测试方法的出现是测试及可测性设计思想的一次飞跃。该方法提供了一种完整的、标准化的 VLSI 电路可测试性设计方法。该技术允许将多个支持 IEEE1149.1 标准的器

件由 JTAG 接口连接在一起, 形成一个串行扫描链路, 通过使用 JTAG 控制器对该链路的 JTAG 端口施加测试向量, 达到对整个电路板进行测试的目的, 可有效提高测试覆盖率。

1 边界扫描测试工作原理和结构

1.1 边界扫描测试工作原理

边界扫描测试的工作原理主要是通过芯片管脚和芯片内部逻辑之间增加边界扫描寄存器单元、通过 JTAG 控制器设置边界扫描控制管脚 (TCK、TMS、TDO、TDI、TRST~) 对芯片的管脚状态进行设定、读取和锁存。这种测试方式对被测集成电路 (IC: Integrated Circuit) 来说是非侵入式的, 它相当于是在 IC 的功能模块以外重新构建一个测试逻辑。当 IC 处于正常工作状态时, 测试逻辑对于功能模块是完全透明的; 而测试状态时, 测试逻辑会完全控制 IC 的管脚, 使系统功能模块失去对管脚的控制能力 (多用于互连测试), 甚至完全与外界隔离 (多用于测试芯片本身的功能)。

1.2 边界扫描测试结构

一个典型的边界扫描测试结构主要由测试访问端口 (TAP: Test Access Port)、TAP 控制器 (TAP Controller)、指令寄存器 (IR: Instruction Register) 和数据寄存器 (DR: Data Register) 四个部分组成。测试访问端口 TAP 即 JTAG 接口, 包括以下端口信号: 测试时钟信号 (TCK: Test Clock)、测试方式选择信号 (TMS: Test Mode Select)、可选择的复位信号 (TRST: Test Reset)、测试数据输入信号 (TDI: Test Data In) 和测试数据输出信号 (TDO: Test Data Output)。TAP 控制器是一个时序电路, 通过接收 JTAG 接口的控制信号来操作指令寄存器和数据寄存器的工作状态。边界扫描测试结构如图 1 所示。

2 JTAG 控制器设计

2.1 JTAG 控制器硬件设计

JTAG 控制器的工作原理是接收上位机发送的边界扫描测试指令, 经过解析编码转换为符合

IEEE1149.1 协议的数据和指令传输给器件的测试访问端口, 同时监控从测试访问端输出的数据, 其工作原理框图如图 2 所示。

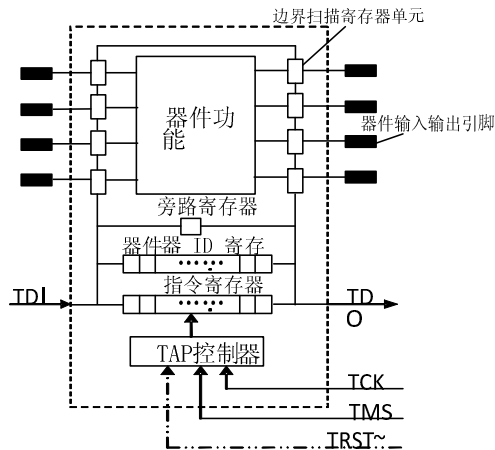


图 1 边界扫描测试结构图

JTAG 控制器中 RS232 接口设计采用 MAX232 芯片, 主要用于接收上位机的测试指令和数据, 并将被测器件转换后的测试数据信号传递给上位机。CPU 控制器采用 PC7448 芯片, 利用其通用输入/输出端口 (GPIO: General-Purpose Input/Output Ports) 信号经 FPGA 器件设计出符合 1149.1 协议的 JTAG 接口。

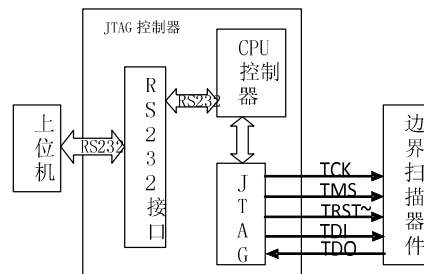


图 2 JTAG 控制器工作原理图

2.2 JTAG 控制器软件设计

鉴于 JTAG 控制器的主要功能是接收上位机下达的测试指令, 产生对应的 TAP 时序控制逻辑, 并回读器件移位输出的数据, 因此 JTAG 控制器软件设计也应具备相应的功能, 其软件流程图如图 3 所示。

JATG 控制器的软件设计主要包括上位机接口软件、TAP 时序控制软件和边界扫描测试数据采样软件。上位机接口软件用于实现测试指令、数据与上位机的交互; TAP 时序控制软件是对器件

TAP 控制器进行管控, 同时进行指令和数据的移入移出工作; 边界扫描测试数据采样软件是将测试过程中产生的移位数据读取并解析。

图 3 中“产生 TAP 控制时序”这一流程就是 TAP 时序控制软件, 其中的 TAP 控制时序是由 TCK 和 TMS 信号控制产生的 16 位有限状态机, 它包括 3 个输入信号和 1 个输出信号 (TRST~信号是可选信号):

(1) 测试时钟信号 TCK: 是边界扫描测试时通过 TAP 向器件施加的一个占空比为 50% 的时钟信号, 其测试逻辑基本上在 TCK 的上升沿或下降沿跳变时执行操作, 但该操作必须在 TCK 沿变化发生后的一个固定延期内完成, 这个延时是由器件制造商定义的。

(2) 测试方式选择信号 TMS: 当 TCK 是上升沿时, 测试逻辑会捕获 TMS 信号的当前值, 用于控制 TAP 控制器的状态;

(3) 测试数据输入信号 TDI: 将数据或指令以串行的方式移入 TAP 中, 需要说明的是 TDI 的当前值是在 TCK 为上升沿时被锁存进入当前选择的数据寄存器或指令寄存器;

(4) 测试数据输出信号 TDO: 将数据或指令以串行的方式移出器件, 需要说明的是 TDO 是在 TCK 为下降沿时将所选择的指令寄存器或数据寄存器的内容移出器件的。

TAP 时序控制软件用于控制 TAP 控制器, 它主要通过设置时序来控制 16 位有限状态机, 从而达到边界扫描测试的目的, 因此如何对 TAP 控制器的 16 位状态进行转换显得尤为重要。图 4 给出了状态转换关系以及状态转换时 TMS 信号的状态。

由图 4 可见, 除了测试逻辑复位状态 (Test-Logic-Reset) 和运行测试/空闲状态 (Run-Test/Idle) 外, 其余状态分为两大类: 图 4 中左边一列是数据寄存器状态; 右边一列是指令寄存器状态。所有的状态转换由 TCK 上升沿采样的 TMS 状态来控制。不论控制器处于何种初始状态, 在至少 5 个连续的 TCK 上升沿检测到 TMS 一直处于高电平状态时, 它将进入 Test-Logic-Reset

状态。测试过程中, 测试指令处于捕捉指令寄存器状态 (Capture-IR) 时被装载到指令寄存器中, 在指令寄存器移位状态 (Shift-IR) 时移出, 每次移出一位; 由当前指令选择的测试数据处于捕捉数据寄存器状态 (Capture-DR) 时被装载到数据寄存器中, 在数据寄存器移位状态 (Shift-DR) 移出, 也是每次移出一位。

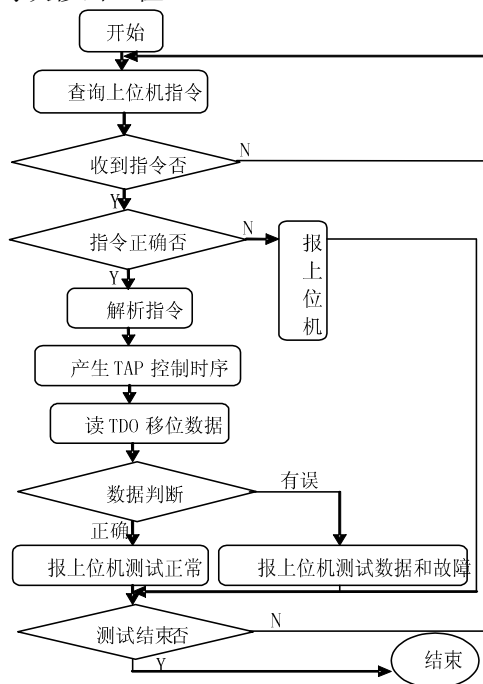


图 3 JTAG 控制软件流程框图

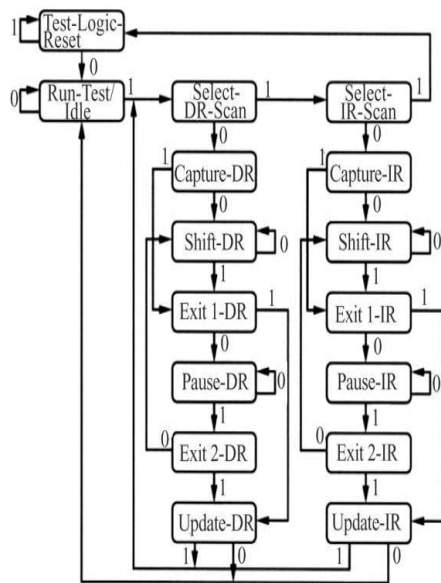


图 4 TAP 控制器状态转换图

3 JTAG 控制器的实现

JTAG 控制器的实现以 Xilinx 公司型号是 XC2C512-10FGG324I 的复杂可编程逻辑器件 (CPLD: Complex Programmable Logic Device) 为边界扫描测试对象, 以 ID 码识别指令为测试案例进行描述说明。

边界扫描测试指令分为非侵入式操作模式指令和侵入式操作模式指令两类, 本案例中的 ID 码识别指令属于非侵入式操作模式指令。ID 码识别指令是选择器件识别码寄存器 (ID-CODE Register) 作为操作对象, 读出被扫描器件的器件识别码。操作该指令时, TAP 控制器可以利用独立的 JTAG 口, 在不干扰器件内部功能模块的情况下完成。由于器件识别码寄存器在测试逻辑电路中是可选的, 根据图 4 当 TAP 控制器处于测试逻辑复位状态时, 如果器件包含器件识别码寄存器, 指令寄存器会自动产生 IDCODE 指令; 如果没有器件识别码寄存器, 指令寄存器会自动产生 BY-PASS (旁路) 指令。当 TAP 控制器进入捕捉数据寄存器 (Capture-DR) 状态时, 器件识别码寄存器将读入该器件的 32 位 ID 编码, 该编码用于标识器件的型号, 版本号以及制造商编号, 其中最低位必须为“0”, 且最先从 TDO 管脚移出。器件识别码寄存器的结构如图 5 所示。

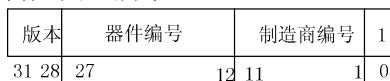


图 5 器件识别码寄存器结构

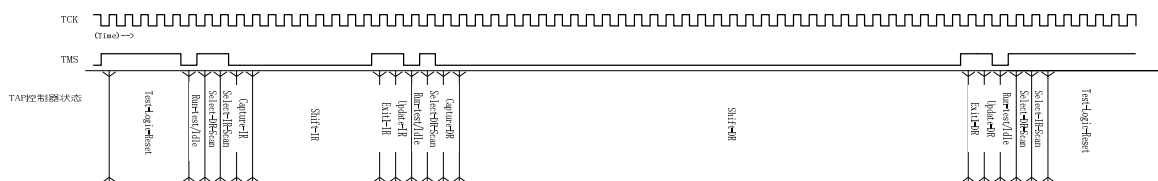


图 6 TAP 控制器状态时序图

4 结束语

本文在分析边界扫描测试的工作原理和基本结构基础上设计了边界扫描测试 JTAG 控制器, 并以 XC2C512-10FGG324I 芯片和 IDCODE 指令为例

器件的 IDCODE 指令和识别码是在该器件的 BSDL 文件中给出的, IDCODE 测试指令是用于验证板上某个位置放置的器件与用于产生测试使用的 BSDL 文件规定的内容是否匹配。通过本案例中 XC2C512-10FGG324I 芯片的 BSDL 文件可以确定其 IDCODE 指令是 00000001, 器件识别码为 XXXX0110110101111010000010010011。器件识别码的获取方式有两种:

(1) IDCODE 指令由器件自动产生, TAP 时序控制软件进入指令寄存器移位状态后, 再进入数据寄存器操作状态, 通过移位数据寄存器 32 个时钟周期将器件识别码读出;

(2) IDCODE 指令由 TAP 时序控制软件通过操作指令寄存器从 TDI 移入器件, 再通过移位数据寄存器 32 个时钟周期, 将器件识别码读出。

为了实现 TAP 时序控制软件的功能最大化, 案例采用方式 2 获取器件识别码。JTAG 控制器在收到上位机指令后, 自动获取器件的 IDCODE 指令为 00000001, TAP 时序控制软件通过方式 2) 构建时序电路给芯片的 JTAG 口, 边界扫描测试数据采样软件从 TDO 管脚上将移出的器件识别码读回, 并与正确的器件识别码进行比对, 将结果上报上位机。由 TAP 时序控制软件构建的时序电路如图 6 所示。从图 6 可见, TDO 输出的器件识别码为 00010110110101111010000010010011, 与 BSDL 文件提供的一致。

参 考 文 献

- [1] 谭剑波, 尤路, 黄新, 等. 边界扫描测试技术[M]. 北京: 国防工业出版社, 2013.
- [2] IEEE Std 1149.1-2013, IEEE Standard for Test Access Port and Boundary-Scan Architecture[S]. 2013.
- [3] 罗涛, 林明, 邱卫东. 边界扫描结构设计及仿真[J]. 科学技术与工程, 2011(11): 261-265.
- [4] 张琳, 周拥军, 刘冲, 等. 边界扫描技术及其在电路板级测试应用[J]. 电光与控制, 2009(16): 60-63.

[收稿日期] 2015-12-28

[作者简介] 郭子婴(1979—), 女, 工程师。研究方向: 航空电子系统综合仿真测试与评估技术。

步 鑫(1984—), 男, 工程师。研究方向: 航空电子。

熊智勇(1972—), 男, 研究员。研究方向: 航空电子总体技术。

任齐凤(1978—), 男, 高级工程师。研究方向: 机载计算机平台和航电系统综合技术。

(上接第24页)

3 结 束 语

本文提出了一种基于增强现实的飞行视景系统, 并简要介绍了其基本原理和工作流程。从文中的分析可见, 增强现实视景系统具有以下特点:

(1) 携带的数据量小。虚拟数据量仅集中于关键信息区域, 可极大提升显示效率, 并降低对图形硬件的要求, 同时该特点在数据传输等快速急需场景中具有独特的优势, 如地面更新数据、空中实时标注、互传信息等; c

(2) 显示直观。虚拟信息直接显示在外部环境图像中的相应位置, 与真实环境对比更便于理解, 减少了飞行员学习和作决定的时间;

(3) 给飞行员提供的有效信息多。虚拟地图信息叠加在图像中飞行员的关心区域, 不关心区域的叠加信息无或较少, 有助于飞行员集中注意力。

鉴于上述特点, 增强现实视景系统具有广阔的应用前景。

参 考 文 献

- [1] Milan SONKA.图像处理、分析与机器视觉(第3版)[M]. 北京: 清华大学出版社, 2011.
- [2] ZHANG Z.A Flexible New Technique for Camera Calibration[J]. IEEE Transactions on Pattern Analysis and Machine Intelligence.2000, 22(11):1330-1334.

[收稿日期] 2015-12-07

[作者简介] 张仟新(1976—), 男, 高级工程师。研究方向: 地理信息系统。

张钰鹏(1986—), 男, 工程师。研究方向: 合成视景系统、增强现实。