

## Internal Register

- INP R: Hold Asc Code 8-bit → Flag input ← FG1.
- OUT R: Hold Asc II code For output character 8-bit ← FG0.

FG1: عند ضغط حرف ال Key board فتكون FG=1  
عند استقبال ال MP للحرف ينتج FG=0

FG0: لو ال printer مستقبلي charac فتكون FG=1  
لو ال printer استقبل charac فتكون FG=0

## Time and Control structure:

T<sub>0</sub>: AR ← PC (micro operation) or register transfer statement

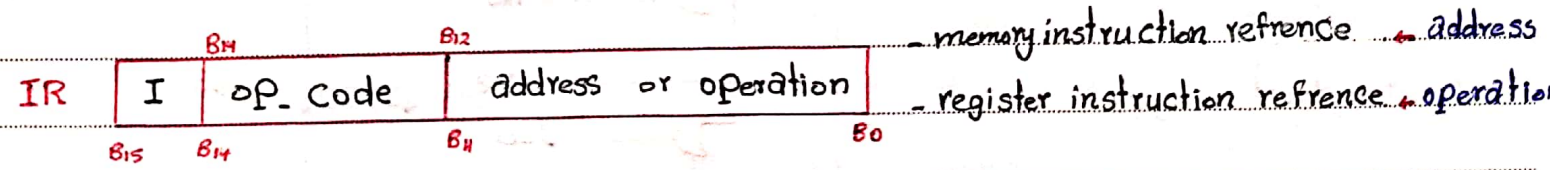
T<sub>1</sub>: IR ← M[AR]      PC ← PC + 1

T<sub>2</sub>: I ← IR[15]      AR ← IR[0..11]      AND AC جزء  
3x8 decoder [d0-d7] ← IR[12-14]      H جزء

T<sub>3</sub>: if I<sub>1</sub> = 0 'do nothing'      • DO: control struct  
if I<sub>1</sub> = 1 AR ← M[AR]      AND لأنه بيترجع

T<sub>4</sub>: DR ← M[AR]

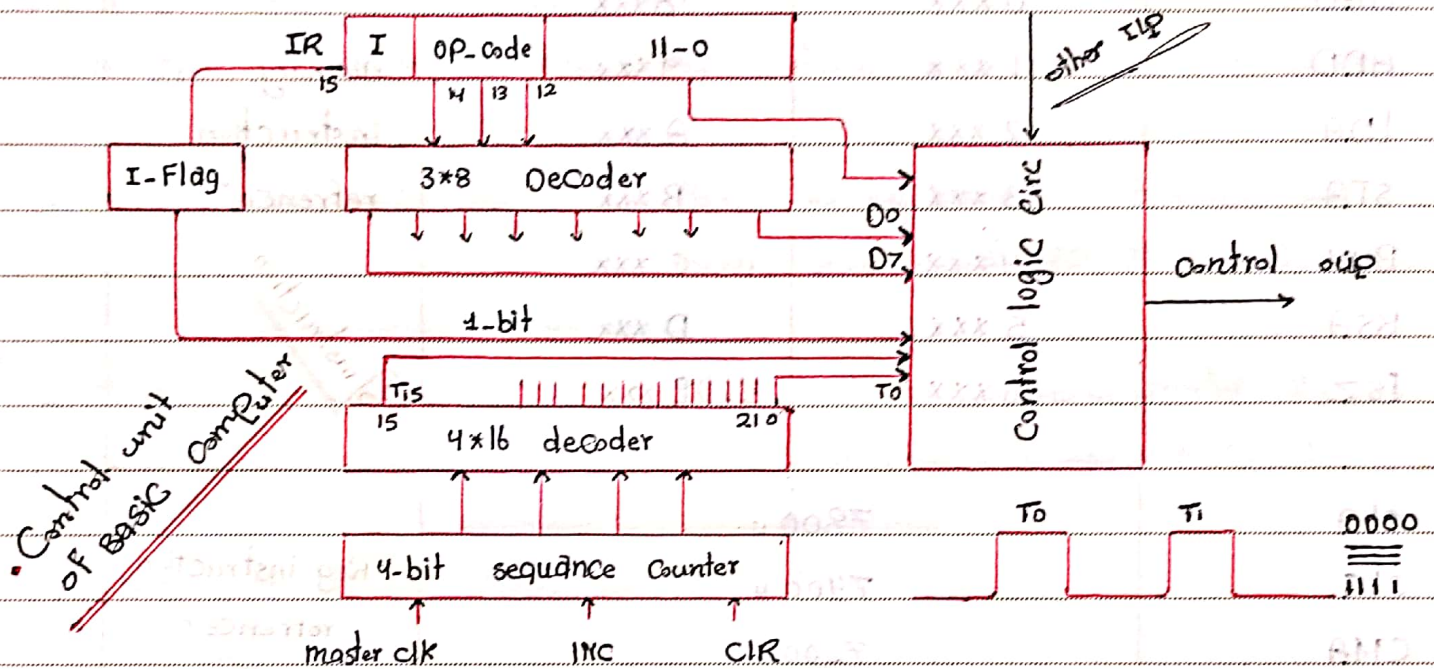
Do T<sub>5</sub>: AC ← AC ∨ DR, SC ← 0



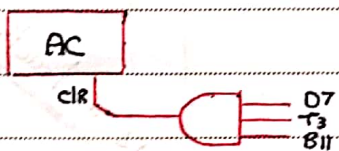
Symbol	instruction Hex. decimal Code		
	I=0	I=1	
AND	0 xxx	8 xxx	" memory instruction reference "  <u>6 instruction</u>
ADD	1 xxx	9 xxx	
LDA	2 xxx	A xxx	
STA	3 xxx	B xxx	
BUN	4 xxx	C xxx	
BSA	5 xxx	D xxx	
Isz	6 xxx	E xxx	
CLA	7800 H		" Reg instruction reference "  <u>12 instruction</u>
CLC	7400 H		
CMA	7200 H		
CMC	7100 H		
CLR	7080 H		<u>12 instruction</u>
CLC	7040 H		
HIT	7001 H		
INP	F800 H		" input / output instruction reference "  <u>16 instruction</u>
OUT	F400 H		
SKI	F200 H		
SKO	F100 H		
ION	F080 H		
IOFF	F040 H		



في حالة "memory instruction reference" دائماً يكون  $d7=0$ .  
 لازم  $T5=1$ ,  $D0=1$ .  
 $D0$   $T5$   $\rightarrow$  Control structure.

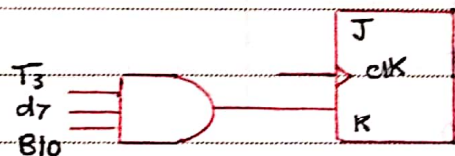


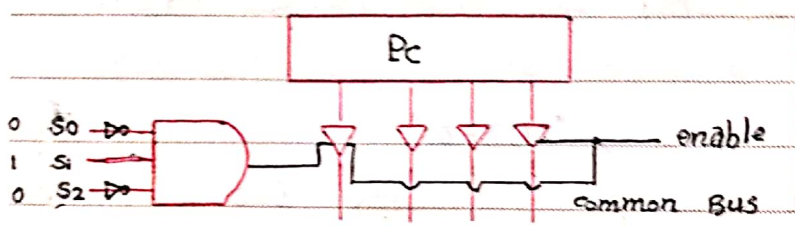
CLA: (Register reference) الأمر في حالة الـ



المتالي  $D7=1$ .  
 $D7=1$  مرتبطة  $\rightarrow T3$ .  
 دقي ال bit للعلامة الود  $B11$ .

CLC: (Register reference) الأمر في حالة الـ

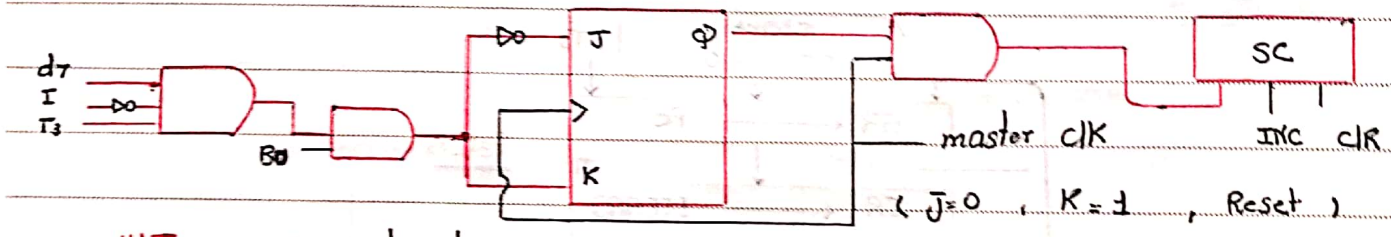




IR ملوش CLR ولا INC  
ليه بن ID وشن داخا Gate OR  
داخه مباش  
لانہ بكننى بكونه مستقبل عند T فقط

يصبح ازاى PC معبر ودا اول Buffer الاتا تنزل على C-BUS

طريقة انتقال البيانات من PC الى Common Bus عن طريق "selection line"



بيجمل ال B تكون = zero → المورده عن حالة ال Reg instructi  
بالدايدة دى نفذنا HLT والعمليه وقت عند T وال master clk مفعال بكنى دخل SC ← 0

اجراء المتابعة مسموح فى أى وقت عدا ال Fetch وال Decode أى من (T0 → T2)

- IEN ← 1 : interrupt on
- IEN ← 0 : interrupt off

IEN . T0 T1 T2 ( FGI + FGO )  
لم char فى INPR عاونه ادخله  
← char فى OUTR عاونه اخرجيه

المتابعة لا تتم خلال T0, T1, T2 وعاطهم تمام complement علشان لو master term → 0 صبقى  
comp يعنى تصيح بـ 1 ← لضمان عدم وجود مقاطعة تحت T2