

7. DIREKTNO POVEZIVANJE ULAZA NA MAGISTRALU RAČUNARA

Posljednjih godina razlika između posebnog sistema za prikupljanje podataka i sistema upravljanja je smanjena jer raste broj primjena sistema koji se projektuju ne samo da prikupljaju podatke nego i da djeluju na objekte. Ova činjenica je istinita za širok opseg interfejsa za akviziciju podataka i upravljanje, koji se danas proizvode. Najviše korišćeni višenamjenski sklopovi za direktno povezivanje na računar, trenutno aktuelna na tržištu, obično ujedinjuju sve aspekte akvizicije podataka i upravljanja. Ovo uključuje kola za analogni ulaz za mjerenje i konverziju analognog ulaznog napona u digitalan format, analogna izlazna kola za generisanje analognih naponskih izlaza na osnovu digitalnih upravljačkih signala, kola brojača/tajmera i digitalni ulazno-izlazni (U/I) interfejs. Ukoliko se radi o višenamjenskim kolima za direktno povezivanje tada se, u zavisnosti od broja analognih i digitalnih ulaza/izlaza potrebnih za konkretnu primjenu, bira najekonomičnije rješenje koje dozvoljava manja unapređenja date primjene. Kada je broj ulaznih/izlaznih signala velik tada je opravdano koristiti specijalizovana kola za direktno povezivanje jednog tipa analognog/digitalnog, ulaza/izlaza.

Kao što je već napominjano, u cilju opštijeg prilaza analiz, biće pretpostavljeno da zadatak digitalnog prijemnika, ili eventualno regulatora, obavlja PC. Jezgo svakog PC-ja čini matična, systemska, ploča. Ovu ploču čini štampana ploča na kojoj su postavljeni i međusobno povezani procesor, kontroler matične ploče, memorije i interfejsi za povezivanje sa perifernim komponentama van matične ploče.

Memoriju čini nekoliko vrsta memorije zavisno od njihove namjene. Stalna memorija (engl. *Read Only Memory – ROM*) se koristi za trajno memorisanje podataka, jer se iz nje podaci mogu samo očitavati. Osnovnu memoriju računara čini memorija sa slučajnim pristupom (engl. *Random Access Memory - RAM*) jer su sve njene lokacije jednako dostupne. RAM memoriju po pravilu, zbog njihovih različitih karakteristika, čine dvije vrste

memorija; statička memorija sa slučajnim pristupom (engl. *Static Random Access Memory – SRAM*) i dinamička memorija sa slučajnim pristupom (engl. *Dynamic Random Access Memory - DRAM*). Sadržaj *SRAM* ostaje sačuvan sve dok ima priključeno napajanje. Za čuvanje sadržaja *DRAM* potrebno je stalno vršiti osvježavanje njenog sadržaja. Zahvaljujući jednostavnijoj konstrukciji *DRAM* ima 2-4 puta nižu cijenu i potrošnju, a sa druge strane 2-10 puta veći kapacitet memorisanja podataka. Iz tih razloga ona predstavlja glavnu memoriju računara. Zbog velike brzine *SRAM* se po pravilu koristi za eksternu keš memoriju računara.

Razmjena podataka između procesora i drugih komponenata na matičnoj ploči vrši se preko magistarale koja se obično naziva procesorskom, sistemskom, magistralom. Ova magistrala tipično sadrži 50 do 100 linija, putem kojih se prenose podaci, adrese i upravljački signali. Nadalje, interfejs za povezivanje sa perifernim komponentama van matične ploče povezuje procesorsku magistralu sa drugim magistralama. Ove magistrale povezuju matičnu ploču sa drugim komponentama unutar ili van računara. Za ovu namjenu većina savremenih *PC*-ja posjeduje magistrale: *ISA* (engl. *Industry Standard Architecture Bus*) ili *PCI* (engl. *Peripheral Component Interconnect*). Većina modula za akviziciju i upravljanje direktnim povezivanjem sa računarom, predviđena je za povezivanje na jednu od ovih magistrala. Iz tog razloga će biti opisana osnovna svojstva tih magistrala.

Početak razvijanja *ISA* magistrale vezuje se za pojavu prvih *IBM* (engl. *International Business Machines*) *PC*-ja, 1981 godine. Povezivanje perifernih komponenata na ovaj *PC* realizovano je preko 62 linije, od kojih je 8 bita bilo rezervisano za prenos podataka, zbog čega se obično ovakva magistrala naziva 8-bitnom. Ovu magistralu su u osnovi činili preslikani signali tadašnjeg Intel 8088 procesora.

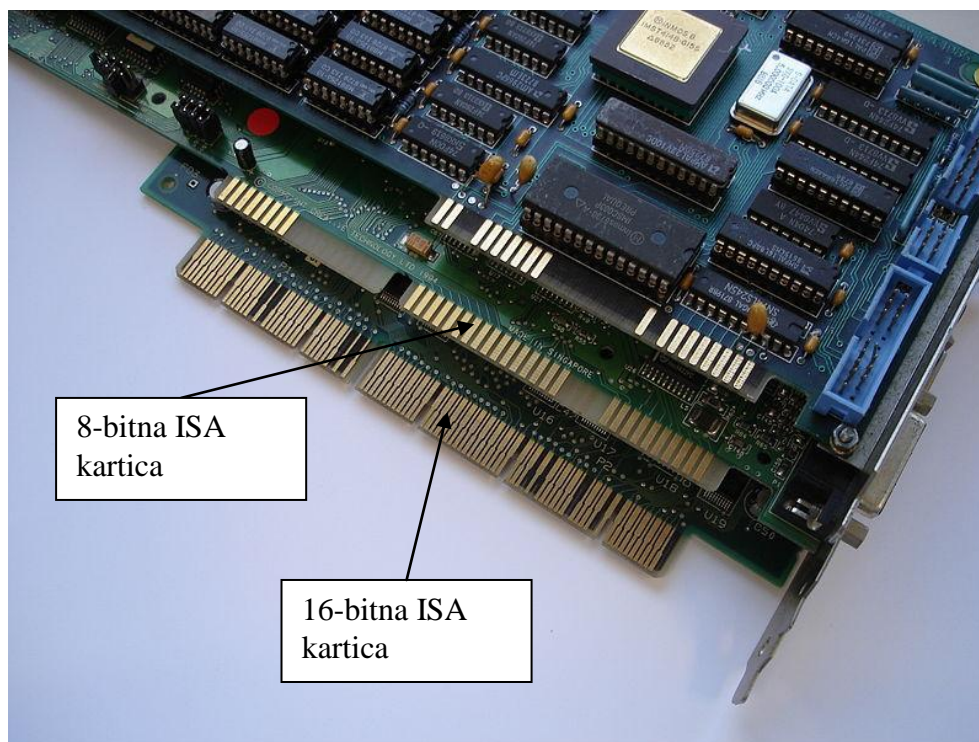
Nakon nekoliko godina od prethodnog, pojavljuju se prvi *IBM PC-AT* računari kod kojih je izvršena modifikacija *PC* magistrale. Nova magistrala je proširena sa dodatnim linijama za povezivanje, tako da posjeduje 16 linija podataka i 24 adresne linije. Da bi se zadržala kompatibilnost sa prethodnom verzijom magistrale dodat je još jedan konektor. Pored 62-pinskog konektora koji je korišćen za prvu verziju magistrale, dodat je drugi 36-pinski konektor. Prenos podataka preko magistrale je izvršavan istom brzinom kojom je radio procesor, tj. 6 ili 8 [MHz].

7. Direktno povezivanje ulaza na magistralu računara 107

IBM PC-AT magistrala je veoma široko prihvaćena kod drugih proizvođača personalnih računara, pri čemu je osnovni nedostatak bio što nije bila standardizovana. Ovaj nedostatak je otklonjen 1987. godine kada je *IEEE* (engl. *Institute of Electrical and Electronics Engineers*) izvršio standardizaciju ove magistrale sa zvaničnim imenom *Industry Standard Architecture Bus*, skraćeno *ISA*.

ISA magistrala je sa manjim modifikacijama ostala u upotrebi i kod savremenih računara. Da bi se održala kompatibilnost sa novijim bržim procesorima signal takta magistrale je odvojen od signala takta procesora i fiksiran je na 8 [MHz].

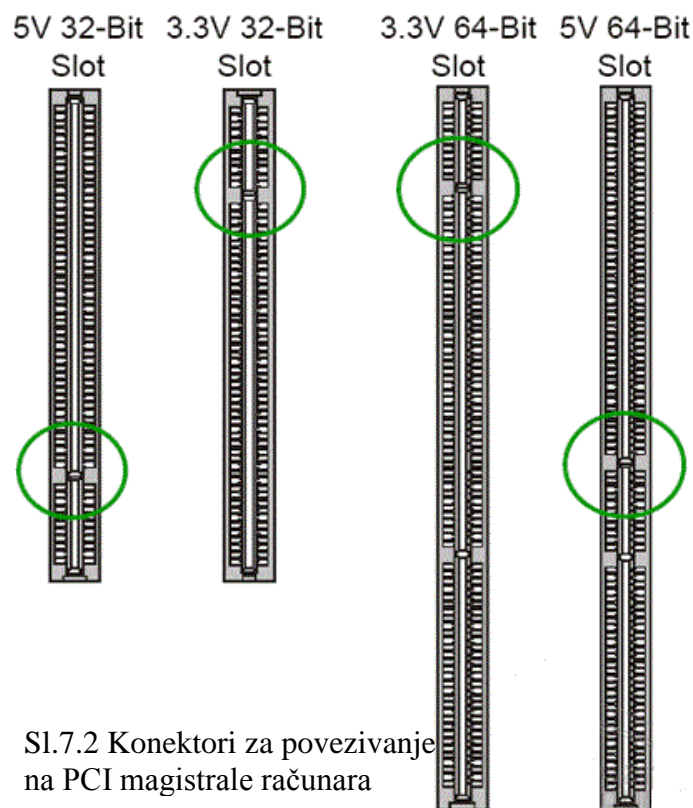
Izgled kartica za direktno povezivanje sa naznačenim konektorima za jednu, odnosno drugu varijantu *ISA* magistrale, prikazan je na Sl.7.1.



Sl. 7.1. Konektori za dvije *ISA* magistrale na modulima za direktno povezivanje

Neke modifikacije *ISA* su šire prihvaćene i među njima se mogu izdvojiti: *MCA* (engl. *Micro Channel Architecture* (16-bitna ili 32-bitna); *EISA* (engl. *Extended Industry Standard Architecture*) (32-bitna) i *VLB* (engl. *VESA Local Bus* (32-bitna, 33 [MHz] ili 40 [MHz])). Ove magistrale su više problemski orijentisane pa nisu šire rasprostranjene i nisu od većeg interesa za opšti zadatak akvizicije podataka.

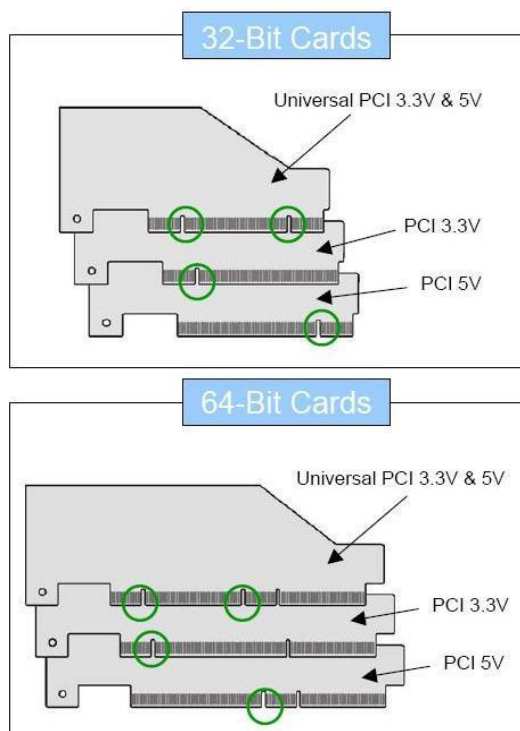
Kao rezultat stalnih zahtjeva za bržim prenosom podataka i na osnovu iskustava sa prethodno pomenutim verzijama magistrala nastala je *PCI* magistrala. U cilju postizanja velikih brzina prenosa *PCI* magistrala je prebačena neposredno uz procesorsku magistralu. *PCI* komponente su nezavisne od tipa procesora. Ova magistrala je u osnovi 32-bitna sa frekvencijom takt signala 33 [MHz], ali se može proširiti na 64-bitnu magistralu i frekvenciju takt signala 66 [MHz]. Za 32-bitnu *PCI* magistralu koristi se 124-pinski konektor, a za proširenu 64-bitnu *PCI* magistralu koristi se 188-pinski konektor.



Sl.7.2 Konektori za povezivanje na PCI magistralu računara

Nadalje, *PCI* magistrala podržava napajanje 5 [V] ili 3.3 [V], pa tip konektora, koriste se takođe termini slot ili utor, na matičnoj ploči računara zavisi i od napajanja koje se koristi. Na Sl. 7.2 su prikazani izgledi konektora za različite varijante *PCI* magistrala.

Na Sl.7.3 je prikazan izgled modula za povezivanje na različite varijante *PCI* magistrala. Donji dio prikazanih kartica se direktno postavlja u jedan od pripadajućih konektora prikazanih na Sl.7.2. Na taj način se ostvaruje veza komponenta postavljenih na karticu sa matičnom pločom računara. Na ove kartice može biti postavljen hardver za akviziciju podataka, koji će u ovom poglavlju biti detaljnije prezentovan.



Sl. 7.3. Izgledi modula za direktno povezivanje na različite varijante *PCI* magistrala

Pošto direktno povezuje *PC* sa okruženjem, preko navedenih kartica na kojima se nalazi hardver za akviziciju podataka, ovakav sistem za akviziciju podataka je vrlo kompaktan i predstavljaju najbrži način za prikupljanje podataka i/ili mjenjanje izlaza. Ovakav način povezivanja se

najčešće koristi tamo gdje je računar blizu senzora pomoću kojih se vrše mjerenja ili aktuatora kojima se upravlja. Kao alternativa, mogu se koristiti za povezivanje udaljenih senzora i aktuatora preko modula za uoblučavanje signala ako su to tzv. dvožični transmiteri za povezivanje.

Većina davača fizičkih veličina (brzine, temperature, pritiska, nivoa, protoka itd.) vrši njihovo pretvaranje u električni signal, naponski ili strujni, analognog tipa. Takođe, rad većine aktuatora (motora, grijača, pumpi, ventila itd.) kontroliše se pomoću naponskih i strujnih signala analognog tipa. S druge strane, savremeni sistemi upravljanja su uglavnom upravljani digitalnim regulatorima. Digitalni regulator, implementiran na digitalnom računaru, radi sa podacima digitalnog tipa, u binarnom kodu. Da bi mogli koristiti digitalni računar za prikupljanje podataka o fizičkim veličinama i upravljati radom aktuatora, potrebno je konvertovati analogne signale u digitalne i obrnuto. Iz tog razloga, analogni ulazni i izlazni sistemi na ploči za direktno povezivanje senzora/aktuatora sa računarom zauzimaju dominantno mjesto i ulogu. Osnovni element analognog ulaznog sistema je A/D konvertor, a analognog izlaznog sistema D/A konvertor. Za povećanje efikasnosti ovih kola koriste se pomoćna kola od kojih će neka ovdje biti razmatrana.

7.1. ANALOGNI ULAZNI SISTEM

Osnovna funkcija analognog ulaznog sistema je da analogni signal pretvori u odgovarajući digitalni format. Originalna analogna informacija se transformiše pomoću A/D konvertora u podatak koji digitalni računar može da razumije, digitalni, binarni kod. Pored A/D konvertora, važni elementi analognog ulaznog sistema su: pojačavač, kolo za uzorkovanje i zadržavanje (engl. *Sample and Hold - S/H*) i multiplekser.

Osnovne karakteristike analognog ulaznog sistema su broj ulaznih kanala, simetričnih ili diferencijalnih, brzina uzorkovanja, propusni opseg, rezolucija i ulazno područje. One, prije svega, zavise od implementiranog A/D konvertora.

7.1.1. Analogno-digitalni konvertori

Postoji nekoliko tipova A/D konvertora. Opšti blok dijagram A/D konvertora je prikazan na Sl.7.4. Bez obzira na tip A/D konvertora njegov ulaz je analogni naponski signal, pa svaki A/D konvertor izvršava funkciju

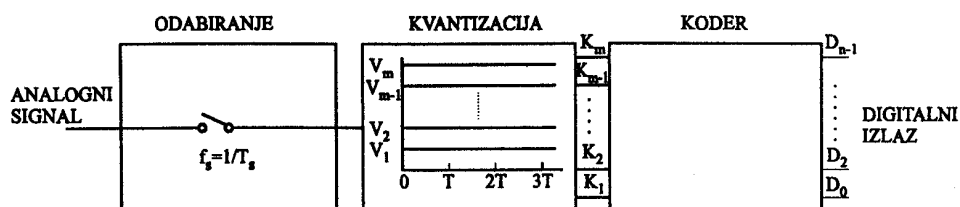
digitalnog voltmetra. Njegovo mjerno područje je definisano dozvoljenim područjem ulaznog analognog signala.

Svaki A/D konvertor u osnovi integriše funkcije odabiranja, kvantovanja i kodovanja.

Odabiranje je konverzija analognog signala u digitalni ekvivalent koja se obavlja periodično sa konstantnim periodom T . To znači da odabiranje predstavlja diskretizaciju signala u vremenu, jer se kontinualan signal $f(t)$, $t \geq 0$, zamjenjuje nizom vrijednosti $f(kT)$ u trenucima kT , $k=0,1,2,\dots[16,17]$.

Kvantizacija je konverzija analognog signala u digitalni ekvivalent tako što se kontinualnom signalu pridružuju najbliže vrijednosti iz konačnog skupa mogućih nivoa. Po pravilu se podrazumijeva da su svi nivoi takvi da je razlika dva susjedna nivoa konstantna.

Koderom se vrši kodovanje kvantnih nivoa u binarni kod. Cilj koder je da se sa što manjim brojem bita izraze svi kvantni nivoi. Digitalnim podatkom od n bita moguće je izraziti 2^n kvantnih nivoa, pa se po pravilu n naziva rezolucijom A/D konvertora. Kvantizer zajedno sa koderom unosi sistemsku grešku od $\pm 1/2$ bita najmanje težine (engl. *Least Significant Bit – LSB*).



Sl.7.4. Opšti blok dijagram A/D konvertora

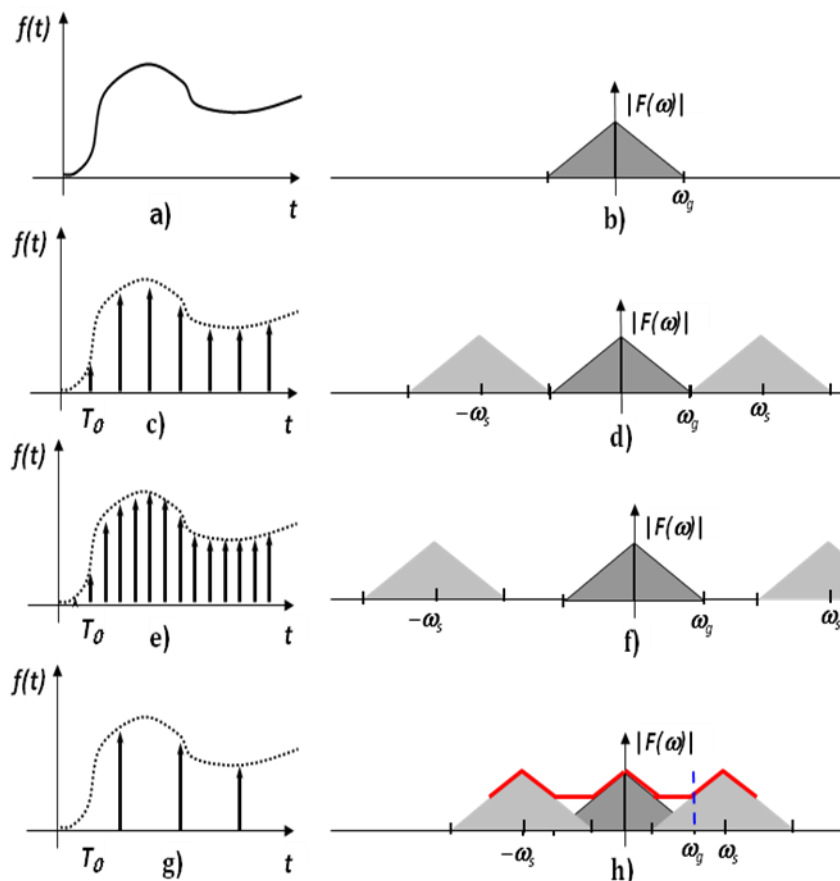
Brzina odabiranja

Brzina odabiranja određuje kako često se vrši konverzija analognog napona u njegov digitalni ekvivalent. Ona je jedan od najkritičnijih faktora prema kome su suprotstavljeni zahtjevi korisnika sistema za akviziciju i A/D konvertorskog elementa. Intuitivno se može zaključiti da se većom brzinom odabiranja prikupi više podataka o signalu u datom vremenu, te se dobija bolja interpretacija originalnog analognog signala. Egzaktnije objašnjenje daje Nikvistov (engl. *Nyquist*) teorem koji daje uslov da se

odmjerci analognog signala mogu smatrati reprezentativnim, odnosno omogućavaju da se tačno može rekonstruisati originalan analogni signal. Prema Nikvistovoj teoremi analogni signal ograničenog spectra, koji nema spektralne komponente frekvencije više od ω_g , može se jedinstveno predstaviti odmjercima njegovih vrijednosti ako se oni uzimaju sa frekvencijom ne manjom od $2\omega_g$. Dakle, odmjeravanje se ne smije vršiti u intervalima dužim od $1/(2\omega_g)$ sekundi.

Efekte transformacije signala, izvršene njegovim odmjeravanjem, može se bolje ilustrovati i razumjeti posmatranjem u frekvencijskom, umjesto u vremenskom domenu. Jedna ilustracija efekata odabiranja signala u frekvencijskom području data je na Sl.7.5. Oblik pretpostavljenog signala i njegov spektar su dati na Sl.7.5.a i Sl.7.5.b. Ako se izvrši odmjeravanje takvog signala frekvencijom $\omega_s=2\omega_g$, kao što je ilustrovano na Sl.7.5.c, spektar diskretnog signala će imati oblik kao na Sl.7.5.d. Rekonstrukcija originalnog analognog signala teoretski se može izvršiti idealnim NF filtrom, koji propušta frekvencije do ω_g . Ako se izvrši odmjeravanje istog signala većom brzinom tada bi dobijeni signal imao spektar oblika kao što je ilustrovano na Sl.7.5.f. Rekonstrukcija originalnog signala se tada može realizovati neidealnim NF filtrom. Dovoljno je da propušta frekvencije do ω_g , i eliminiše frekvencije više od $\omega_s - \omega_g$.

Kada se odabiranje analognog signala izvodi frekvencijom manjom od $2\omega_g$ tada se dobije preklapanje spektralnih komponenti osnovnog i bočnih dijelova spektra. Spektar diskretnog signala ima oblik kao što je ilustrovano na Sl.7.5.h, resultantni spektar je naznačen isprekidanom linijom. U tom slučaju se filtrira spektralnih komponentam ne može rekonstruisati originalan analogni signal. To znači da se mogu dobiti različiti analogni signali za isti niz diskretnih vrijednosti. Ovo je poznato kao problem pojavljivanja lažnih spektralnih komponentata (engl. *alias*).



S1.7.5 Ilustracija efekata odabiranja signala u frekvencijskom području

U cilju ilustracije uzmimo da se vrši odabiranje signala koji ima spektralne komponente sa frekvencijom do 50[Hz]. Tada frekvencija odabiranja treba da bude veća od 100[Hz]. Odnosno, ako se koristi izražavanje preko periode odabiranja može se reći da je potrebno uzeti bar 100 odmjeraka u sekundi (engl. *Samples per second* - *S/s*). Dakle, perioda odabiranja treba da bude manja od $(1/100)=0.01[s]$, da bi digitalni signal sadržavao punu informaciju o originalnom analognom signalu. Na S1.7.6. je ilustrovan efekat male brzine odabiranja. Na S1.7.6.a je prikazan sinusni signal koji je odmjeravan frekvencijom većom od $2\omega_g$. Filtriranjem odmjeraka signala može se dobiti njegova korektna rekonstrukcija. Na S1.7.6.b je prikazan isti analogni signal odmjeravan frekvencijom manjom od $2\omega_g$. U tom sličaju se ne može izvršiti korektna rekonstrukcija. Moguće je



Sl.7. 6. Efekat male brzine odabiranja: a) brzina odabiranja adekvatna, b) brzina odabiranja nije zadovoljavajuća
dobiti sinusoidu manje frekvencije, ili trougaoni signal kao što je ilustrovano isprekidanom linijom.

Dakle, informacija za frekvencije iznad Nikvistove, $\omega_N = \omega_s/2$, je izgubljena procesom odabiranja. Zato je važno da se ne dogodi dodatno izobličenje izvornog spektra signala, tako što će se dozvoliti da efekat preklapanja spektra „iskrivi“ značajan dio spektra ispod Nikvistove frekvencije. Ovo se postiže filtriranjem analognog signala prije odabiranja. Ovaj filter se obično naziva *anti-aliasing* filter. Presječna frekvencija ovog analognog filtra je jednaka Nikvistovoj frekvenciji. Filter se treba koristiti prije odabiranja u svim slučajevima kada postoji sumnja, ili mogućnost, da signal sadrži nezanemarljivu energiju iznad Nikvistove frekvencije.

Anti-aliasing filtrom se takođe postiže prigušenje sadržaja šumova u korisnom signalu. Tipična situacija je da se signal sastoji od komponente korisnog signala i poremećaja/šuma. U većini procesa, obično je poremećaj sa spektrom koji je dominantno u nisko-frekvencijskom području, dok su šumovi (posebno šumovi mjerenja) mnogo šireg spektra nego korisni signal. Tada se period odabiranja obično usvaja tako da je skoro čitav dio spektra korisnog signala ispod Nikvistove frekvencije. Po pravilo se za eliminaciju (ili bar potiskivanje) efekta poremećaja koristi povratna veza i odgovarajući algoritmi regulatora. S druge strane *Anti-aliasing* filter odsijeca visoko frekvencijske komponente šuma.

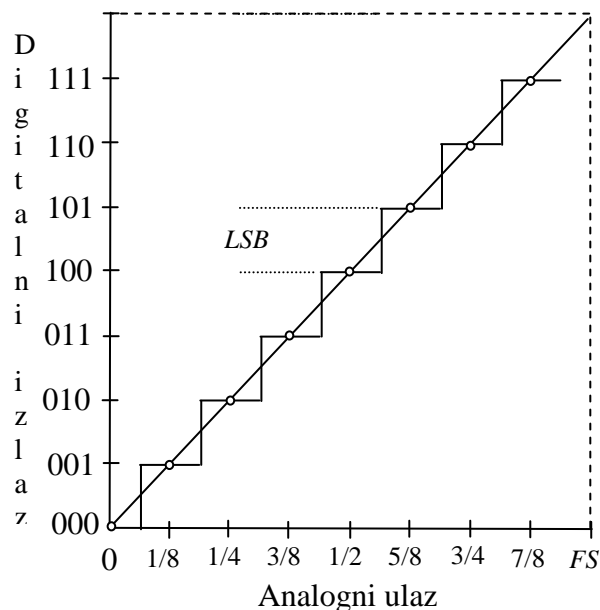
Detaljnija analiza efekata promjene perioda odabiranja na ponašanje dinamičkih sistema data je u [16,17,18].

Rezolucija A/D konvertora

Koderom se vrši kodovanje kvantnih nivoa u binarni kod. Cilj koder je da se sa što manjim brojem bita izraze svi kvantni nivoi. Ako se ima u vidu da kvantizer i koder transformišu kontinualan signal u odgovarajući binarni kod sa n bita obično se n naziva rezolucijom A/D

konvertora. U cilju preciznijeg pojašnjenja efekata kvantizacije signala na Sl.7.7 prikazana je statička karakteristika idealnog 3 bitnog A/D konvertora. A/D konvertor sa rezolucijom od 3 bita dijeli opseg analognog ulaznog sistema u 2^3 ili 8 kvantnih nivoa. Svaki kvantni nivo je predstavljen binarnim kodom od 000 do 111. Ako se pretpostavi da se ovim A/D konvertorom vrši konverzija kontinualanih analognih signala opsega $0 \div 10$ [V], tada promjena signala manje od $\Delta U = 10/8 = 1.25$ [V] neće biti registrovane. Odatle je očigledno da je u ovom slučaju digitalna reprezentacija neprecizna, jer u procesu konverzije dolazi do značajnog gubitka informacije o tačnim vrijednostima originalnog analognog signala.

Ako se radi o 12 bitnom A/D konvertoru, broj binarnih nivoa bi se povećao sa 8 na $2^{12} = 4096$. U ovom slučaju, pri istom opsegu ulaznog signala $0 \div 10$ [V], promjena analognog signala veća od $\Delta U = 10/4096 = 2.44$ [mV] će biti registrovana. To znači da je za promjenu vrijednosti *LSB* u digitalnoj riječi potrebna promjena ulaznog signala za jedan kvantni nivo koji iznosi $\Delta U = 2.44$ [mV]. Ovo ilustruje značaj n za tačnost A/D konverzije, zbog čega se često uzima da je n rezolucija AD



Sl.7.7 Statička karakteristika idealnog A/D konvertora

konvertora.

Prethodnoj analizi treba dodati činjenicu da opsezi izlaznih kontinualnih signala iz senzora mogu varirati. Iz tog razloga se kod boljih

A/D konvertora njihov ulazni opseg može mijenjati u cilju prilagođavanja opsegu izlaznog signala iz senzora. U skladu sa tim, ako se prethodni 12 bitni A/D konvertor koristi sa ulaznim područjem $0 \div 1$ [V] on će registrovati promjene analognog signala veće od $\Delta U = 1/4096 = 0.244$ [mV]. Očigledno će u ovom slučaju, u odnosu na slučaj ulaznog područja $0 \div 10$ [V], korak rezolucije ulaznog signala biti deset puta manji, jer jednom kvantnom nivou odgovara promjena napona $\Delta U = 0.244$ [mV].

Sa druge strane, ukoliko se posmatra relativna vrijednost koraka rezolucije [3], najčešće u postocima mjernog područja, ona će biti ista jer je:

$$\Delta U_r = \frac{\Delta U}{\Delta U_{\max}} 100 = \frac{\frac{\Delta U_{\max}}{2^n}}{\Delta U_{\max}} 100 = \frac{1}{2^n} 100 [\%], \quad (7.1)$$

gdje su:

ΔU_r – relativna vrijednost naponskog kvantnog nivoa,

ΔU_{\max} – ulazni opseg A/D konvertora.

Prema tome, ako se posmatra realtivna greška idealnog A/D konvertora, koja se pojavljuje samo zbog diskretizacije analognog signala po nivou, ona zavisi samo od broja bita binarno kodovanog podataka (n).

Za potrebe akvizicije mjernih podataka potrebno je posmatrati ukupnu tačnost dobijenih podataka nakon transfoemacija signala kroz senzor i A/D konvertor. U prethodno izloženom je naglašena potreba da izlazno područje senzora i ulazno područje A/D konvertora budu jednaki. Iz tog razloga se kod boljih A/D konvertora njihov ulazni opseg može mijenjati u cilju prilagođavanja opsegu izlaznog signala iz senzora. Ako je ovaj uslov zadovoljen ipak zbog diskretizacije signala nastaje dodatna greška diskretizacije. Čak i u slučaju idealnog senzora, nakon diskretizacije njegovog izlaza putem A/D konvertor, nije moguće dobiti podatak o vrijednostima mjerene veličine sa korakom manjim od

$$\Delta X = \frac{U O_s}{2^n}, \quad (7.2)$$

ili

$$\Delta X_r = \frac{\Delta X}{UO_s} 100 = \frac{100}{2^n} [\%] \quad (7.3)$$

gdje su:

UO_s – ulazni opseg senzora,

ΔX - rezoluciju podatka o vrijednosti mjerene veličine zapisanu sa n bita,

ΔX_r - rezoluciju podatka o vrijednosti mjerene veličine zapisanu sa n bita i iskazana relativno u postotcima u odnosu na ulazni opseg senzora.

Prema tome za idealne, senzor i A/D konvertor, moguća greša u apsolutnom iznosu je do

$$e_{\max} = \frac{\Delta X}{2} = \frac{UO_s}{2^{n+1}}, \quad (7.4)$$

odnosno u relativnom iznosu:

$$e_{r,\max} = \frac{\Delta X_r}{2} = \frac{100}{2^{n+1}} [\%]. \quad (7.5)$$

Bez obzira na široko zastupljenu standardizaciju informacionih signala, u mnogim slučajevima nije moguće postići da izlazno područje senzora i ulazno područje A/D konvertora budu jednaki. Kada to nije postignuto podaci o mjerenoj veličini sadrže još veću grešku diskretizacije. U cilju kvantitativnog izražavanja ove zavisnosti uvedimo dodatnu notaciju:

IO_s – izlazni opseg senzora,

ΔU_{\max} – ulazni opseg A/D konvertora.

Tada je rezoluciju mjerene veličine:

- u apsolutnom iznosu:

$$\Delta X = \frac{UO_s}{IO_s} \frac{\Delta U_{\max}}{2^n}, IO_s \leq \Delta U_{\max}; \quad (7.6)$$

- relativna u postotcima ulaznog opsega senzora:

$$\Delta X_r = \frac{\Delta X}{UO_s} 100[\%] . \quad (7.7)$$

Primjer 7.1.

Usvojimo ponovo, kao u primjeru 4.1. da se analizira slučaj sa idealizovanim termoparom J tipa, sa mjernim područjem $0 \div 800 [^{\circ}\text{C}]$ kojem odgovara promjena napona $0 \div 50 [\text{mV}]$. Neka se vrši idealizovana diskretizacija njegovog izlaza u binarni ekvivalent sa n bita.

Transformacijom se, za $n=3$, dobiju diskretni podaci o mjerenoj temperaturi sa mogućom greškom do, prema (7.4):

$$e_{\max} = \frac{\Delta X}{2} = \frac{UO_s}{2^{n+1}} \approx 50[^{\circ}\text{C}].$$

Ako se diskretizacija realizuje sa $n=12$ bita, dobiju se diskretni podaci o mjerenoj temperaturi sa mogućom greškom do prema (7.4) i (7.5):

$$e_{\max} = \frac{\Delta X}{2} = \frac{UO_s}{2^{n+1}} \approx 0.1[^{\circ}\text{C}],$$

$$e_{r,\max} = \frac{100}{2^{13}} \approx 0.012[\%]$$

Primjer 7.2.

Neka se za diskretizaciju senzorskog signala iz primjera 7.1 koristi idealizovan A/D konvertir sa 12 bita i ulaznim područjima: $0 \div 10 [\text{V}]$, a zatim $0 \div 1 [\text{V}]$. Kvantitativno iskazati grešku zbog A/D konverzije.

Ako se diskretizacija realizuje sa ulaznim područjem $0 \div 10 [\text{V}]$, dobiju se diskretni podaci o mjerenoj temperaturi sa rezolucijom, prema (7.6) i (7.7):

$$\Delta X = \frac{800}{5 \cdot 10^{-3}} \frac{10}{2^{12}} \approx 39.063[^{\circ}\text{C}], \quad \Delta X_r = \frac{39.0625}{800} \approx 4.883[\%],$$

i greškom, prema (7.4) i (7.5), do:

$$e_{\max} = \frac{\Delta X}{2} = 19.531[^{\circ}\text{C}], \quad e_{r,\max} = \frac{\Delta X_r}{2} \approx 2.441[\%]$$

Ako se diskretizacija realizuje sa ulaznim područjem $0 \div 1$ [V], dobiju se diskretni podaci o mjerenoj temperaturi sa rezolucijom, prema (7.6) i (7.7):

$$\Delta X = \frac{800}{5 \cdot 10^{-3}} \frac{1}{2^{12}} \approx 3.9063 [^{\circ}C], \Delta X_r = \frac{3.90625}{800} 100 \approx 0.4883 [\%]$$

i greškom, prema (7.4) i (7.5) do:

$$e_{\max} = \frac{\Delta X}{2} \approx 1.9531 [^{\circ}C], e_{r,\max} = \frac{\Delta X_r}{2} \approx 0.2441 [\%]$$

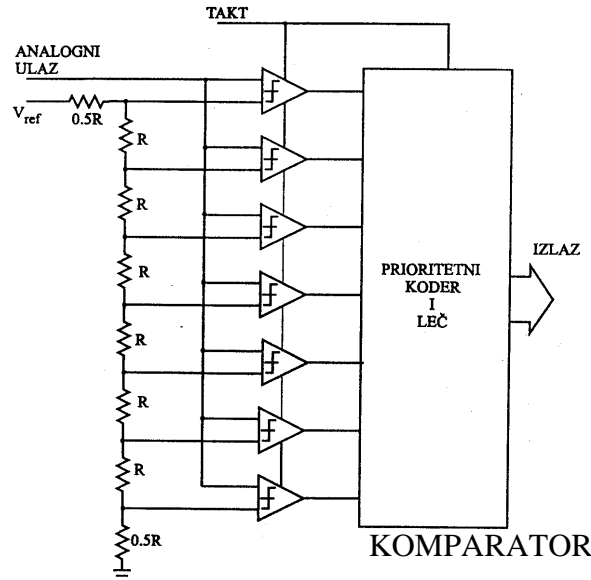
Iz navedenih primjera je očigledan uticaj prilagođenosti izlaznog područja senzora ulaznom području A/Dkonvertora i rezolucije A/D konvertora na tačnost dobijenih podataka o mjerenoj veličini.

U sistemima namjenjenim za nadzor i upravljanje procesima uglavnom se koriste analogni ulazni sistemi sa rezolucijom 12, 14 ili 16 bita. U sistemima namjenjenim za preciznija mjerenja i testiranja koriste se A/D konvertori veće rezolucije. To po pravili povećava njihovu cijenu i/ili smanjuje brzinu.

Široko područje različitih primjena pokrivaju sljedeći najčešće korišteni A/D konvertori: paralelni (*flash*), sa sukcesivnom aproksimacijom i integrirajući.

Paralelni A/D konvertori

Najbrži i najskuplji su paralelni A/D konvertori. Zbog svoje kompleksnosti i visoke cijene ovi konvertori su ograničeni na primjene čija rezolucija nije veća od 10 bita u komercijalnim varijantama. Za rezoluciju od n bita potrebno je $2^n - 1$ komparator. Kompleksnost konvertora raste geometrijskom progresijom sa povećanjem rezolucije. Pored toga, zahtijeva se velik stepen podudarnosti karakteristika komparatora, temperaturna stabilnost i velika ulazna otpornost. Blok dijagram paralelnog A/D konvertora prikazan je na Sl.7.9.



Sl.7.9 Blok dijagram paralelnog A/D konvertora

Digitalni podatak na izlazu kasni za ulaznim analognim naponom samo za vrijeme propagacije kroz komparatore i logička kola koder. Zato su brzine odabiranja ovih konvertora vrlo velike, do 200 MHz.

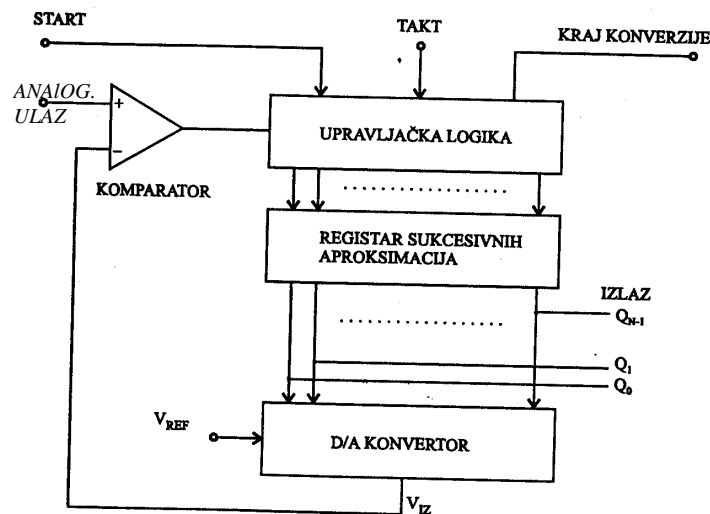
Paralelni A/D konvertori se najčešće koriste u specijalizovanim kolima, kao što su digitalni osciloskopi, primjene digitalne obrade signala u realnom vremenu i opštim primjenama za visoke frekvencije.

A/D konvertori sa sukcesivnim aproksimacijama

Za brzine uzorkovanja veće od 100[Hz], najpopularnija je konverzija sa sukcesivnom aproksimacijom. Mogu se postići brzine do 8 [MHz], pri čemu brzina zavisi od rezolucije konvertora. Izrađuju se sa rezolucijom 12, 14, 16 bita i više. Blok dijagram A/D konvertora sa sukcesivnom aproksimacijom prikazan je na Sl.7.10 U povratnoj vezi A/D konvertora sa sukcesivnom aproksimacijom nalazi se D/A konvertor. Digitalni kod od n bita na izlazu A/D konvertora dobija se kroz $n+1$ sukcesivni interval. Digitalni kod se dobija poređenjem napona na ulazu, nepoznate vrijednosti, sa precizno generisanim internim naponom koji se dobija na izlazu D/A konvertora. Nakon započinjanja konverzije, upravljačka logika konvertora postavi logičku jedinicu na mjesto bita najveće težine (Eng. *Most Significant Bit* - MSB) u registar D/A konvertora. D/A konvertor generiše napon jednak

polovini napona pune skale (ulaznog opsega) koji se poredi sa ulaznim naponom. Ako je ulazni napon veći od polovine napona pune skale, za *MSB* se usvaja vrijednost 1, a ako je ulazni napon manji od polovine napona pune skale onda je ovaj bit 0. Sada se na mjesto sljedećeg bita po težini upiše 1. Poređenjem novopostavljene vrijednosti napona na izlazu D/A konvertora sa nepoznatim ulaznim naponom definiše vrijednost ovog bita. Proces se nastavlja utvrđivanjem vrijednosti svakog bita, sve do bita najmanje težine. Kada se proces komparacije napona i postavljanja vrijednosti bita završi, preko statusne linije se signalizira da je na izlazu A/D konvertora prisutan važeći rezultat konverzije.

Za ovaj način konverzije, potrebno je da ulazni signal ostane stalan za vrijeme cijele konverzije. U protivnom, može doći do velike greške. Zato se koristi kolo odmjeri-pamti (Eng. *Sample/Hold - S/H*). U primjenama za nadzor i upravljanje procesima uglavnom se koristi ovaj tip A/D konvertora.



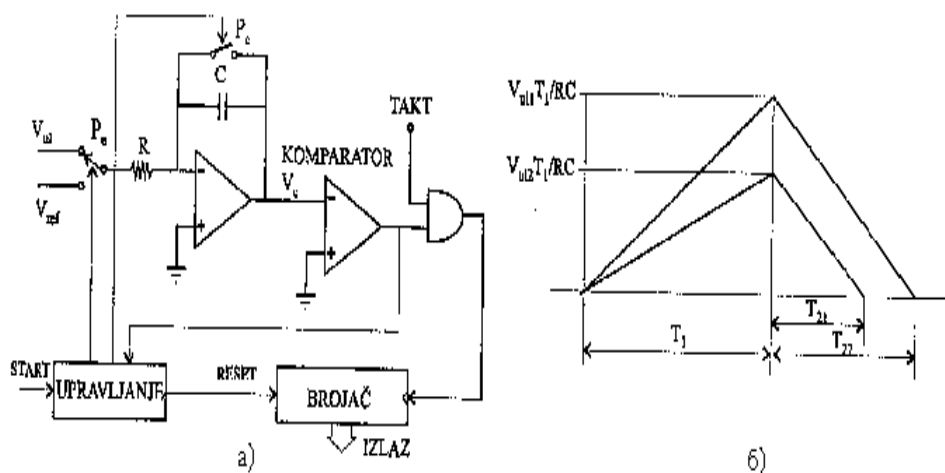
Sl.7.10 Blok dijagram A/D konvertora sa sukcesivnom aproksimacijom

Integrirajući A/D konvertori

Kada brzina za datu primenu nije od presudnog značaja, tj. kada je malena, tada se može upotrijebiti A/D konverzija na bazi integracije sa 12, 14, pa i 16-bitnom rezolucijom, uz nisku cijenu komponente. Kod ovih A/D konvertora se koristi indirektan postupak A/D konverzije, tako što se analogni ulazni signal konvertora pretvara u vremenski period koji mu je

proporcionalan i koji se mjeri digitalno pomoću brojača. Sadržaj brojača predstavlja digitalni kod koji odgovara nivou analognog napona.

Blok dijagram integrirajućeg A/D konvertora prikazan je na Sl.7.11.a. Rad konvertora je baziran na principu da je izlaz integratora rampa funkcija sa nagibom proporcionalnim vrijednosti konstantnog napona na njegovom ulazu.



Sl.7.11 Blok dijagram integrirajućeg A/D konvertora

Prije započinjanja konverzije prekidač P_C je zatvoren, tako da je napon na izlazu integratora $V_C=0$. Početak konverzije se zadaje signalom START koji resetuje brojač. Upravljačka logika otvara prekidač P_C , a prekidač P_U prebacuje u položaj u kome se na ulaz integratora dovodi napon V_{UL} . Napon na izlazu operacionog pojačavača počinje linearno da raste što dovodi do promjene stanja izlaza komparatora i brojač počinje da broji. Nakon 2^n takvih impulsa brojač je stigao do svoje najveće vrijednosti. Za to vrijeme linearni napon na izlazu integratora V_C od nule poraste na vrijednost $V_C=(V_{UL}/RC)T_1$, pod pretpostavkom da je napon V_{UL} konstantan u intervalu T_1 (Sl.7.11.b.). Dakle, napon V_C je direktno proporcionalan naponu V_{UL} . Prvi takt impuls poslije pojavljivanja maksimalne vrijednosti brojača vraća brojač u početno stanje, a upravljačka logika prebacuje analogni prekidač P_U u drugi položaj. Sada integrator integriše struju koju stvara priključeni referentni napon suprotnog polariteta od V_{UL} i na njegovom izlazu napon počinje linearno da opada. Nagib opadajuće rampe je konstantan i ne zavisi od V_{UL} . Kada napon na izlazu integratora dostigne nulu, komparator

sprečava dalje dovodenje impulsa takta na ulaz brojača. Vremenski period T_2 je ekvivalentan vrijednosti napona na ulazu konvertora $T_2 = (V_{UL}/V_{ref}) * T_1$.

Imajući u vidu da je u vremenu T_1 odbrojano n_1 taktnih impulsa periode T_C , a da je u toku intervala T_2 odbrojano n_2 taktnih impulsa iste periode imamo $n_2 = (n_1 * V_{UL}) / V_{ref}$, te je n_2 (sadržaj brojača) proporcionalan vrijednosti ulaznog napona V_{UL} . Osnovni kvalitet ovakvog tipa konvertora je vrlo visoka tačnost jer na tačnost konverzije utiče samo tačnost referentnog napona V_{ref} .

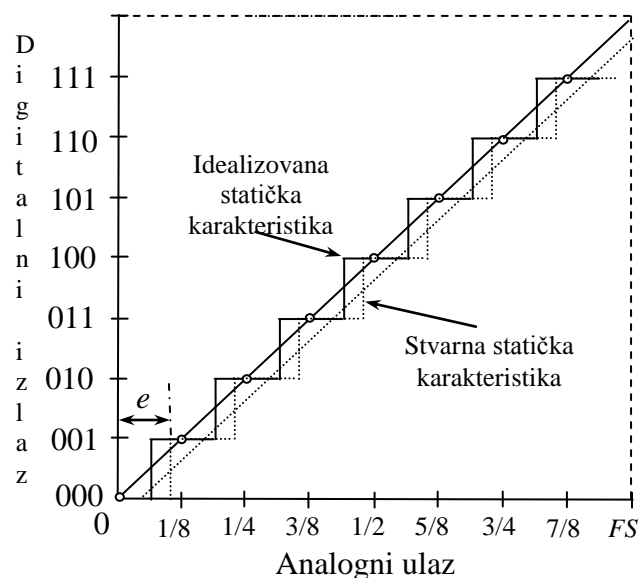
Brzina konverzije je obično od 2 do 20[Hz], a maksimalno reda [kHz]. Kao što samo ime kaže, ovaj A/D konvertor usrednjava (integriše) varijacije signala za vrijeme konverzije. Ovim inherentnim usrednjavanjem se, ustvari, vrši i filtriranje ulaznog signala. Linearnost i ukupna tačnost integracionih konvertora su bolji nego kod ostalih A/D konvertora i ne zavise od kvaliteta većine ugrađenih komponentata, osim izvora referentnog napona.

Pokazatelji tačnosti A/D konvertora

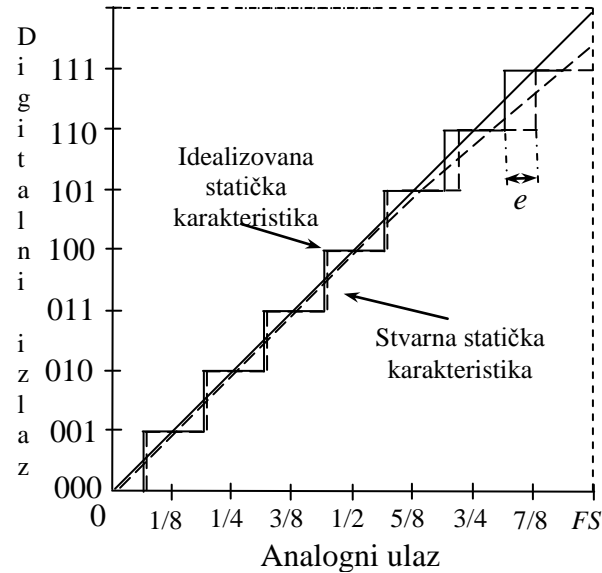
Svi razmatrani A/D konvertori su idealizovani. Neidealnost njihovih statičkih karakteristika je razmatrana samo kroz grešku rezolucije. Postoje i drugi pokazatelji neidealnosti statičke karakteristike, a to su prije svega: zona neosjetljivosti, nelinearnost, greška pojačanja i greška ponovljivosti.

Kod idealnog A/D konvertora postoji zona neosjetljivosti koja je jednaka polovini njegovog koraka rezolucije. Stvarni A/D konvertor ima neidealnu statičku karakteristiku koja je ilustrovavana na Sl. 7.12. Zona neosjetljivosti za takav slučaj je označena sa e .

Nelinearnost A/D konvertora predstavlja odstupanje stvarne statičke karakteristike od idealizovane statičke karakteristike kroz čije centre koda se može povući pravac. Ilustracija greške nelinearnosti A/D konvertora je prikazana na Sl.7.17. Punom linijom je predstavljena idealizovana, a isprekdanom linijom stvarana statička karakteristika. Sa e je označena greška nelinearnosti.

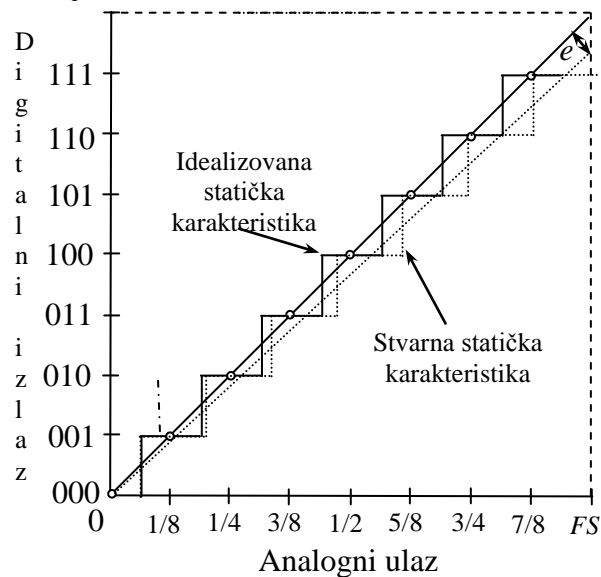


Sl.7.12 Zona neosjetljivosti A/D konvertora



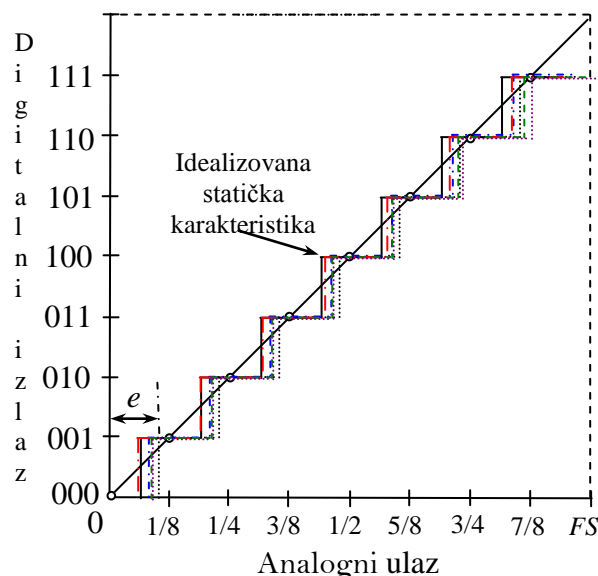
Sl.7.13 Nelinearnost A/D konvertora

Greška pojačanja je još jedna posljedica odstupanja stvarne statičke karakteristike A/D konvertora od idealne. Predstavlja pomjeranje pravolinijske aproksimacije statičke karakteristike tako da je njen nagib promjenjen kao što je ilustrovano na Sl.7.14.



Sl.7.14 Greška pojačanja A/D konvertora

Greška ponovljivosti se pojavljuje kod A/D konvertora prije svega kao posljedica njihove temperaturne osjetljivosti. Zavisno od tehnologije kojom su realizovani A/D konvertori su manje ili više osjetljivi na promjenu temperature okoline. Ovaj efekat dominantno utiče na vrijednost greške ponovljivosti A/D konvertora. Greška ponovljivosti vrlo često uključuje sve prethodno pobrojane neidealnosti statičke karakteristike i simbolički je predstavljena familijama statičkih karakteristika na Sl.7.15.



Sl.7.15 Ilustracija neidealnog ponavljanja statičke karakteristike A/D konvertora

Ukupna tačnost A/D konvertora predstavlja rezultat ukupnog odstupanja stvarne statičke karakteristike od idealne. Pokazatelji tačnosti se često mogu pronaći u katalogima koje za njih daju proizvođači. Obično se iskazuju u postotku pune skale ulaza ili u formi analognog ekvivalenta veličine koraka bita najmanje težine. Tipični pokazatelji tačnosti su reda $\pm 1/2 \text{ LSB}$ do $\pm 1 \text{ LSB}$, ali kod nekih konvertora mogu biti u oblasti $\pm 4 \text{ LSB}$ do $\pm 8 \text{ LSB}$.

Izvor dinamičke greške A/D konvertora se prije svega može karakterisati kašnjenjem koje predstavlja vrijeme potrebno za provođenje jednog koraka konverzije. Vrijeme konverzije predstavlja proteklo vrijeme od iniciranja koraka konverzije do pojavljivanja valjanog digitalnog podatka na izlazu konvertora. Za većinu A/D konvertora vrijeme konverzije direktno određuje brzinu odabiranja, tako da naprimjer A/D konvertor sa vremenom

konverzije $50 \mu s$ može neprekidno konvertovati analogni ulazni signal brzinom $20 kHz$.

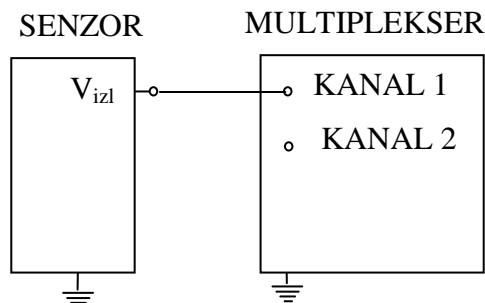
7.1.2 Multiplekser

Jedna od najvažnijih osobina analognog ulaznog sistema jeste broj ulaznih kanala. Određuje broj analognih signala koje je moguće prikupljati. Samo u specijalnim slučajevima se za svaki ulazni kanal koristi poseban A/D konvertor. Uglavnom se koristi tehnika multipleksiranja da bi se više signala konvertovalo jednim A/D konvertorom. Multiplekser je jedna specijalna vrsta integrisanog kola (skup analognih prekidača) koje omogućava priključenje više ulaznih kanala na jedan A/D konvertor (obično 2^n - n je od 2 do 6). Ova tehnika značajno smanjuje cijenu koštanja u odnosu na korištenje posebnog A/D konvertora za svaki ulazni kanal.

Prebacivanje od kanala do kanala multiplekser vrši uz pomoć softverske podrške. Odabrani ulazni kanal se selektuje pomoću binarnog koda na ulaznim adresnim linijama multipleksera. Radi toga 16 kanalni multiplekser treba da ima četiri adresne linije.

Prve realizacije multipleksera su se zasnivale na korišćenju mehaničkih prekidača, najčešće *reed relea* (Eng. *reed relay*). Odlikuju se vrlo visokom izolacionom sposobnošću. Ne mogu se koristiti za velike brzine (do $100 [Hz]$). Savremeni multiplekseri se uglavnom realizuju pomoću poluprovodničkih prekidača, a posebno tranzistora sa efektom polja (*CMOS* ili *JFET*). Omogućavaju brzine reda $[MHz]$.

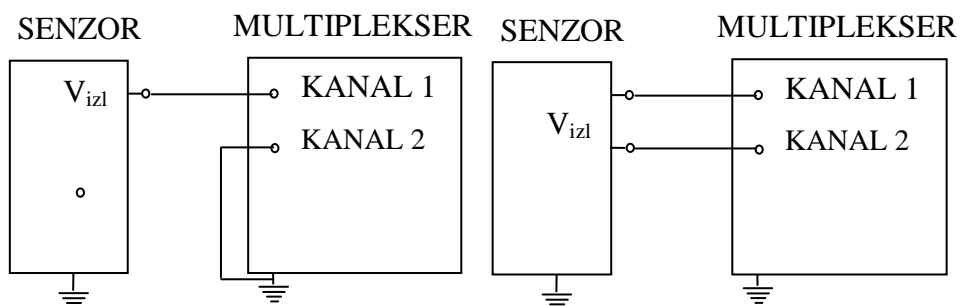
Broj kanala zavisi prije svega od načina povezivanja senzora na analogni ulazni sistem (nesimetrični ili diferencijalni). Nesimetrično povezivanje (*engl. Single Ended- SE*) koriste zajedničku povratnu liniju ili masu, što je prikazano na Sl.7.15. To znači da izvor signala i analogni ulazni sistem imaju zajedničku referentnu tačku, odnosno masu. Dok je razlika potencijala ovih tačaka malena, ovaj način povezivanja radi bez teškoća. Problemi nastaju kada ova razlika postane veća od maksimalno dozvoljene greške sistema. Naime, razlika u potencijalima masa uzrokuje proticanje struje (strujna petlja mase), koja može dovesti do greške u interpretaciji mjerenja. Najveća prednost nesimetričnog povezivanja je niska cijena koštanja po kanalu. Za jedan kanal je potreban samo jedan ulaz multipleksera i jedan provodnik za povezivanje.



Sl.7.15 Povezivanje uzemljenog signala na multiplekser konfigurisan za nesimetrično povezivanje

Iz navedenih razloga se konfiguracija sa nesimetričnim povezivanjem koristi za prenos signala visokog nivoa, reda veličine volta i za prenos signala na manjim rastojanjima, reda veličine metra. Za sva veća rastojanja potrebno je koristiti oklopljene kablove i omotač kabla treba biti spojen na uzemljenje samo na mjestu instrumenta.

Diferencijalni princip omogućava priključenje pozitivnog (+) i negativnog (-) kraja analognog ulaznog sistema na oba kraja izvora signala, što je prikazano na Sl.7.16 Na taj način, svaki napon koji se indukuje u provodnicima se pojavljuje kao zajednički (engl. *Common-mode*) signal, koji se uspješno potiskuje. Diferencijalno povezivanje smanjuje uticaj smetnji. Diferencijalni ulaz zauzima dva prekidačka kontakta multipleksera. Zato, npr. na nesimetrični sistem sa 16 nesimetričnih kanala može da se priključi samo 8 diferencijalnih kanala. Pored toga, dok je za nesimetrične sisteme dovoljan jednostavan operacioni pojačavač, diferencijalni sistemi



Sl.7.16 Povezivanje na multiplekser konfigurisan za diferencijalno povezivanje a) uzemljenog signala b) neuzemljenog signala

zahtjevaju simetrične pojačavače instrumentacionog tipa. Zbog toga je diferencijalni ulazni kanal više od dva puta skuplji od nesimetričnog ulaznog kanala. Istovremeno je otpornost na smetnje višestruko veća nego kod nesimetričnog ulaznog kanala.

Kod analognih ulaznih sistema kod kojih ne postoje pojačavači nego se signal direktno sa multipleksera vodi na ulaz A/D konvertora može se koristiti samo konfiguracija sa nesimetričnim povezivanjem.

U nekim slučajevima se treba koristiti pseudo-diferencijalno povezivanje. To je u stvari varijanta nesimetrične konfiguracije. Pogodnost ovakvog povezivanja je što se postiže dodatno potiskivanje *Common-mode* signala, a zadržava maksimalan broj kanala po multiplekseru. Kod ovakvog povezivanja se svi krajevi niskog nivoa izvora signala direktno povezuju sa krajem niskog nivoa pojačavača. Ovakav metod je moguć samo kada je kraj niskog nivoa pojačavača prisutan na konektoru i ako krajevi niskog nivoa izvora signala mogu biti direktno povezani.

Multipleksiranjem se smanjuje brzina uzorkovanja po kanalu. Ovo treba imati u vidu u svim slučajevima kada se koristi više ulaznih kanala. Dva parametra multipleksera imaju posebno značajan uticaj na brzinu kojom multiplekser može vršiti prebacivanje između kanala.

Vrijeme prebacivanja (engl. *Switching time*) multipleksera je vrijeme potrebno da multiplekser izvrši prebacivanje sa jednog kanala na drugi.

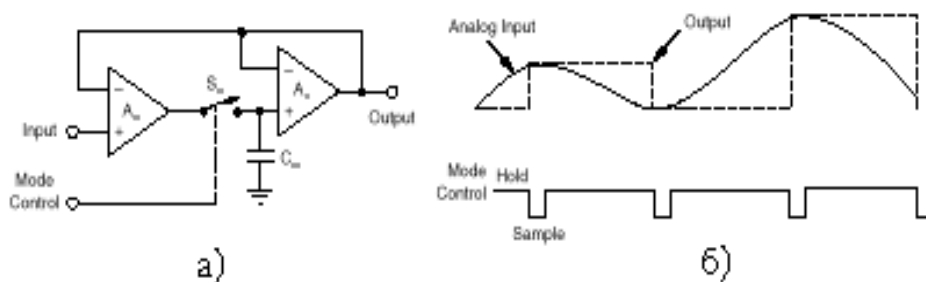
Vrijeme postavljanja (engl. *Settling time*) je vrijeme koje je potrebno da se izlaz multipleksera postavi na vrijednost ulaza, sa greškom ne većom od dozvoljene, kada se ulazni signal na kanalu promijeni skokovito sa donje granice mjernog opsega ulaza na njegovu gornju granicu, ili obrnuto.

Vrijeme postavljanja može biti problematično. Ako softver skenira analogne kanale (prebacuje multiplekser) veoma brzo izlazi multipleksera ne mogu postaviti dovoljno tačno, tada se može pojaviti uzajamni uticaj susjednih kanala. Ovo može dovesti do grešaka u akviziciji od nekoliko procenata. Problem se može izbjeći pažljivim izborom komponenata u zavisnosti od konkretne primjene. Treba imati u vidu da efekat međusobnog uticaja može da zavisi od sekvenci ulaznih podataka i brzine kojom se ulazni kanali skeniraju. Može se preporučiti da se ovaj problem ima u vidu u ranoj fazi razvoja softvera. Nedovoljan propusni opseg može biti kritičan kada se koristi metod multipleksiranja većeg broja analognih signala sa značajnom razlikom u vrijednostima napona.

7.1.3 Kolo odmjeri-zadrži

Kolo odmjeri-zadrži (engl. *Sample-hold* - *S/H*) se koristi za privremeno zadržavanje vrijednosti promjenljivog analognog signala. Treba da obezbijedi konstantnu vrijednost napona na ulazu A/D konvertora za vrijeme jednog ciklusa konverzije. Princip rada kola je sljedeći.

Ulazni bafer A_1 S/H kola sa Sl.7.14.a. obezbjeđuje veliku ulaznu otpornost i struju za punjenje kondenzatora zadržavanja C_H . Prekidač S_1 se otvara i zatvara pomoću signala *MODE CONTROL*. Kada je S_1 zatvoren vrši se punjenje kondenzatora C_H , tj. odmjerava se ulazni analogni signal. Kada je S_1 otvoren kondenzator C_H zadržava odmjereni napon. Bafer A_2 predstavlja za kondenzator C_H opterećenje velike ulazne otpornosti i naponski izvor male izlazne otpornosti. Po pravilu se napon na izlazu bafera A_2 vodi na ulaz A/D konvertora.



Sl.7.14. S/H kolo, a) blok dijagram, b) vremenski odnos signala

Očigledno je za upravljanje radom S/H kola potreban samo jedan binarni upravljački signal koji ga prebacuje između moda “odmjeri” i “zadrži”. Signal može biti prebacivan softverski preko upravljačkog registra pridruženog jednom od I/O portova računara, ili namjenskim hardbverom na istoj ploči.

S/H kola postavljena na ulazu A/D konvertora se često smatraju integralnim dijelom kola za digitalizaciju. U tom smislu naredba za start procesa analogno-digitalne konverzije takođe automatski aktivira S/H kola za potrebno vrijeme trajanja.

Osnovni parametri S/H kola su vrijeme zadržavanja (engl. *hold settling time*), brzina opadanja (engl. *drop rate*) i vrijeme odmjeravanja (engl. *aperture time*). Vrijeme zadržavanja predstavlja period za koji odmjerena vrijednost ostaje zadržana u granici datog odstupanja. Realno S/H kolo ne može održavati u modu zadržavanja svoj izlaz neograničeno dugo. Brzina kojom opada ovaj signal zavisi od kapaciteta kondenzatora i ulazne otpornosti izlaznog bafera, a naziva se brzinom opadanja.

7.1.4 Pojačavač

Podsjetimo da je u prethodnom poglavlju navedeno da pojačanje predstavlja jedan od primarnih zadataka uobličavanj sa dvije veoma bitne funkcije:

- “Povećanje” osjetljivost senzora,
- Pобољшanje odnosa korisni signal-smetnja.

Takođe, analogni signali sa izlaza senzora mogu da variraju zavisno od tipa i izvedbe senzora tako da se potpuno ne podudaraju sa ulaznim područjem analognog ulaznog sistema hardvera za akviziciju.

Iz navedenih razloga analogni ulazni sistemi sadrže pojačavačke module. U ovim modulima se pojačanje obično realizuje pomoću kvalitetnih instrumentacionih pojačavača sa ciljem da se u procesu pojačanja unese što manja dodatna greška. U širokoj primjeni su dva tipa pojačavača koji se nalaze u sistemu za analogne ulaze.

Prvi tip pojačavača su oni kod kojih se koristi hardversko podešavanje pojačanja. Kod ovakvih pojačavača se pojačanje podešava pomoću potencijometara ili kratkospojnika i po pravilu je isto za sve kanale. Zbog istog pojačanja ovakvi pojačavači su pogodni samo u primjenama u kojim su signali na svim kanalima bliski po nivou. Ukoliko se koriste signali sa većim razlikama u nivou potrebno je dodatno eksterno pojačanje signala vrlo niskog nivoa.

Mnogo fleksibilnija varijanta pojačavača su pojačavači sa softverski podesivim pojačanjem (engl. *Programmable Gain Amplifier* - PGA). Kod njih je moguće podesiti pojačanje pojačavača tako što se jednom upiše pojačanje za svaki pojedinačni kanal, u odgovarajući registar na ploči analinog ulaznog sistema. To predstavlja značajnu pogodnost kada su ulazni signali na različitim kanalima sa vrlo različitim nivoima. Pojačanje svakog

kanala se može odabrati tako da je područje izlaznog senzorskog signala što bliže ulaznom području A/D konvertora. Za pravilan rad A/D konvertora, potrebno je da signal iz senzora ne izlazi izvan ulaznog područja A/D konvertora na svakom kanalu.

Obično analogni ulazni sistem omogućava izbor između nekoliko različitih ulaznih opsega. Sa druge strane može se birati između nekoliko pojačanja pojačavača. U cilju postizanja što veće tačnosti mjernih podataka potrebno je uskladiti opsege analognih senzorskih signala, pojačanja pojačavača (K_p) i ulazne opsege A/D konvertora, dostupne u okviru analognog ulaznog sistema, po svim kanalima.

Ako je zadovoljen primarni uslov da je ulazni signal u analogni ulazni sistem unutar njegovog ulaznog opsega ($IO_s \cdot K_p \leq \Delta U_{max}$), tada će vrijednosti mjerene veličine biti registrovane sa korakom rezolucije:

$$\Delta X = \frac{UO_s \cdot \Delta U_{max}}{IO_s \cdot K_p \cdot 2^n} \quad (7.8)$$

Iz posljednjeg izraza je očigledan uticaj svake komponente, u nizu transformacija od mjerene veličine do njene registracije u digitalnom prijemniku, na korak rezolucije sa kojim se registruju mjerni podaci o mjerenoj veličini. Najmanja greška, kao posledica diskretizacije, prema izrazu (7.4) je u slučaju $IO_s \cdot K_p = \Delta U_{max}$ jer se tada jednačina (7.8) svodi na (7.6).

Primjer 7.7.

Neka se pri diskretizaciji senzorskog signala iz primjera 7.2 koristi idealizovan A/D konvertor sa 12 bita i ulaznim područjem $0 \div 1$ [V]. Uporediti grešku zbog A/D konverzije ako se senzorski signal vodi na ulaz A/D, direktno ili se prethodno pojača pojačanjem $K_p=10$.

Ako se senzorski signal vodi direktno na ulaz A/D konvertora ima se drugi slučaj iz primjera 7.2:

$$\Delta X \approx 3.906[^\circ C], \Delta X_r \approx 0.488[\%]$$

$$e_{max} \approx 1.953[^\circ C], e_{r,max} \approx 0.244[\%]$$

Ako se senzorski signal pojača pojačanjem $K_p=10$ prije A/D konverzije, prema (7.7) i (7.8), se dobije:

$$\Delta X = \frac{800}{5 \cdot 10^{-2}} \frac{1}{2^{12}} \approx 0.3906 [^{\circ}C], \Delta X_r = \frac{0.3906}{800} 100 \approx 0.0488 [\%]$$

IZ prethodnog i prema (7.4) i (7.5) vrijedi:

$$e_{\max} = \frac{\Delta X}{2} \approx 0.1953 [^{\circ}C], e_{r,\max} = \frac{\Delta X_r}{2} \approx 0.0244 [\%]$$

Pojačanjem senzorskog signala sa K_p , prije A/D konverzije, za toliko se smanjuje greška rezolucije mjerene veličine.

U dijelu 2.2.1 obajšnjeno je, i kroz primjer 2.2 ilustrovano na koji način pojačanje kontinualnog mjernog signala prije njegovog prenosa kroz sredinu sa električnim smetnjama poboljšava odnos korisni signal – smetnja, a time i tačnost mjernih podataka. U tom kontekst je veoma važno, kada se kotinualni mjerni sigmnal prenosi kroz sredinu sa veoma izraženim smetnjama, dovoljno pojačati takav signal. U slučajevima ekstremno visokoh smetnji nekada je potrebno pojačati signal izvan ulaznog područja analognog ulaznog sistema da bi se postigla zahtjevana tačnost. Tada se u cilju prilagođavanja signala ulaznom području analognog ulaznog sistema vrši odgovarajuće slabljenje neposredno prije diskretizacije.

Primjer 7.4

U cilju ilustracije prethodnog proširimo analizu tačnosti akvizicije podataka o temperaturi u skladu sa pretpostavkama u primjeru 7.7. Za pojačanje senzorskog signala može se koristiti pojačavač sa podesivim pojačanjem $K_p=10^k$, $k=0,1,2,3,4$. Odrediti potrebne parametre analognog ulaznog sistema, ako se u provodnim linijama može indukovati smetnja reda 10[mV], a potrebno je da komponenta greška pri registraciji temperature, zbog djelovanja smetnje, ne bude veća od 1[$^{\circ}C$].

Ako se senzorski signal ne pojačava tada je, u skladu sa primjerom 2.1, osjetljivost senzora 0.062 [mV/ $^{\circ}C$], pa će smetnja reda 10[mV], dati dodatnu grešku u kontinualnom signalu

$$e_s = \frac{10}{0.0625} = 160 [^{\circ}C].$$

Da bi smetnja imala dodatnu ekvivalentnu komponentu manju od 1[$^{\circ}C$] potrebnoi je signal sa senzora pojačati sa $K_p=10^3$ jer je u tom slučaju osjetljivost "senzora" [3],

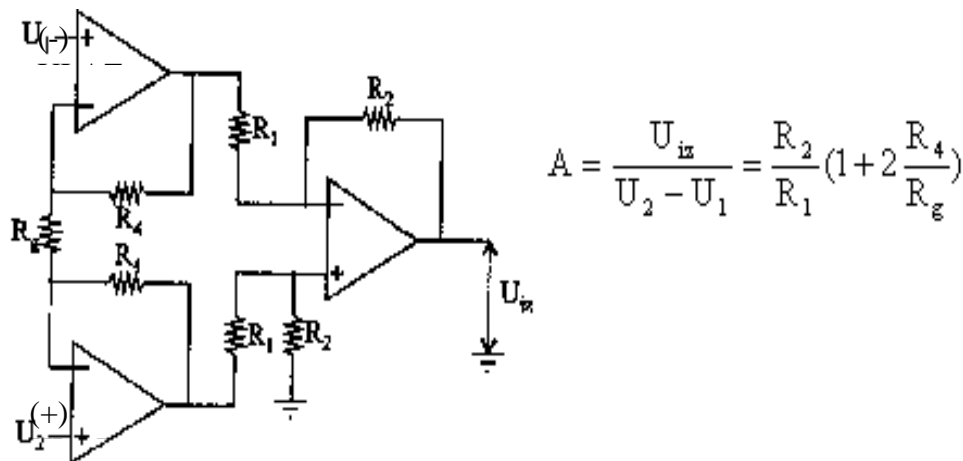
$$a = \frac{50}{800} = 0.0625 \left[\frac{V}{^{\circ}C} \right],$$

pa komponenti smetnje reda 10[mV] odgovara koponenta greške podatka o temperaturi

$$e_s = \frac{10 \cdot 10^{-3}}{0.0625} = 0.16 [^{\circ}C].$$

Postignut je uslov da komponenta smetnje 10[mV] unosi grešku manju od 1[⁰C]. Sa druge strane pojačanjem signala sa senzora za $K_p=10^3$ izlaz iz pojačavača će biti sa područjem 0÷50[V]. U cilju prilagođavanja ovog signala ulaznom području A/D konvertora 0÷10[V], potrebno je ovaj signal oslabiti 5 puta prije A/D konverzije.

Osnovni nedostaci *PGA* pojačavača su visoka cijena i relativno sporo smirivanje (engl. *settling*) signala. Vrijeme smirivanja *PGA* pojačavača se sabira sa svim drugim kašnjenjima u ulaznom analognom sistemu pa može da smanji propusni opseg analognog ulaznog sistema ispod potrebne vrijednosti. Na Sl.7.15 prikazana je principijelna šema instrumentacionog pojačavača, koji je u osnovi diferencijalni pojačavač velike ulazne otpornosti.

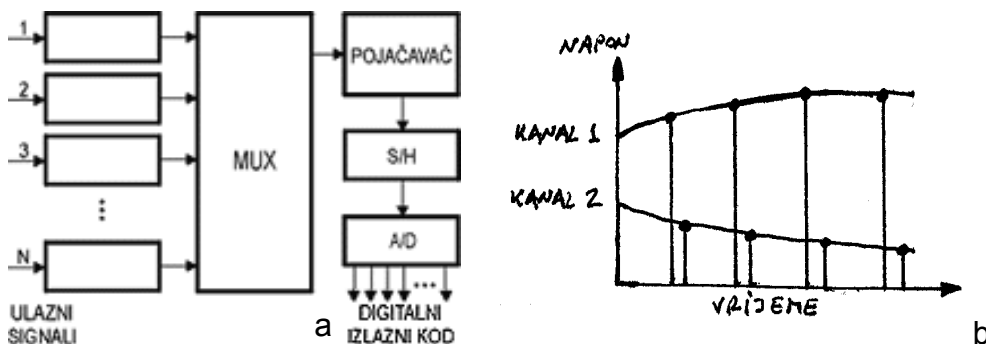


Sl.7.15 Principijelna šema instrumentacionog pojačavača

Pošto više kanala dijeli jedan pojačavač i jedan A/D konvertor, brzina akvizicije podataka je znatno manja od brzine A/D konvertora. Praktično, vrijeme potrebo za provođenje jednog koraka A/D konverzije na

svim kanalima je jednako zbiru vremena potrebnog za pojačanje i vremena potrebnog za jednu A/D konverziju pomnoženo brojem priključenih kanala.

Sistem prikazan na Sl.7.16.a., koristi poslije multipleksera jedan pojačavač, S/H kolo i A/D konvertor. Korisnik bira željenu brzinu uzorkovanja, koja odgovara datoj primjeni. Ako svaki kanal treba da se čita R puta u sekundi, onda multiplekser mora da bira n puta brže, gde je n broj kanala. Prema tome S/H kolo i A/D konvertor moraju biti dovoljno brzi da izvrše konverziju za manje od $1/(R*n)$ sekundi.

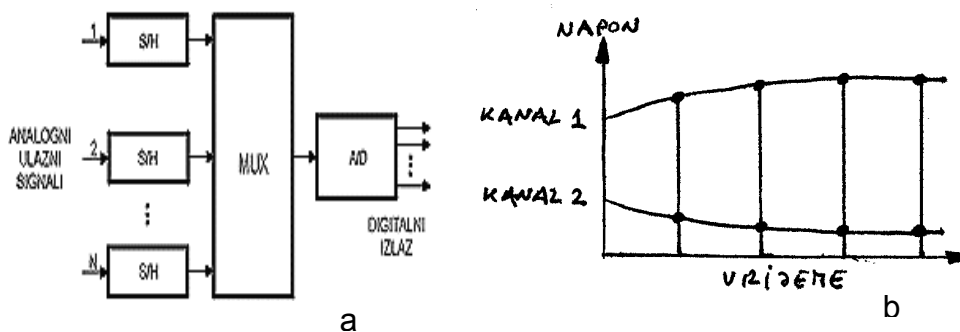


Sl.7.16 a) Blok dijagram sistema za analogni ulaz, b) vremenski dijagram uzorkovanih signala na dva kanala

Bilo bi idealno da se svi ulazni kanali čitaju istovremeno, svakih $1/R$ sekundi. Međutim, zbog vremenskog multipleksiranja dolazi do vremenskog pomjeranja (tzv. *Skenj*) između čitanja pojedinih kanala, što je prikazano na Sl.7.16.b. Za ovu konfiguraciju komponenta sistema, čak i kada su multiplekseri (MUX), pojačavači, S/H kola i A/D konvertori veoma brzi, ne može se smatrati da se svi kanali čitaju istovremeno. Neke aplikacije, kao na primer mjerenje trenutne snage ($U*I$), ili relativnog položaja mehaničkih komponenta su veoma osjetljive na vremensko pomjeranje. Čak i sa najbržim A/D konvertorima, neke aplikacije ne mogu da tolerišu vremensko kašnjenje pri čitanju. U ovakvim, kritičnim aplikacijama, se koriste konfiguracije sa simultanim uzorkovanjem (*SSH Simultaneous Sample/Hold*).

Sistem sa *SSH* strukturom je prikazan na Sl.7.17.a. U ovom slučaju signali na svim kanalima se odmjeraavaju istovremeno, a samo se njihove digitalni ekvivalenti ne upisuju istovremeno. Analogni signali na

ulaznim kanalima 1 i 2 i trenuci njihovog uzorkovanja prikazani su na Sl.7.17.b.



Sl.7.17.a) Blok dijagram sistema za simultano uzorkovanje, b) vremenski dijagram simultanog uzorkovanja

Pored dobrih strana u vezi sa faznim i vremenskim kašnjenjem, *SSH* metoda je pogodna i za aplikacije gdje je potrebno izračunati korelaciju funkcija: obrade govora, testiranje materijala i strukturno dinamičko testiranje, mjerenje trofazne snage, analiza geofizičkih sistema, automatsko testiranje proizvodnih linija itd.

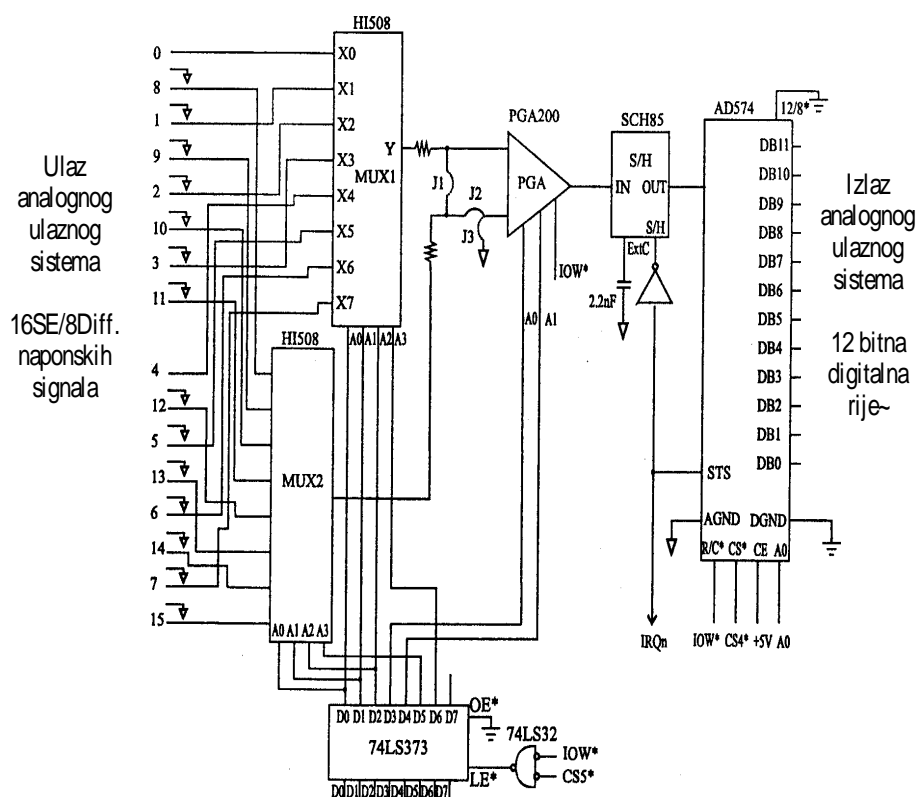
7.1.5 Primjer analognog ulaznog sistema

Kroz konkretan primjer sistema za akviziciju sa 16 analognih ulaza, predstavljenog blok šemom na Sl.7.18, će biti ilustrovani gore dati principi [15]. Osnovu modula čini A/D konvertor (*ADC574*) sa sukcesivnim aproksimacijama, sa rezolucijom od 12 bita koji je razvijen u *Burr-Brown*, a proizvode ga i drugi proizvođači. Referentni napon od +10[V] i signal takta se generišu interno. Na ulaz se mogu dovesti unipolarni signali 0÷10[V] ili 0÷20[V] i bipolarni signali opsega ±5[V] ili ±10[V] .

Vrijeme konverzije ovog konvertora je 25[μs]. Brže varijante *ADC674* i *ADC774* koje su kompatibilne sa *ADC574* imaju vremena konverzije: 15[μs] i 8[μs], respektivno.

Kada je signal 12/8* visokog logičkog nivoa na izlazu konvertora prisutno je svih 12 bita koji su rezultat konverzije. Ako je signal 12/8* niskog nivoa (spojen na masu kao što je simbolički predstavljeno na slici) na izlazu konvertora se dobije najprije 8 značajnijih, a zatim 4 manje značajna bita. Upravljački ulaz *CS** se koristi kao adresni ulaz za selekciju

modula. R/C^* se koristi a izbor funkcije očitavanja podataka ili započinjanja konverzije, a ulaz CE za inicijalizaciju određene funkcije. Konverzija se može pokrenuti aktiviranjem linije CE ili promjenom stanja jednog od dva preostala upravljačka ulaza (CS^* ili R/C^*). Konverzija počinje kada zadnji od ova tri ulaza pređe u zahtjevano stanje, odnosno kada je ispunjen uslov $CE=1$, $CS^*=0$, $R/C^*=0$. Ako je u konkretnoj primjeni poželjno da konverziju započne jedan određeni upravljački signal onda preostala dva moraju biti stabilna bar 50[ns] prije promjene stanja tog upravljačkog signala.



Sl. 7.18 Električna šema analognog ulaznog modula sa 16SE/8Diff. ulaza

Preko ulaza $A0$ definiše se da li će rezultat konverzije biti 8 bitni ili 12 bitni. Ako je $12/8^*=0$ (konvertor konfigurisan da radi sa 8 bitnim izlazom) tada se pri $A0=0$ očitava 8 bita veće težine, a pri $A0=1$ očitava preostala 4 manje značajna bita.

Preko izlaznog signala *STS* se saopštava status konvertora. Dok traje konverzija izlaz se nalazi na visokom logičkom nivou, a po završetku konverzije prelazi na nizak logički nivo. Ovaj signal upravlja radom *S/H* kola. Kada je *STS=1* kolo *S/H* je u režimu stabilnog napona na izlazu, a kada je *STS=0* tada *S/H* kolo prati promjenu ulaznog signala.

Kratkospojnik	Nesimetrični ulazi (SE)	Diferencijalni ulazi (Diff.)
J1	IN	OUT
J2	OUT	IN
J3	IN	OUT

Tabela 7.1

Moduo sa slike se može konfigurisati da radi sa 16 nesimetričnih ili 8 diferencijalnih ulaza. Izbor konfiguracije se vrši prema tabeli 7.1 pomoću tri kratkospojnika

Izbor željenog alaznog kanala se vrši pomoću multipleksera (*MUX1* i *MUX2*) i ulaznog registra *74LS377*. Preko linija *D5* i *D6* se selektuje određeni multiplekser, a preko linija *D0-D2* ulaz selektuje određeni ulaz na multiplekseru.

Ako se korist nesimetrično povezivanje tada se na *MUX1* povezuju ulazi 0 – 7, a na *MUX2* ulazi 8 do 16. U slučaju diferencijalnog povezivanja aktiviraju se oba multipleksera (*D5=1*, *D6=1*).

Za prilagođavanje nivoa signala sa senzora na nivo signala na ulazu konvertora koristi se pojačavač sa programabilnim pojačanjem (*PGA*). Izbor pojačanja pojačavača vrši se preko sadržaja lokacija *D3* i *D4* ulaznog registra. Prikazana varijanta pojačavača *PGA200*, može raditi sa četiri koeficijenta pojačanja 1,10,100 i 1000.

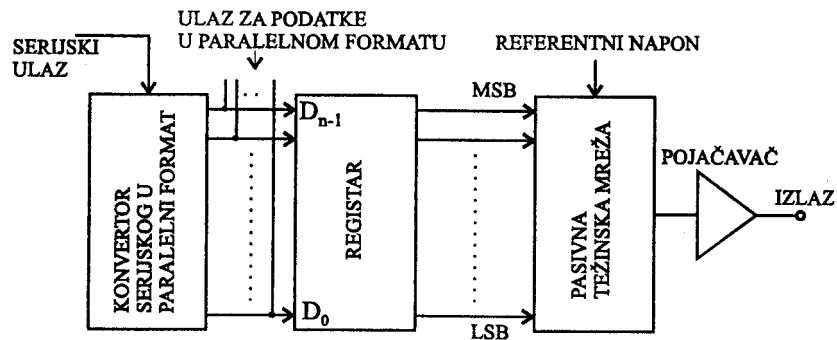
7.2. ANALOGNI IZLAZNI SISTEM

Osnovna funkcija analognog izlaznog sistema je da podatak u digitalnom formatu pretvori u vremenski kontinualan analogni električni signal. Na taj način se digitalno izražena veličina pretvara u napon ili struju koji mogu poslužiti za rad indikatora, programabilno generisanje referentnih napona i pokretanje drugih analognih elemenata/uređaja (nr. generisanje zvučnih signala). Osnovna komponenta analognog izlaznog sistema je D/A

konvertor. Pored D/A konverzije sistem sadrži pojačavač snage jer snaga analogniog izlaza iz D/A konvertora vrlo često nije dovoljna za pokretanja ulaza analognih kola.

7.2.1 Digitalno-analogni konvertor

Digitalno-analogni konvertor je elektronsko kolo koje digitalni podatak konvertuje u vremenski kontinualan analogan signal. Na Sl.7.19. prikazan je opšti blok dijagram D/A konvertora. Ako je digitalni podatak u serijskom formatu potrebno ga je konvertovati u paralelni. Nakon toga se digitalni podatak preko pasivne težinske mreže i pojačavača pretvara u analogan signal.



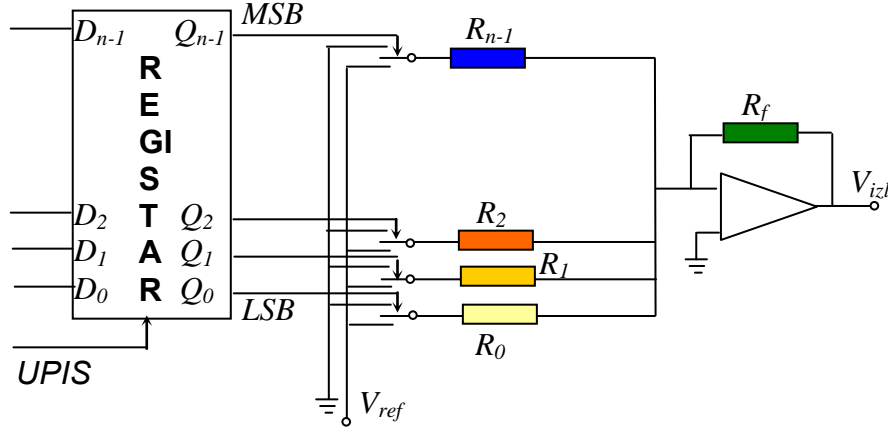
Sl.7.19. Blok dijagram D/A konvertora

D/A konvertori sa težinskom otpornom mrežom.

Blok dijagram D/A konvertora sa težinskom otpornom mrežom je dat na Sl.7.20. U otpornoj mreži su vrijednosti otpornosti:

$$R_0 = R; R_1 = \frac{R}{2}; R_2 = \frac{R}{2^2}; \dots, R_{n-1} = \frac{R}{2^{n-1}}$$

Digitalno kodovan broj od n bita upisuje se u registar na signal UPIS, tako da Q_0, Q_1, \dots, Q_n mogu biti 0 ili 1. Ovi izlazi registra upravljaju



Sl.7.20 Blok dijagram D/A konvertora sa težinskom otpornom mrežom

radom prekidača. Ako je $Q_i = 1$ tada je i -ti prekidač zatvoren pa je odgovarajući otpornik spojen na V_{ref} , a kada je $Q_i = 0$ tada je i -ti prekidač otvoren pa je odgovarajući otpornik spojen na masu. Samo u granama kojima odgovara stanje 1 registra, teći će struja obrnuto proporcionalna otpornosti grane. Poznato je da je ulaz operacionog pojačavača na nultom potencijalu pa operacioni pojačavač vrši sabiranje struja. Odatle je:

$$V_{iz} = -R_f V_{ref} \left(\frac{Q_0}{R} + \frac{2Q_1}{R} + \frac{2^2 Q_2}{R} + \dots + \frac{2^{n-1} Q_{n-1}}{R} \right)$$

$$= -\frac{R_f}{R} V_{ref} (Q_0 + 2Q_1 + 2^2 Q_2 + \dots + 2^{n-1} Q_{n-1}) = -\frac{R_f}{R} V_{ref} \sum_{i=0}^{n-1} 2^i Q_i.$$

$$\frac{V_{ref}}{R_0} Q_0 + \frac{V_{ref}}{R_1} Q_1 + \dots + \frac{V_{ref}}{R_{n-1}} Q_{n-1} = I = -\frac{V_{iz}}{R_f}$$

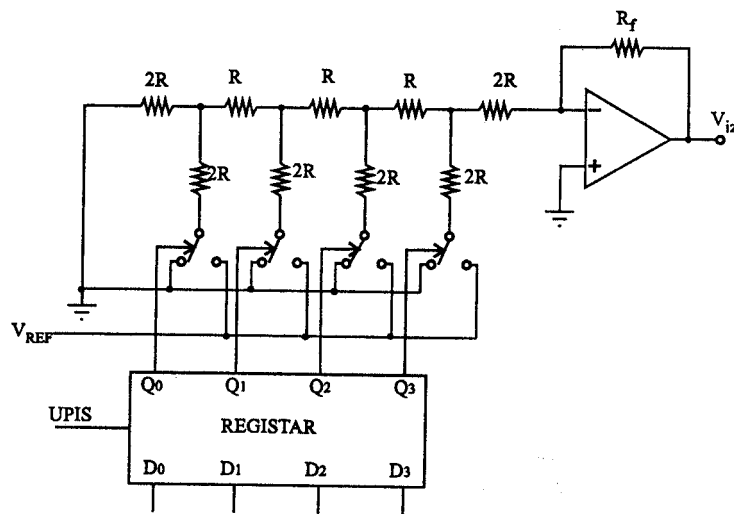
Dakle, naponski signal V_{iz} je proporcionalan binarnom broju zapisanom u registru.

Za precizno generisanje odgovarajućih analognih napona na izlazu operacionog pojačavača, odnos otpornosti u težinskoj mreži mora biti veoma tačan. Za D/A konvertor sa n -bita potrebna su $n+1$ otpornika otpornosti $R, R/2, R/4, \dots$. Tačne vrijednosti otpornosti u širokom opsegu nije

lako realizovati u tehnici integrisanih kola. Iz ovog razloga se ovakvi D/A konvertori koriste samo tamo gdje se ne zahtijeva velika tačnost.

Najčešće se koriste **D/A konvertori sa ljestvičastom otpornom mrežom**. Blok dijagram D/A konvertora sa ljestvičastom otpornom mrežom prikazan je na Sl.7.21

Za realizaciju otporne mreže koriste se otpornici otpornosti R i $2R$. Otpornici čije su vrijednosti istog reda mogu se jednostavnije realizovati u



Sl.7.21 Blok dijagram D/A konvertora sa ljestvičastom otporničkom mrežom

integrisanom kolu. Potrebno je $2n+1$ otpornik (n broj bita konvertora). Napon na izlazu pojačavača V_{iz} , tj. napon na izlazu D/A konvertora je:

$$V_{iz} = -\frac{R_f}{2R} \frac{V_{ref}}{3} \frac{1}{2^{n-1}} \sum_{i=0}^{n-1} 2^i Q_i,$$

gdje $Q_i=1$ označava da je $2R$ otpornik i -te ćelije spojen na referentni napon V_{ref} , a $Q_i=0$ da je spojen na masu.

Očigledno je da je napon na izlazu D/A konvertora proporcionalan broju upisanom u registar. Rad većine D/A konvertora komercijalne namjene se zasniva na ovom principu. Ukoliko se koriste MOS tehnologije tada se umjesto otporne koristi kapacitivna ljestvičasta mreža.

Operacioni pojačavači se najčešće vezuju na izlaz D/A konvertora sa namjenom da izvrše konverziju strujnog signala u naponski. Otpornik u povratnoj vezi R_f (S1.7.20 i S.7.21) se koristi za podešavanje ofseta, pojačanja, a time i izlaznog opsega konvertora. On omogućava takođe da se kompenzira temperaturna osjetljivost konvertora. Ukoliko se koristi više otpornika u povratnoj vezi tada je moguće vršiti izbor između više mjernih područja.

Dat je princip rada idealnih D/A konvertora. Ponašanje stvarnih konvertora se razlikuje od idealnih po nekim statičkim i dinamičkim odstupanjima.

Rezolucija D/A konvertora je vrijednost skoka izlaznog analognog signala (inkrementa) koji odgovara promjeni za vrijednost 1 *LSB* na ulazu konvertora. Direktno zavisi od broja bita (n) konvertora i vrijednosti referentnog napona. Uglavnom se izrađuju konvertori sa 8 do 14 bita. U primjenama za upravljanje procesima koriste se uglavnom D/A konvertori rezolucije 12 bita.

Ostali izvori statičkih grešaka su: ofset, nelinearnost, greška pojačanja i ponovljivost (posebno temperaturna osjetljivost). Određivanje i značenje ovih grešaka su vrlo bliski već obrazloženim za A/D konvertore pa neće biti ponovo obrazlagani.

Osnovni pokazatelji dinamike analognog izlaznog sistema su brzina promjene izlaznog napona (Eng. *slenj rate*) i vrijeme smirenja (Eng. *settling time*).

Brzina konverzije zavisi od dinamike konvertora i predstavlja vrijeme potrebno da izlazni napon analognog izlaznog sistema sa minimalne vrijednosti (0[V]) postigne maksimalnu vrijednost sa željenom tačnošću.

Brzina promjene izlaznog napona definiše maksimalnu brzinu promjene izlaznog napona (propusni opseg) koju analogni izlazni sistem može da ostvari. Brzina promjene i vrijeme smirenja izlaznog napona određuju kako brzo analogni izlazni sistem može da izvrši promjenu izlaznog napona na novu željenu vrijednost. Analogni izlazni sistem sa velikom brzinom promjene izlaznog napona i malim vremenom smirenja može generisati signale visoke učestanosti. U slučaju upravljanja standardnim industrijskim procesima ne zahtijeva se velika brzina analognog izlaznog sistema.

7.2.2 Digitalno - analogni množač

D/A konvertori sa promjenljivim referentnim naponom (V_{ref}), mogu da rade kao digitalno - analogni množači. Jedan ulaz je digitalni podatak (broj D). Drugi ulaz je analogni naponski signal V_{ul} , takav da je $V_{ul} = V_{ref}$. U skladu sa već datim jednačinama za izlazni napon D/A konvertora sada je:

$$V_{iz} = k D V_{ul},$$

gdje je k koeficijent proporcionalnosti i zavisi od vrijednosti parametara otporne mreže (težinske ili ljestvičaste) i otpornosti R_f . Osnovna oblast primjene D/A množača je digitalno upravljanje faktorom skaliranja. Na taj način, obavljajući funkciju digitalno upravljano elektronskog potencijometra može se koristiti za realizaciju različitih digitalno upravljanih kola/uređaja (npr. različiti filtri sa digitalnim podešavanjem graničnih frekvencija).

7.2.3 Pojačavač snage

Velika opterećenja, kao što su ventili, motori, pumpe itd., zahtijevaju velike struje, pa se zato koriste pojačavači snage ili struje. Većina sistema za akviziciju podataka i upravljanje u standardnoj konfiguraciji nema izlazne pogonske stepene za velike snage.

7.3. POVEZIVANJE DIGITALNIH SIGNALA

Preko digitalnih ulaznih linija vrši se očitavanje stanja prekidača, tastera i drugih senzora sa digitalnim izlazom. Digitalne izlazne linije se koriste za upravljanje prekidačima, releima i drugim izvršnim uređajima. Digitalni podaci se šalju prema perifernim jedinicama i od njih primaju kao grupe bita (digitalni podaci) ili pojedinačno u formi impulsa.

Interfejs za digitalni U/I se sastoji od integrisanih kola sposobnih za prijem i slanje *TTL* kompatibilnih signala (nizak logički nivo je između 0 [V] i 0.8 [V], a logički visok nivo je između 2.2 [V] i 5.5 [V]). Digitalni interfejs je prije svega karakterisan brojem U/I linija grupisanih u portove, pri čemu se svaki port sastoji od osam ili četiri linije. Najšire je prihvaćeno da se sve U/I linije jednog porta konfiguriraju kao ulazne ili izlazne. Takođe,

u nekim slučajevima se smijer pojedinačnih linija porta mogu konfigurisati nezavisno. Važni parametri interfejsa za digitalni U/I su broj digitalnih linija, koliko ih može biti konfigurisano kao ulazi ili izlazi (ili oboje), brzina kojom se mogu prenositi podaci po linijama i sposobnost izlaznih linija za pobuđivanje narednih kola. Mnogi multifunkcionarni interfejsi za direktno povezivanje U/I sadrže pored analognih ulaznih, analognih izlaznih, modula brojača/tajmera i moduo za digitalni U/I sa različitim brojem digitalnih U/I linija. Ukoliko ovakav multifunkcionalni interfejs, za direktno povezivanje U/I, ne zadovoljava zahtjeve specifične primjene ili su potrebni samo digitalni U/I, tada se koriste specijalizovani digitalni U/I interfejsi.

Realizacija programabilnog paralelnog interfejsa bazira se po pravilu na korišćenju nekog od kola specijalizovanih za ovu svrhu, kao naprimjer *Programmable Peripheral Interface – PPI 8255*, koje proizvodi *Intel*. Ono sadrži tri programabilna 8-bitna U/I porta (*A, B, C*) i zajednički upravljački registar. Ulazne ili izlazne funkcije označavaju da se podaci mogu upisivati ili očitavati preko ovih portova. U upravljački registar je moguće samo upisivanje podataka. Port *C* se sastoji od dva odvojena 4-bitna porta.

Pristup *PPI 8255* je omogućen kada je linija *CS** na niskom naponkom nivou. Selekcija jednog od tri porta ili upravljačkog registra se vrši preko adresnih linija *A0, A1* kao što je prikazano u tabeli 7.2.

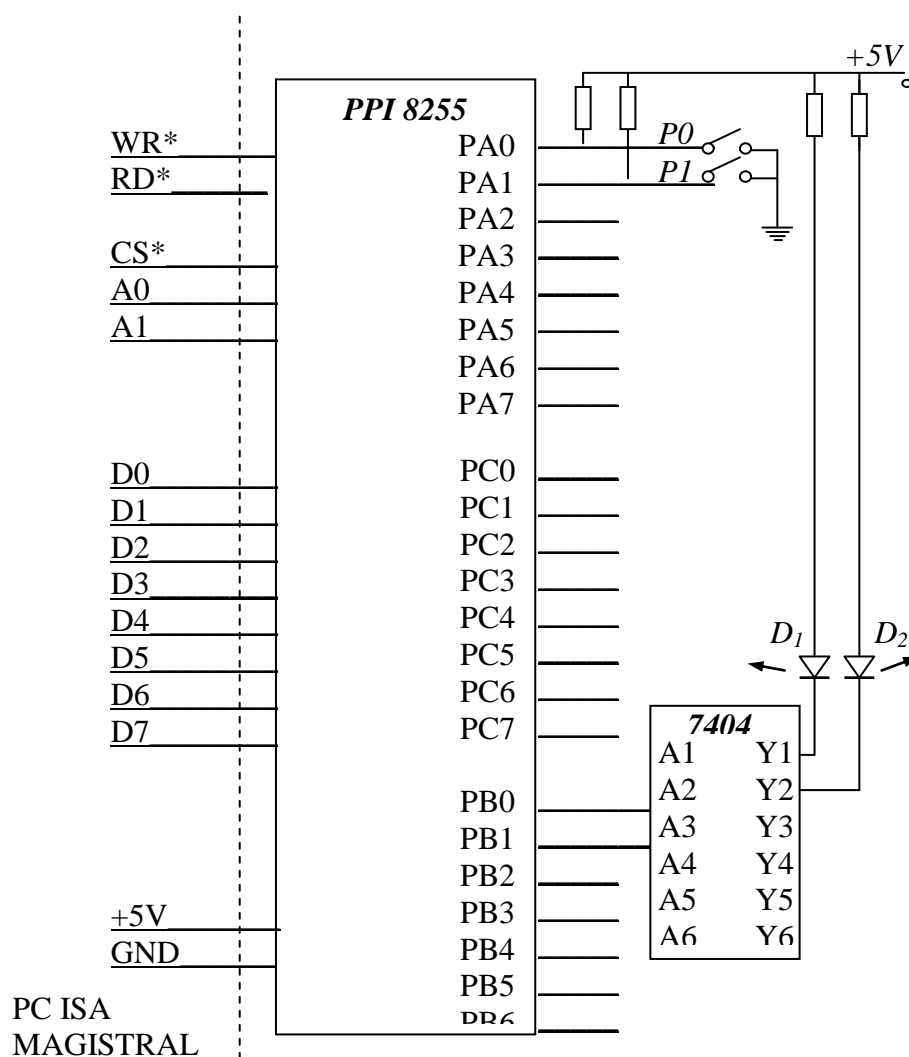
Za ilustraciju osnovnih signala i načina rada sa digitalnim ulazima i izlazima dati su Sl.7.22 i tabela 7.2. Adresiranje kola *PPI 8255* i njegovih portova vrši se prema tabeli 7.2. Upravljanje očitavanjem i upisom se realizuje signalima *RD** i *WR**, takođe u skladu sa tebelom 7.2.

Tabela 7.2

<i>CS*</i>	<i>A0</i>	<i>A1</i>	<i>RD*</i>	<i>WR*</i>	
OČITAVANJE					
0	0	0	0	1	PORT <i>A</i>
0	1	0	0	1	PORT <i>B</i>
0	0	1	0	1	PORT <i>C</i>
UPIS					
0	0	0	1	0	PORT <i>A</i>
0	1	0	1	0	PORT <i>B</i>
0	0	1	1	0	PORT <i>C</i>

0	1	1	1	0	UPRAVLJ. REGISTAR
ONEMOGUĆEN PRISTUP					
X	X	X	X	1	
1	1	0	1	1	
X	X	1	1	0	

Način rada kola *PPI 8255* zavisi od sadržaja njegovog upravljačkog



Sl. 7.22 Ilustracija jednog načina povezivanja ulaza i izlaza na *PPI 8255*

registra. Primjer povezivanja ovog kola na 8-bitnu ISA magistralu je prikazan na Sl.7.22. Na Sl.7.22 ilustrovano je povezivanje dva ulazna binarna senzora predstavljena sa dva prekidača (P_1 i P_2) na port A. Pretpostavka je da će se očitavati stanje prekidača. U skladu sa njihovim stanjem će se uključivati diode (D_1 i D_2) koje su u formi digitalnog izlaza vezane na dvije linije porta B.

Po pravilu su kola paralelnog interfejsa predviđena za vrlo mali faktor grananja (vrlo malo opterećenje izlaza). Nominalne struje ovih kola su reda desetaka mA, pa nije moguće direktno upravljanje potrošačima kao što su LED diode, relei i slično. U takvim slučajevima je nužno postavljanje dodatnih stepena koji izvršavaju prilagođenje ili ako je potrebno i galvamsko razdvajanja. Iz tog razloga u primjeru sa Sl. 7.22 diode D_1 i D_2 na port B povezane preko invertorskog kola 7404 koje obezbeđuje dovoljnu struju za njihov rad.

7.4. PROGRAMABILNI BROJAČI/TAJMERI

Mjerenje vremena, brojanje impulsa, mjerenje frekvencije, generisanje povorke impulsa ili generisanje kašnjenja često predstavljaju zadatke u akviziciji i upravljanju. Iz tog razloga je podatak o vremenu vrlo važan za akvizicioni sistem. Pogodnije je ako se za ovu namjenu koristiti informacija o proteklom ili relativnom vremenu nego o apsolutnom vremenu. Nije racionalno da ovaj zadatak rješava procesor računara jer bi nepotrebno bio zauzet stalnim ažuriranjem podataka o proteklom vremenu. Iz tog razloga se po pravilu za ove zadatke koriste specijalizovanai programabilni tajmeri/brojači. Pored gore navedenih zadataka ova kola se vrlo uspješno koriste u generisanju precizno programski definisanog kašnjenja. Umjesto vremenske softverske petlje u brojač se upiše zadato kašnjenje i inicira brojanje takt impulsa unazad. Kad se brojač postavi na nulu, znači da je proteklo zadato vrijeme i šalje se procesoru zahtjev za prekid. Tada procesor prelazi na definisani softverski dio, a do tada je bio slobodan za obavljanje drugih zadataka.

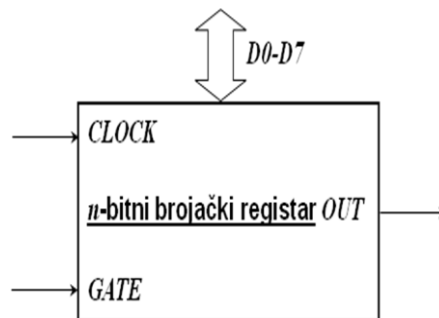
Pojednostavljeni model brojača je prikazan na Sl.7.27. brojač ima ulaze za takt (*CLOCK*), upravljački signal (*GATE*) i izlaz (*OUT*) i interni n -bitni brojački registar.

Brojač je digitalni elemenat koji prihvata i šalje *TTL* kompatibilne signale, broji promjene ulaznog signala na *CLOCK* ulazu tako što

inkrementira interni brojački registar za svaku promjenu na ulazu. Na taj način *CLOCK* ulaz daje vremensku bazu za rad brojača. Brojač može biti konfigurisan tako da broji prednje ili zadnje ivice impulsa. Sadržaj internog brojački registra se može softverski očitavati u bilo kom trenutku.

Ulaz *GATE* se može koristiti da omogući/onemogući rad brojača. Može se koristiti takav način rada da visok nivo *GATE* ulaza znači omogućen rad brojača a nizak nivo *GATE* ulaza znači onemogućen rad brojača, ili obrnuto. Takođe, brojač se može konfigurisati tako da počinje da broji impulse na ulazu *CLOCK* samo poslije promjene signala na *GATE* ulazu. Tada se *GATE* koristi kao trigger brojanja. Kada se ne koristi *GATE* ulaz, tada se može softverski inicirati brojanje.

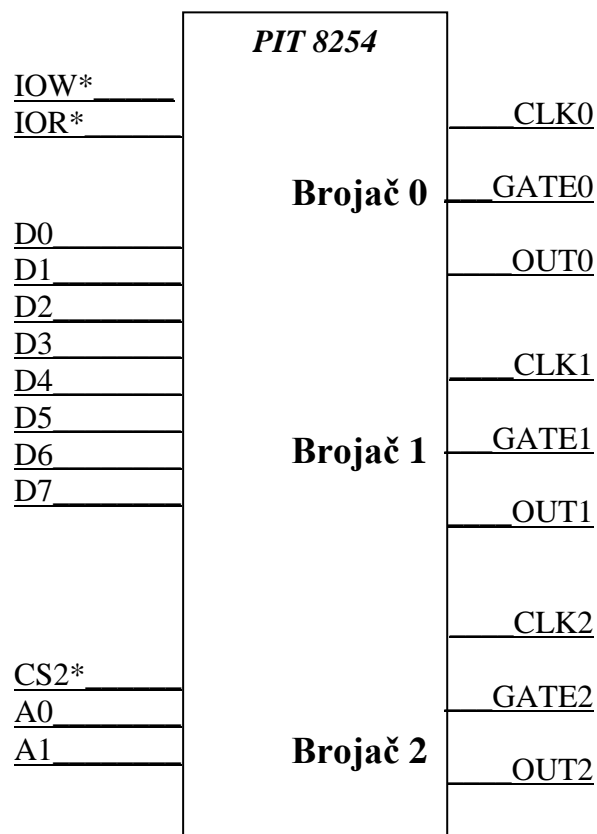
Brojač se može konfigurisati da daje na *OUT* izlazu signal koji se prebacuje sa jednog stanja na drugo ili daje impulse kada brojački registar dostigne njegovo krajnje stanje. Ako se *OUT* izlaz sa jednog brojača veže na *GATE* ulaz drugog brojača mogu se postići složene talasne forme u vremenu.



Sl.7.23. Pojednostavljeni model brojača

Za ilustraciju rada ovih specijalizovanih kola će biti korišćen *Programmable Interval Timer – PIT 8254* proizvođača *Intel*. Ostali modeli ovog ili drugih proizvođača imaju isti osnovni princip rada.

Osnovno kolo *PIT 8254* u sebi sadrži tri nezavisna 16-bitna brojača koji broje unazad. Standardno se koristi u višenamjenskim kolima za direktno povezivanje U/I, za podršku radu analognih ulaznih i izlaznih modula. Opšti prikaz kola i njegovo povezivanje na *ISA* magistralu je dato na Sl.7.24. Povezivanje se obavlja preko 8-bitne magistrale podataka (*D0 – D7*), linije za omogućavanje pristupa kolu *CS** i dvije adresne ulazne linije

Sl. 7.24 Linije za vezu kola *PIT 8254*

A0 i *A1*. Pomoću ove dvije adresne linije se definiše brojač ili upravljački registar kojima se pristupa. Interno adresiranje je predstavljeno tabelom 7.7.

Tabela 7.7.

A0	A1	SELEKTOVAN
0	0	Brojač 0
1	0	Brojač 1
0	1	Brojač 2
1	1	Upravljački registar

Način rada programabilnog brojača zavisi od upravljačke riječi koja se nalazi u upravljačkom registru. Za svaki brojač koji se želi koristiti potrebno

je definisati upravljačku riječ. Značenje svakog bita u upravljačkoj riječi daje proizvođač. Upisivanjem sadržaja u upravljački registar definiše se način rada internih brojača.

Kombinovanjem načina rada internih brojača, signala *CLOCK* i *GATE* i upisivanjem početnog sadržaja brojača, mogu se realizovati različite varijante brojanja događaja i mjerenje trajanja različitih događaja.

Za ilustraciju mogu poslužiti tipične primjene.

Mjerenje širine impulsa

Povorka impulsa poznate frekvencije treba dovesti na ulaz *CLOCK* brojača. Ovaj signal se može dobiti iz drugog izvora koji generiše impulse stabilne i poznate frekvencije ili iz drugog tajmera koji je konfigurisan za tu namjenu. Impuls nepoznatog trajanja dovodi se na ulaz *GATE* brojača. Brojač se konfigurise da omogući brojanje impulsa na *CLOCK* ulazu kada je *GATE* ulaz na visokom nivou. U tom slučaju će brojački registar početi brojanje impulsa na *CLOCK* ulazu kada *GATE* ulaz postane visok i zaustavlja se brojanje kad se završi impuls na *GATE* ulazu. Množenjem sadržaja brojačkog registar (kada se završi ulaz na *GATE*) sa trajanjem impulsa na *CLOCK* ulazu dobija se podatak o trajanju impulsa na *GATE* ulazu.

Mjerenje nepoznate frekvencije

Signal nepoznate frekvencije se dovodi na *CLOCK* ulaz brojača. U ovom slučaju se na *GATE* ulaz brojača trebaju dovoditi impulsi poznatog trajanja. Kao u prethodnom slučaju brojač se konfigurise da omogući brojanje impulsa na *CLOCK* ulazu kada je *GATE* ulaz na visokom nivou. Brojački registar će početi brojanje impulsa na *CLOCK* ulazu kada *GATE* ulaz postane visok i zaustavlja se brojanje kad se završi impuls na *GATE* ulazu. Djeljenjem sadržaja brojačkog registar (kada se završi ulaz na *GATE*) sa trajanjem impulsa na *GATE* ulazu dobija se podatak o frekvenciji impulsa na *CLOCK* ulazu.