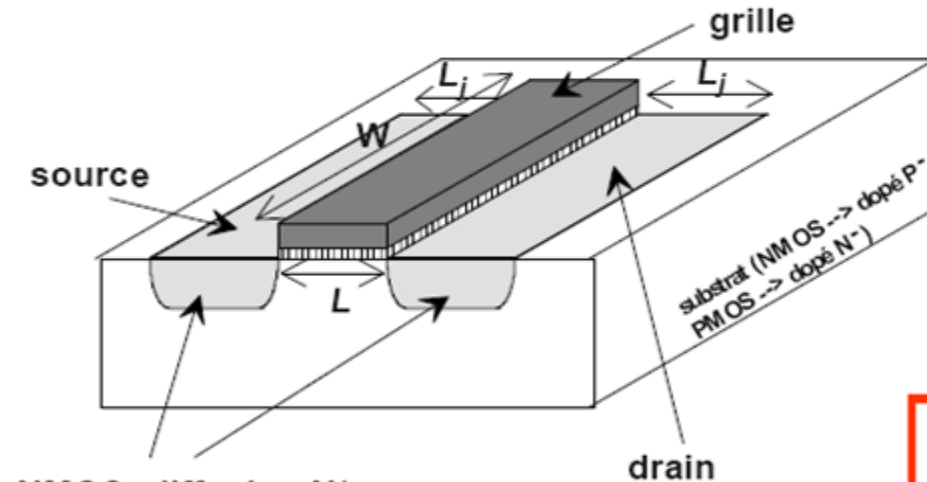


Electronique embarquée

Electronique des circuits numériques

Rappels sur le transistor MOS

Complementary Metal Oxide Semiconductor,

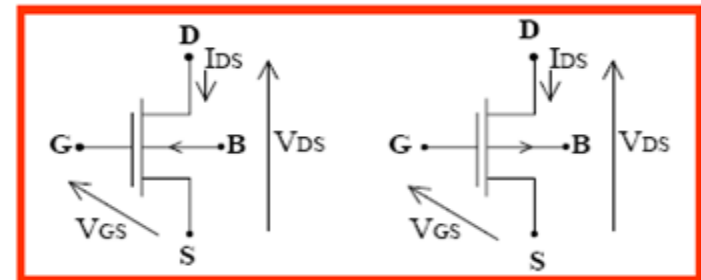
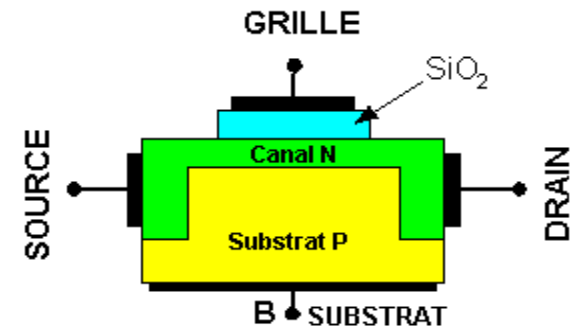


NMOS: diffusion N⁺

PMOS: diffusion P⁺

Polysilicium cristallin

Oxyde de silicium (SiO₂)

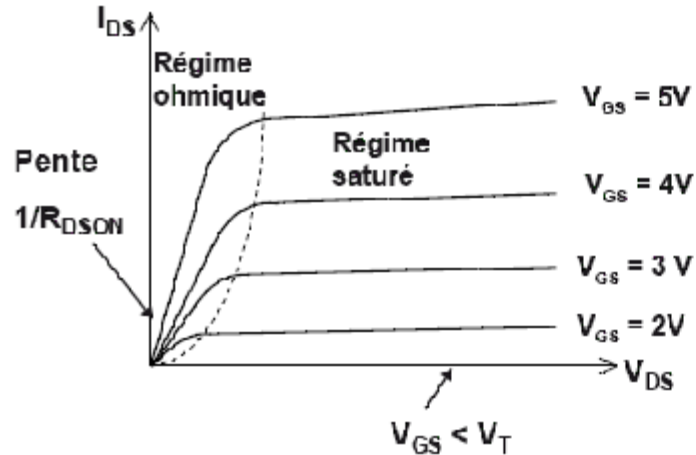


Type N

Type P

Représentation symbolique des transistors MOS

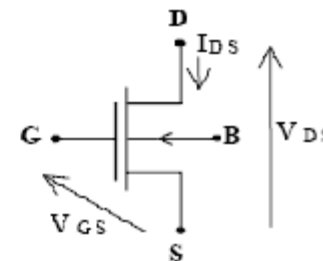
Le transistor NMOS



V_{TN} = tension de seuil

$\beta_N = \mu_{ns} C_{ox} W/L$

$R_{DS(on)} = 1/\beta_N (V_{GS} - V_{TN})$



Régime bloqué:

$V_{GS} < V_{TN}$ (isolation électrique entre drain et source)

Régime passant:

$V_{GS} > V_{TN}$

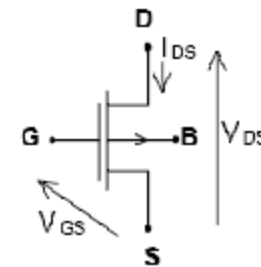
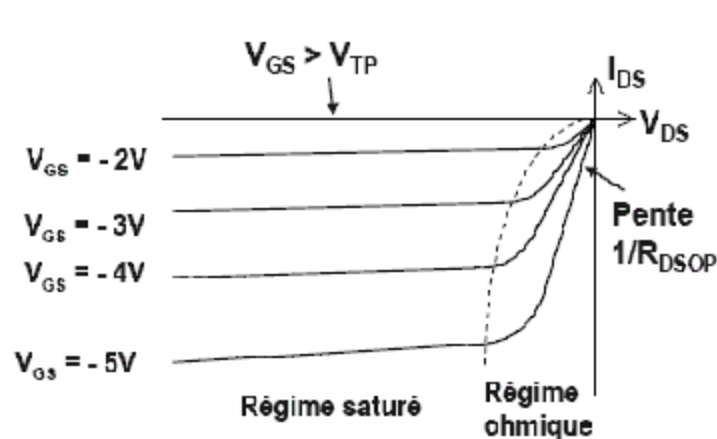
- si $V_{DS} < V_{GS} - V_{TN}$ régime ohmique

$$I_{DS} = \beta_N (V_{GS} - V_{TN} - V_{DS}/2) V_{DS}$$

- si $V_{DS} > V_{GS} - V_{TN}$ régime saturé

$$I_{DS} = \beta_N (V_{GS} - V_{TN})^2 / 2 \quad (V_e \rightarrow \infty)$$

Le transistor PMOS



Régime bloqué:

$V_{GS} > V_{TP}$ (isolation électrique entre drain et source)

Régime passant:

$V_{GS} < V_{TP}$

- si $V_{DS} > V_{GS} - V_{TP}$ régime ohmique

$$I_{DS} = -\beta_P (V_{GS} - V_{TP} - V_{DS}/2) V_{DS}$$

- si $V_{DS} < V_{GS} - V_{TP}$ régime saturé

$$I_{DS} = -\beta_P (V_{GS} - V_{TP})^2 / 2 \quad (V_e \rightarrow \infty)$$

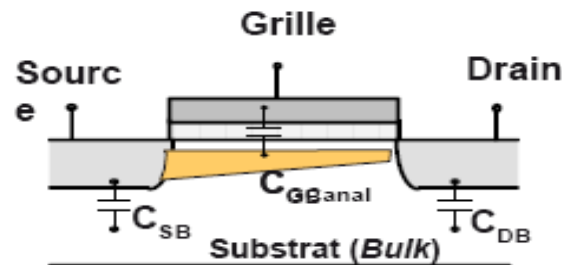
V_{TP} = tension de seuil

$$\beta_P = \mu_{ps} C_{ox} W/L$$

$$R_{DSOP} = -1/\beta_P (V_{GS} - V_{TP})$$

$$\mu_{ns} \approx 3 \mu_{ps}$$

Capacités parasites du transistor MOS



Les capacités parasites influent sur les performances dynamiques des opérateurs

Elles sont de deux sortes:

- la capacité de grille (grille-canal ou grille substrat)

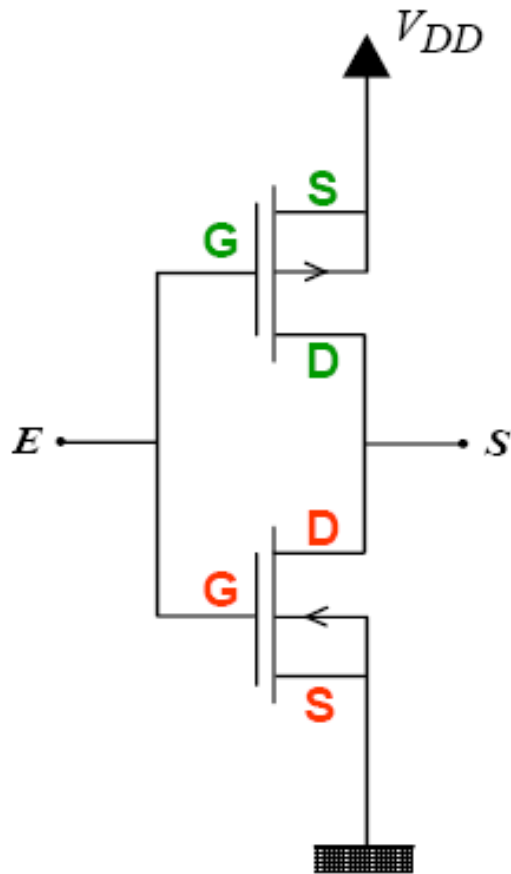
$$C_G \approx W L C_{ox}$$

- les capacités des jonctions source-substrat et drain-substrat

$$C_{SB} \approx C_{DB} \approx W L_j C_j$$

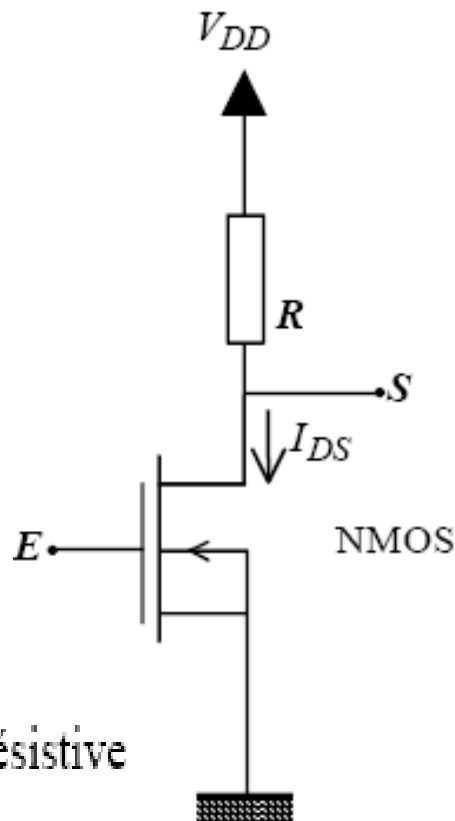
C_j : capacité de jonction
par unité de surface

L'inverseur CMOS



- Association d'un transistor NMOS et d'un transistor PMOS
- La sortie S est isolée électriquement de l'entrée E.
- Étude du fonctionnement en utilisant le modèle "interrupteur" du transistor MOS

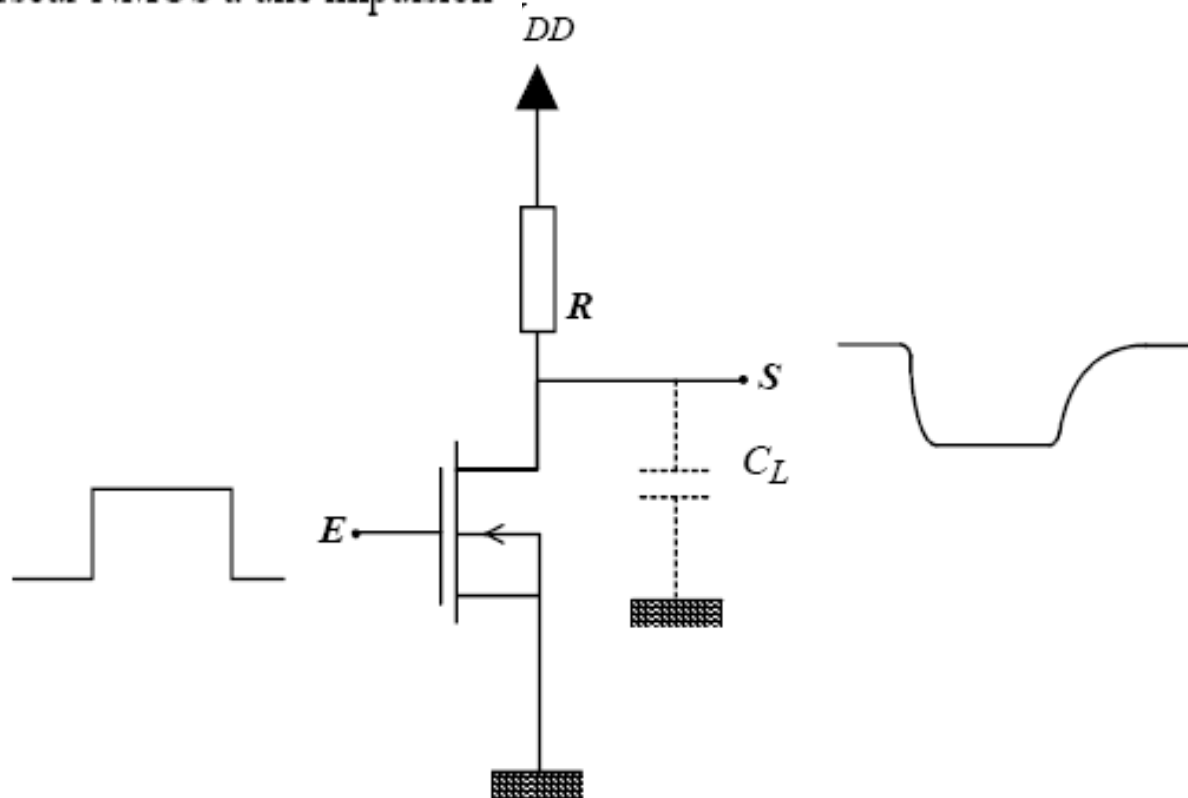
L'inverseur CMOS



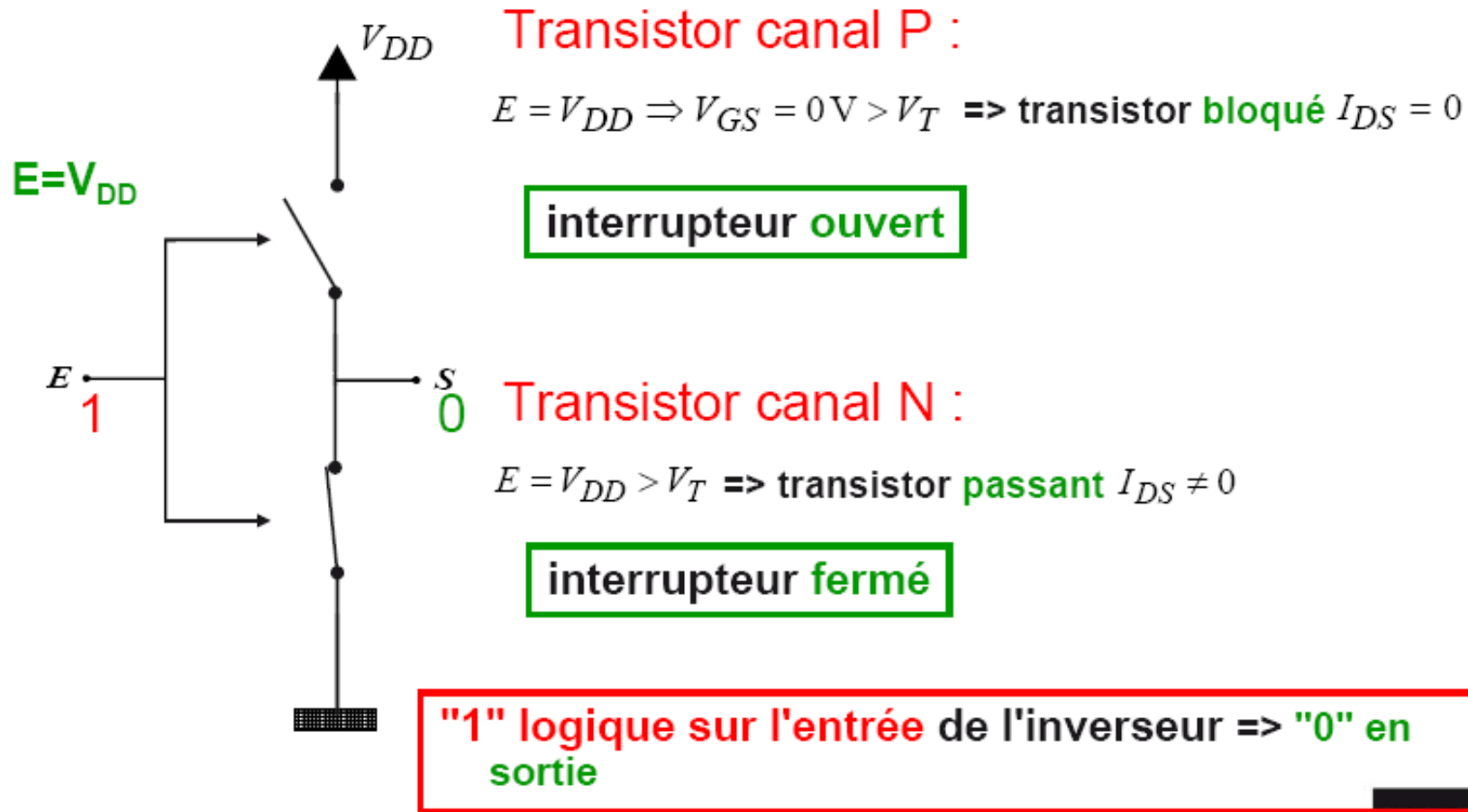
inverseur NMOS à charge résistive

L'inverseur CMOS

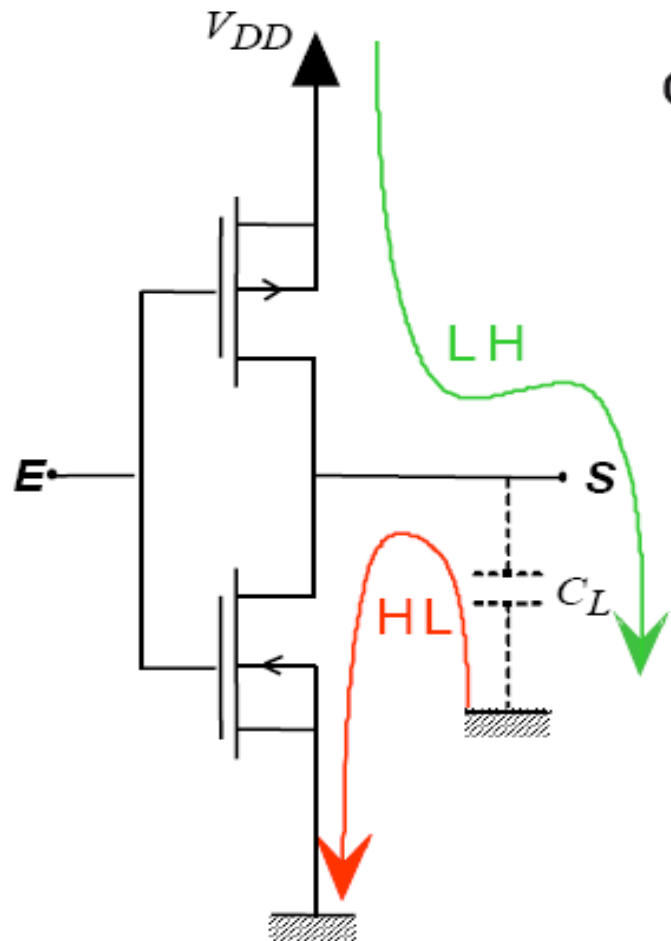
Réponse de l'inverseur NMOS à une impulsion



L'inverseur CMOS



Consommation d'un inverseur CMOS



C_L modélise la charge de l'inverseur

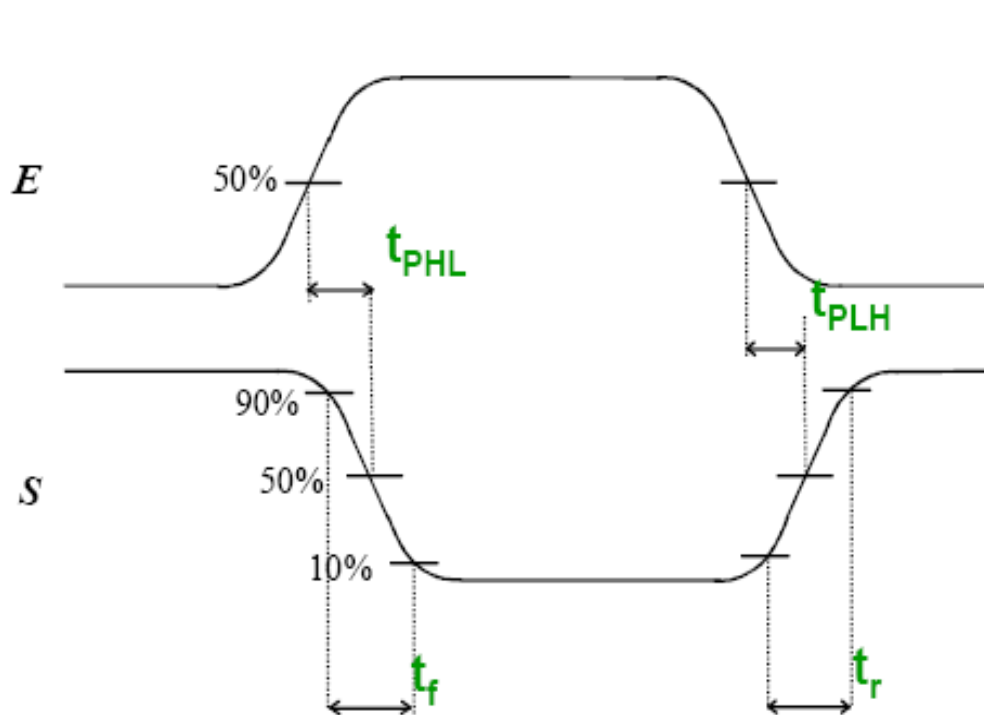
Consommation statique :

$$P_{stat} = 0$$

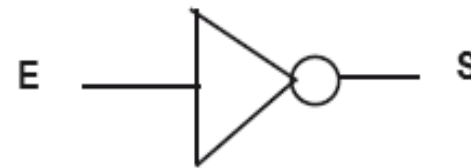
Consommation dynamique :

$$P_{dyn} = f V_{DD}^2 C_L$$

Caractéristiques temporelles d'un inverseur CMOS



$$t_p = 1/2 (t_{PLH} + t_{PHL})$$



Sur la sortie:

t_f : temps de descente

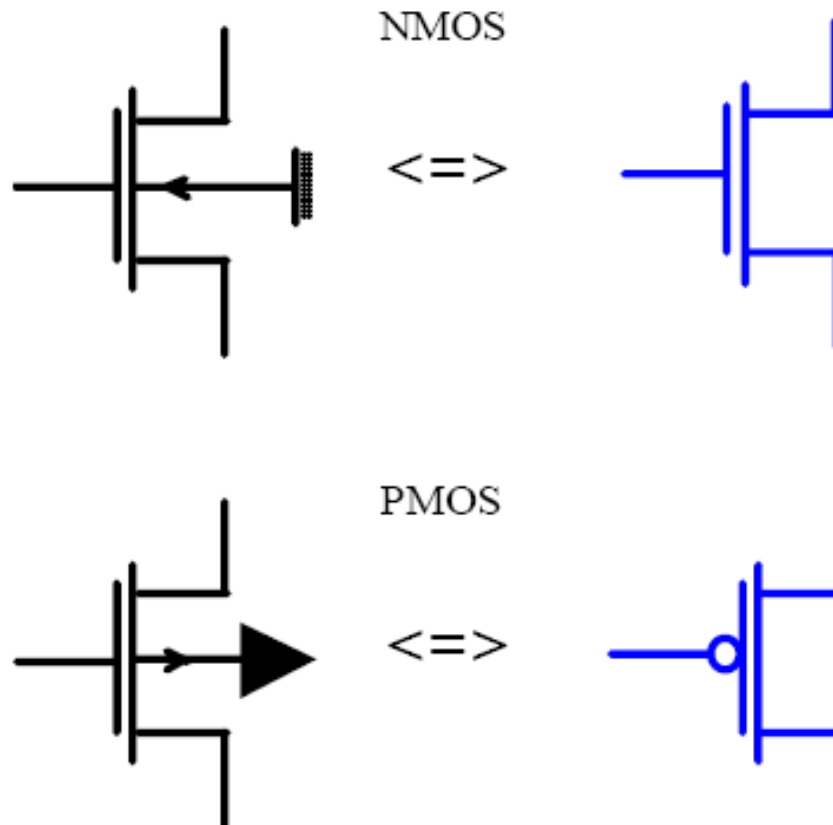
t_r : temps de montée

Entre E et S :

t_{PLH} : temps de propagation
lorsque S passe de 0 (Low)
à 1 (High)

t_{PHL} : temps de propagation
lorsque S passe de 1 à 0

Représentation simplifiée des transistors MOS dans les schémas CMOS



Transistors bipolaires

Quelques points marquants du développement des technologies bipolaires :

- 1974 : utilisation des logiques **TTL** (Transistor-Transistor Logic) et **TTL Schottky** (TTL avec diodes Schottky pour augmenter la rapidité) pour des petits montages logiques rapides,
- 1975 : technologie **I²L** (Integrated Injection Logic) utilisant des transistors NPN à multicollecteurs et présentant une plus forte densité d'intégration que le TTL,
- 1979 : technologie **ECL** (**E**mitter **C**oupled **L**ogic), permettant de réaliser des circuits très rapides.

Le transistor MOS

1966 : début du développement commercial des circuits intégrés **MOS**,

1974 : apparition de la logique **CMOS** à faible consommation, qui permet de réaliser des circuits de forte densité d'intégration,

1978-80 : mise au point de la technologie **HMOS** (High Speed CMOS)

Années 90 : mise au point de la technologie CMOS SOI (Silicon On Insulator). Insertion d'une couche d'isolant (oxyde de silicium) sous la zone active du substrat,

Les technologies alternatives

Au début des années 70,

Il s'agit d'un transistor à effet de champ à jonction métal-semiconducteur (**MESFET**) sur substrat en **arséniure de gallium** ou **GaAs**.

Fin des années 80, **BiCMOS**

combinant des opérateurs CMOS et des transistors bipolaires, (vitesse, consommation, et densité d'intégration impossibles à obtenir avec chacune des technologies prise séparément. **coût élevé de production**

A partir du milieu des années 90, les technologies GaAs et BiCMOS sur silicium ont commencé à céder la place aux circuits **SiGe BiCMOS**

Opérateurs CMOS élémentaires : NAND

■ Exemple de NAND à 2 entrées

- $A = B = 1$

=> réseau N passant,
réseau P bloqué

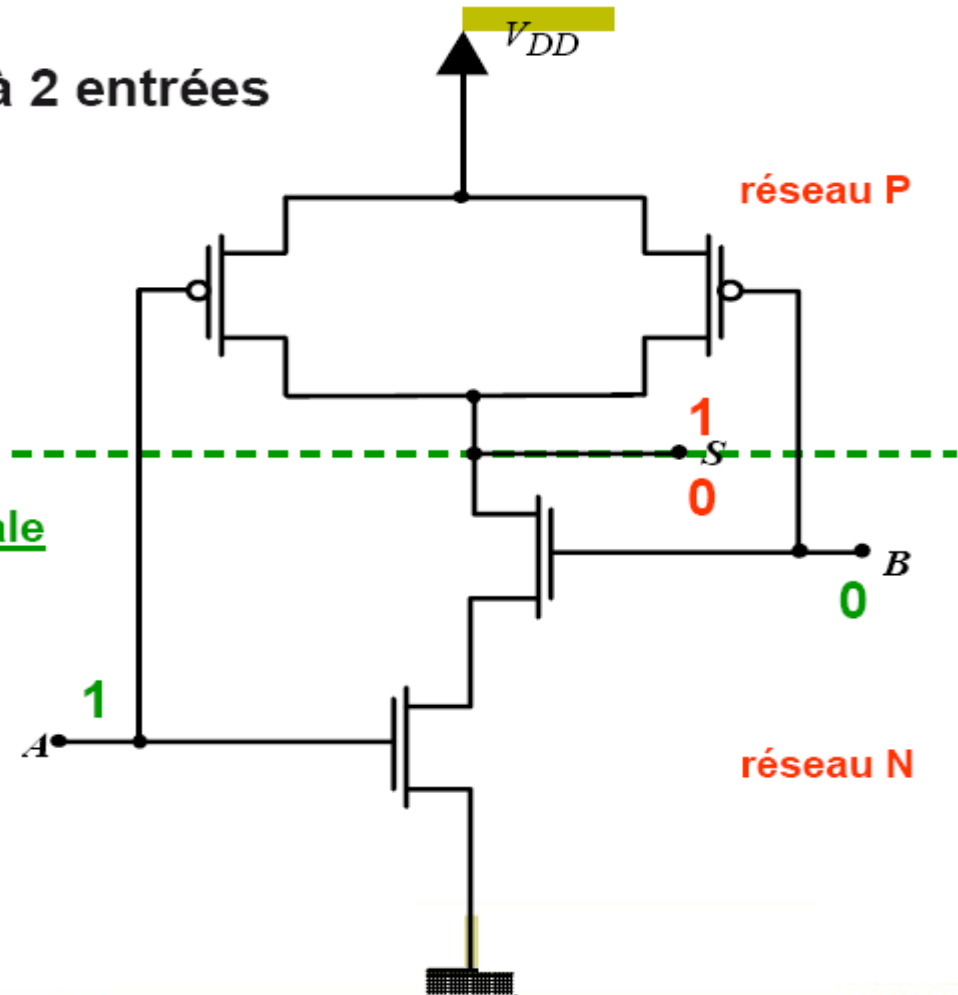
=> 0 en sortie

Structure duale

- $A = 0$ ou $B = 0$

=> réseau N bloqué,
réseau P passant

=> 1 en sortie



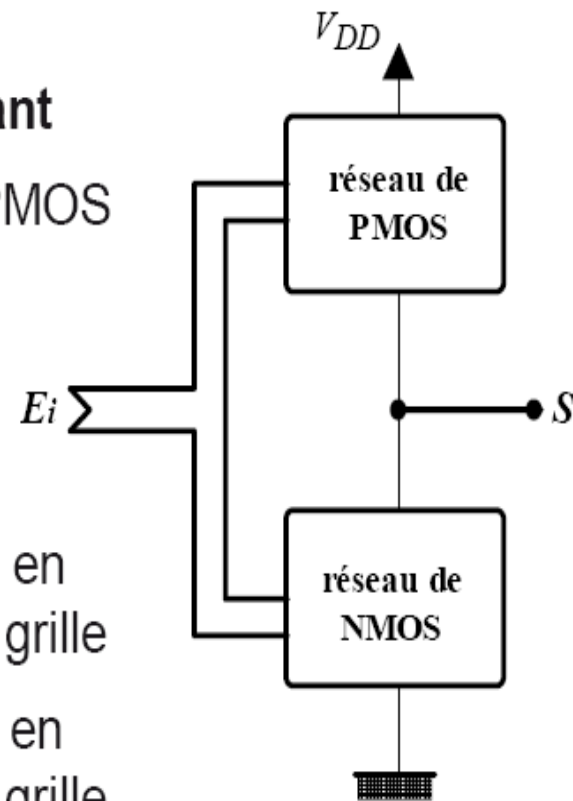
Fonctions complexes : synthèse au niveau transistor ou au niveau porte

- Deux approches sont possibles pour construire une fonction logique complexe
 1. Utilisation d'une bibliothèque de portes élémentaires (INV, NAND, NOR, ...)
=> pas besoin de connaître la structure des portes
 2. Synthèse directe au niveau transistor
=> blocs logiques moins encombrants et plus rapides

=> dépend de l'outil de conception utilisé

Structure générale des opérateurs statiques CMOS

- Un seul des réseaux doit être passant
 - => même nombre de NMOS et de PMOS
 - => structures des 2 réseaux **duales**
- Fonction obtenue sous forme **complémentée**
 - **NMOS** : transmission d'un 0 logique en sortie lorsqu'un 1 est appliqué sur sa grille
 - **PMOS** : transmission d'un 1 logique en sortie lorsqu'un 0 est appliqué sur sa grille



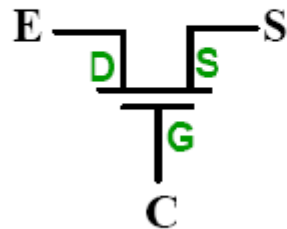
Structure générale des opérateurs statiques CMOS

- Si f est un complément \Rightarrow synthèse directe
- Sinon, synthèse de \overline{f} et faire suivre d'un inverseur
- **Construction du réseau NMOS**
 - placer les transistors N
 - en **serie** pour réaliser les fonctions **ET**
 - en **parallèle** pour réaliser les fonctions **OU**
- **Construction du réseau PMOS**
 - placer les transistors P
 - en **parallèle** pour réaliser les fonctions **ET**
 - en **serie** pour réaliser les fonctions **OU**

Opérateurs CMOS à base d'interrupteurs

■ Porte de transfert ou interrupteur MOS

- Porte de transfert NMOS



» $C = 0$ (V_{SS}) =>

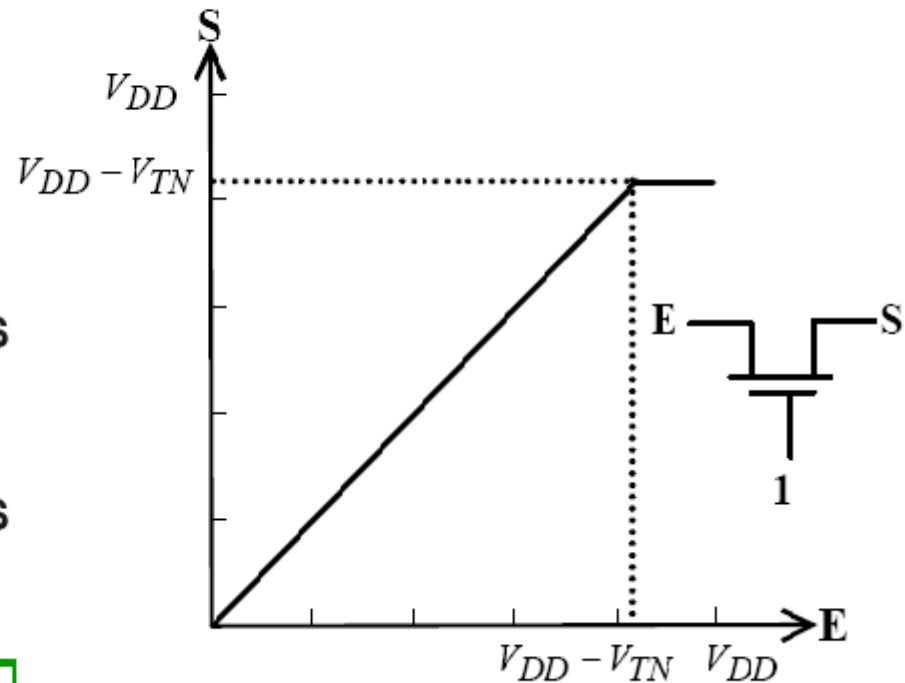


» $C = 1$ (V_{DD}) =>



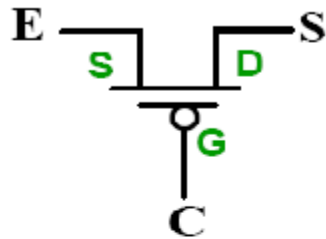
mais

$$E = V_{DD} \Rightarrow S = V_{DD} - V_{TN}$$



Opérateurs CMOS à base d'interrupteurs

- Porte de transfert PMOS



» $C = 1$ (V_{DD}) =>

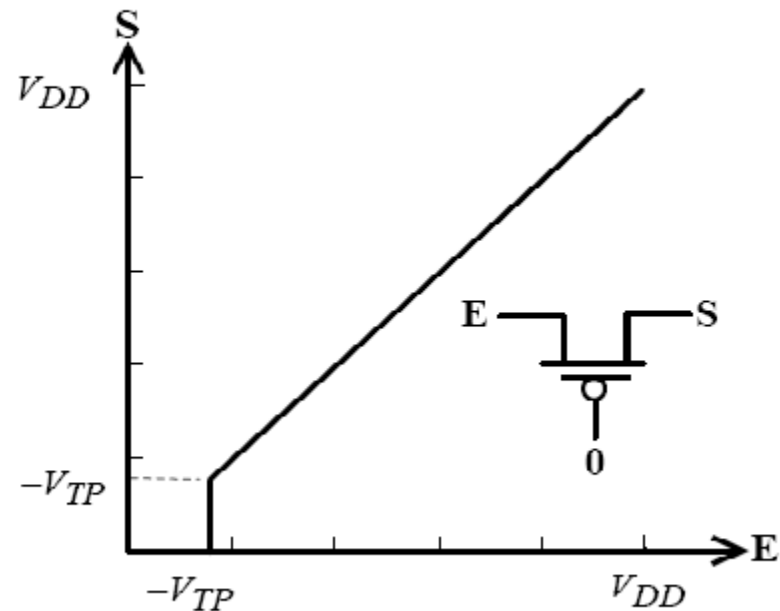


» $C = 0$ (V_{SS}) =>

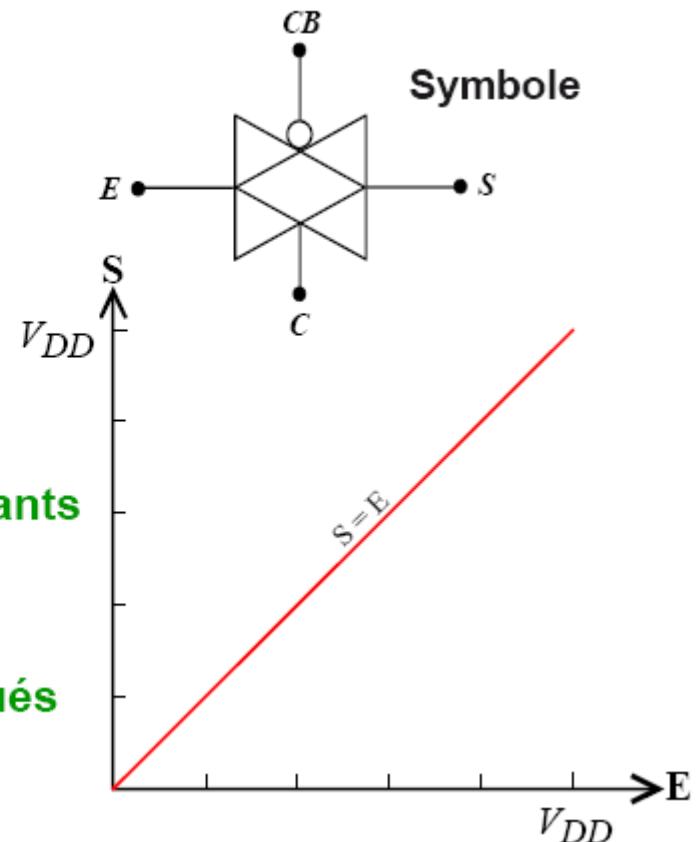
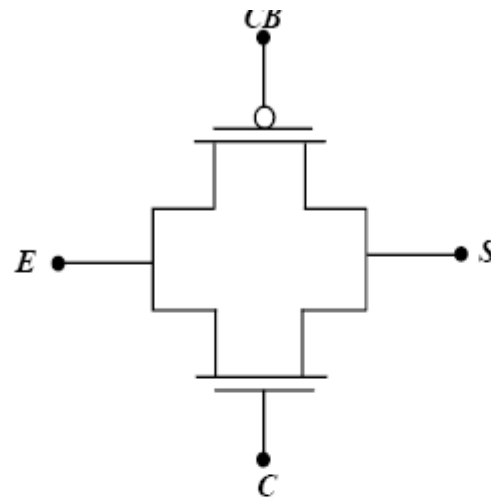


mais

$E < -V_{TP} \Rightarrow$ transistor bloqué



Porte de transfert CMOS



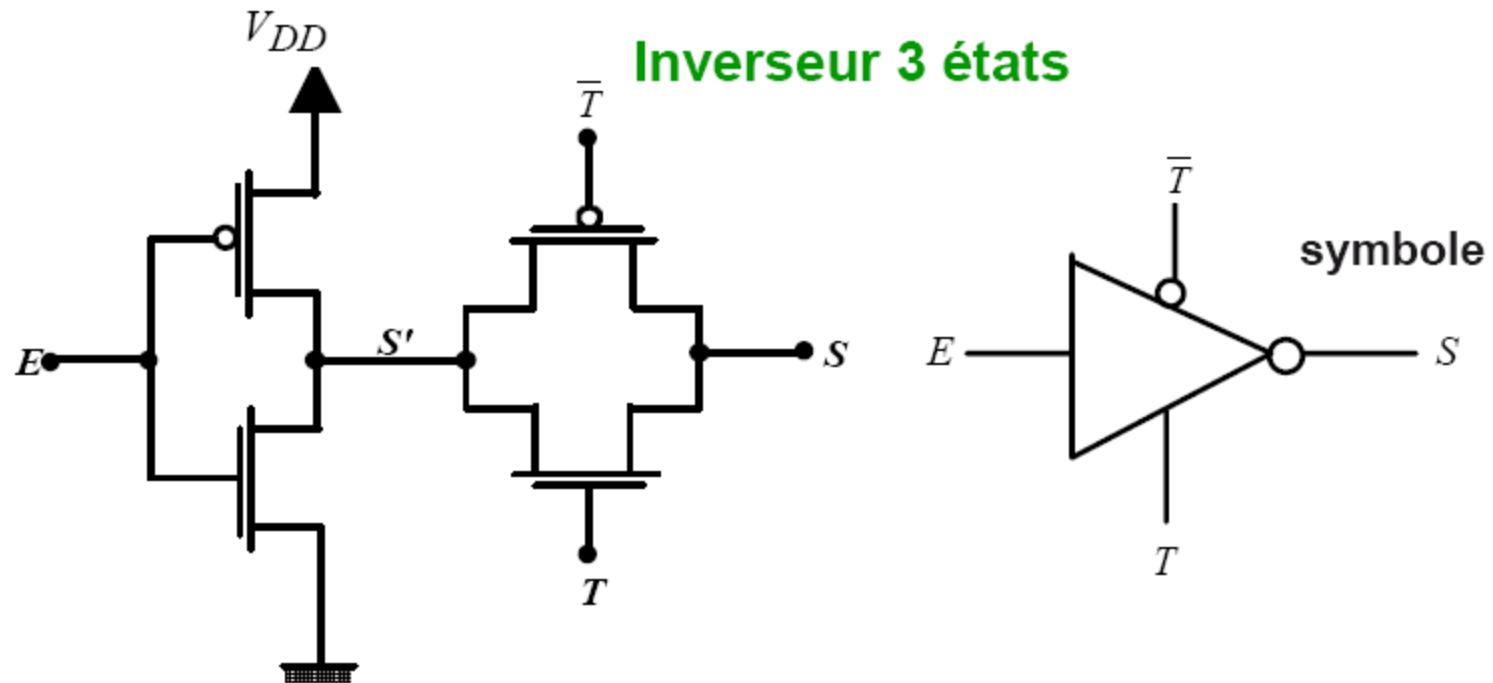
- $C = 1$ et $CB = 0$, transistors passants

=> E ——— S

- $C = 0$ et $CB = 1$, transistors bloqués

=> E ——— S

Exemple d'utilisation de l'interrupteur CMOS : les opérateurs trois états

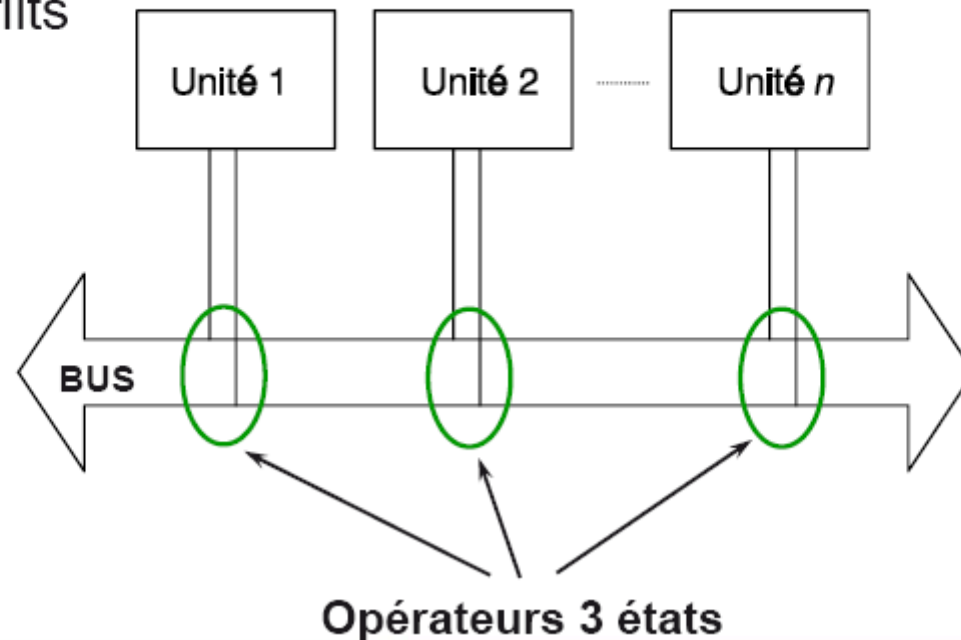


- Si $T = 1$, $S = S'$
- Si $T = 0$, $S = Z$: état **haute impédance** (sortie déconnectée)

Exemple d'utilisation d'opérateurs trois états

■ Structures organisées autour d'un bus

- Possibilité d'accès au bus pour plusieurs unités logiques
- Une seule unité à la fois doit être connectée pour éviter les conflits



Opérateurs CMOS à base d'interrupteurs

■ Performances **statiques** similaires à celles de l'inverseur

- Points de fonctionnement (V_{SS}, V_{DD}) et (V_{DD}, V_{SS})
- **Pas de consommation statique**

■ Performances **dynamiques**

- Pour un opérateur constitué d'une couche logique

$$P_{dyn} = f_S V_{DD}^2 C_L$$

où f_S est la fréquence de commutation de l'opérateur (de sa sortie)

- Pour un opérateur constitué de **plusieurs couches logiques** ou un circuit complet

$$P_{dyn} = \sum P_i$$

L'avenir des circuits CMOS

■ Evolution des technologies CMOS

- Complexité

Réduction de taille des transistors dans un rapport k^2 tous les 3 ans ($k = 1,5$)

=> complexité accrue dans un rapport k^2

- Vitesse

vitesse accrue dans un rapport compris entre k et k^2

- Consommation

Consommation accrue dans un rapport k^2 à k^3 à V_{DD} constant.

=> facteur limitant de la croissance de la densité d'intégration

=> diminution de V_{DD}

L'avenir des circuits CMOS

■ Technologies commercialement disponibles et à venir

- couramment utilisées : CMOS 90 nm/ 65 nm,
 $V_{DD} \sim 0,8 \text{ à } 1,1\text{V}$
=> densité d'intégration : 360 Mtr/cm² (ASIC)
- prochaine génération (2009) : CMOS 50 nm,
(μP : $f_{max} \sim 8 \text{ GHz}$), $V_{DD} \sim 0,8 \text{ à } 1,0\text{V}$
=> densité d'intégration : 570 Mtr/cm² (ASIC)
- technologies à l'étude : CMOS 5 nm,
 $f_{max} > 75 \text{ GHz}$, $V_{DD} \sim 0,5 \text{ à } 0,7\text{V}$
=> densité d'intégration > 7,2 Gtr/cm² (ASIC)

L'avenir des circuits CMOS

