

第八章 記憶體控制器

本章節敘述 PXA250 與 PXA210 應用處理器所支援的外部記憶體介面結構與記憶體相關暫存器。

8.1 概要

此應用處理器外部記憶體匯流排介面支援同步動態記憶體(SDRAM)、同步與非同步突發傳輸模式、分頁模式快閃記憶體、同步遮罩唯讀記憶體(SMROM)、分頁模式唯讀記憶體、靜態隨機存取記憶體(SRAM)、類似 SRAM 可變延遲 I/O(VLIO)、16 位元 PC 卡擴充記憶體以及 Compact Flash。藉由記憶體介面組態暫存器，可將記憶體類型程式化。圖 8-1 為記憶體控制器的最大組態。

注意：PXA210 不支援 16 位元 PC 卡或是 Compact Flash。

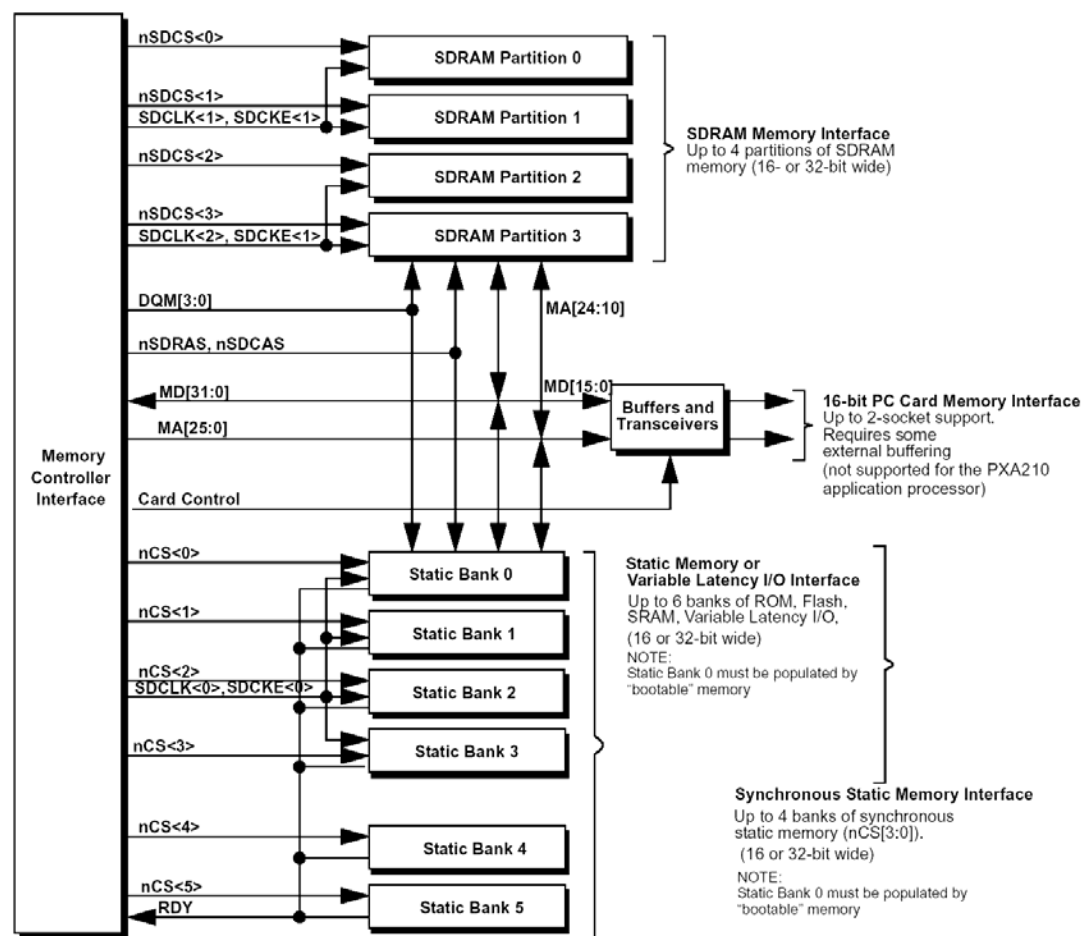


圖 8-1 一般記憶體介面組態

8.2 功能敘述

此應用處理器具有三種不同的記憶體空間：SDRAM、靜態記憶體、卡式記憶體。

SDRAM 有四個分割區域；靜態記憶體有六個；卡式記憶體有兩個。當記憶體存取企圖在兩個相鄰的分割區間突發傳輸 (burst) 時，必須先確定分割區每個方面的組態都是相同的，包括外部匯流排寬度和突發傳輸長度。

8.2.1 SDRAM 介面概要

此處理器支援寬度為 16 和 32 位元的分割區。每一個分割區可配置 64M 位元組的內部記憶體，但是實際的大小由 SDRAM 的組態決定。四個分割區以兩個為一對：0/1 一對、2/3 一對。每一對彼此間的大小和組態必須相同，而兩對之間可不同。例如：0/1 為 100MHz SDRAM 和 32 位元資料匯流排，2/3 為 50Mhz SDRAM 和 16 位元資料匯流排。

此應用處理器 SDRAM 控制器包含下列訊號：

- 4 個分割區選擇訊號
- 4 個位元組選擇訊號
- 15 個多工組／列／行位址訊號
- 1 個啟動寫入訊號
- 1 個行位址選通脈衝(nSDCAS)
- 1 個列位址選通脈衝(nSDRAS)
- 1 個啟動時脈訊號(SDCKE[1])
- 2 個時脈訊號(SDCLK[2:1])
- 32 個資料訊號(MD[31:0])

此應用處理器在正常操作下可自動更新(CBR)，且在睡眠模式下支援自動更新 SDRAM。一個 SDRAM 的自動斷電模式位元可以被設定啟動，因此每當沒有對應的分割區被存取時，SDRAM 時脈啟動會自動被關閉。

此應用處理器支援 x8、x16、x32 SDRAM 晶片。藉由啟動 SDRAM 分割區，一個模式暫存器設定指定(MRS)(請參考 6.6 節，第 6-27 頁，「SDRAM 命令概觀」)，藉由寫入 MDMRS 暫存器可送到 SDRAM 裝置。

MRS 命令設定 SDRAM 內部模式暫存器的組態與接著來的突發傳輸類型與

突發傳輸長度。

可藉由 MDCNFG 的 DTC0 或 DTC2 區域來決定 CAS 延遲。

8.2.2 靜態記憶體介面／可變延遲 I/O 介面

靜態記憶體與可變延遲 I/O 介面具有 6 個晶片選擇訊號(nCS[5:0])，與位元組位址的 26 個位元(MA[25:0])，在每個 6 個組合最多可有 64M 記憶體位元組的通道。每個晶片選擇可個別程式化來選擇所支援的靜態記憶體類別之一：

- nCS[5:0]支援非突發傳輸或快閃記憶體
- nCS[5:0]支援突發傳輸 ROM 或快閃記憶體(非突發傳輸寫入)
- nCS[5:0]支援突發和非突發傳輸 SRAM
- nCS[5:0]支援可變延遲 I/O
- nCS[3:0]支援同步靜態記憶體

可變延遲 I/O 介面與 SRAM 不同，它允許資料準備輸入訊號 RDY 插入一個等待狀態的變數。對所有的靜態記憶體類型，每個晶片選擇可個別調整組態為 16 位元或 32 位元的資料匯流排。讀取時會觸發 nOE，寫入可變延遲 I/O 裝置時會觸發 nPWE，寫是所有其他靜態裝置，不論同步或非同步，都會觸發 nWE，對 SRAM 和可變延遲 I/O，在讀取和寫入時，DQM[3:0]是位元組選擇。

當應用處理器重置後，它會開始在位址 0x00 取得與執行指令，會經由 nCS<0>對應到記憶體。啟動 ROM 必須在此位址。BOOT_SEL 腳位決定啟動記憶體的類別(參考第 8-71 頁，8.11.1 節，「選擇啟動」)。

8.2.3 16 位元 PC 卡／Compact Flash 介面

此應用處理器卡介面是以”*The PC Card Standard – Volume 2 – Electrical Specification, Release 2.1, and CF+ and CompactFlash Specification Revision 1.4*”為基準。16 位元 PC 卡／Compact Flash 介面提供控制訊號以支援 2 個可用於任何 16 位元 PC 卡／Compact Flash 組合的插槽，使用位址線(MA[25:0])與資料線(MD[15:0])。

應用處理器 16 位元 PC 卡／Compact Flash 控制器提供下列訊號：

- nPREG 與 MA[26]和選擇暫存器空間(I/O 或屬性)對記憶體空間多工處理
- 允許記憶體與屬性讀取和寫入
- nPIOR、nPIOW 與 nIOIS16 控制 I/O 讀取和寫入

- nPWAIT 允許延伸的讀取時間
- nPCE2 與 nPCE1 為 16 位元資料匯流排位元組高低選擇。
- PSKTSEL 選擇 2 個卡槽之一

注意：PXA210 應用處理器不支援 16 位元 PC 卡或 Compact Flash 介面。

8.3 記憶體系統範例

此章節提供可能的記憶體組態範例。圖 8-2 位使用 1M x 16 位元 x 4 區塊，總計 48M 位元組的 SDRAM 系統。

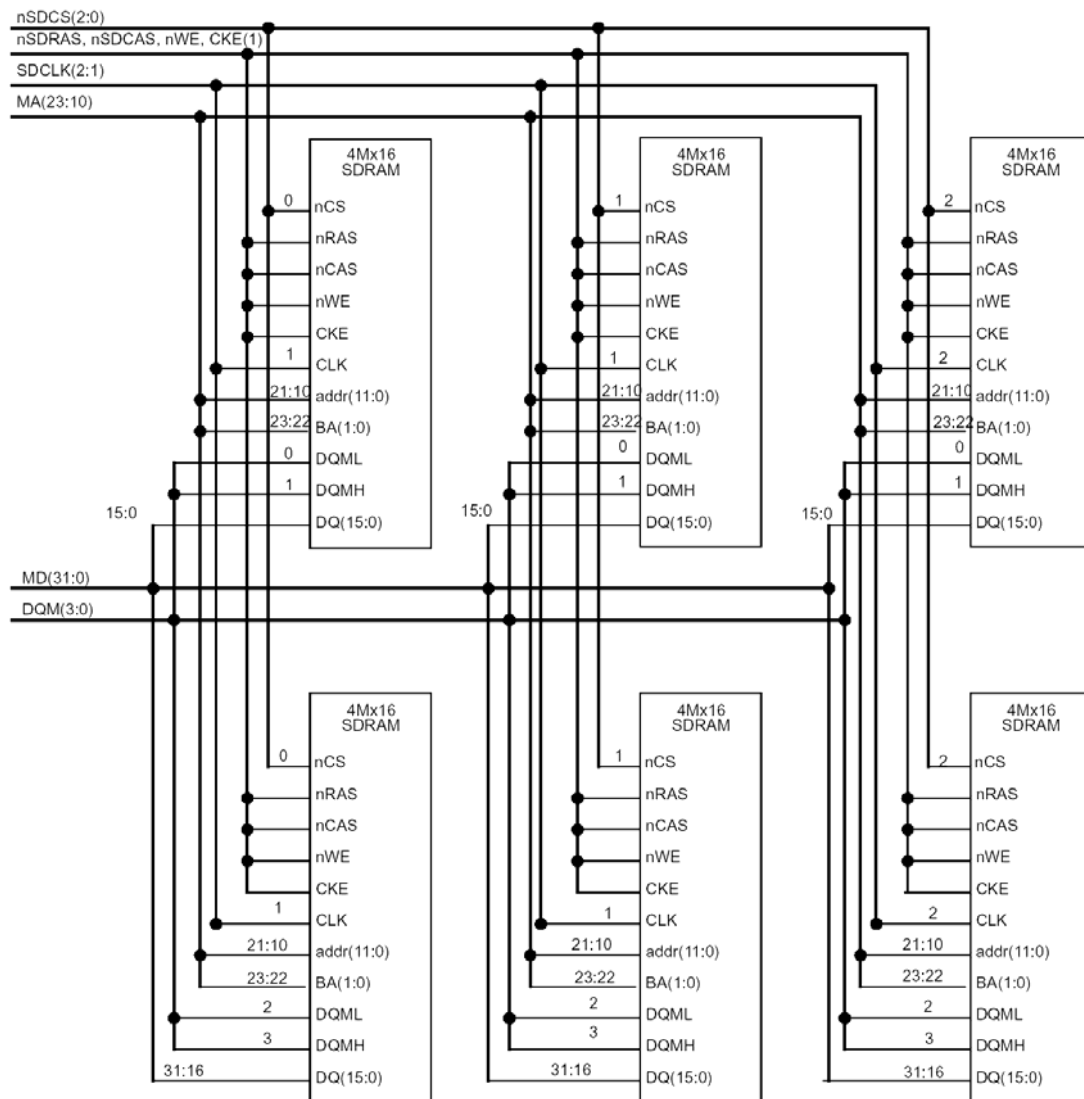


圖 8-2 SDRAM 記憶體系統範例

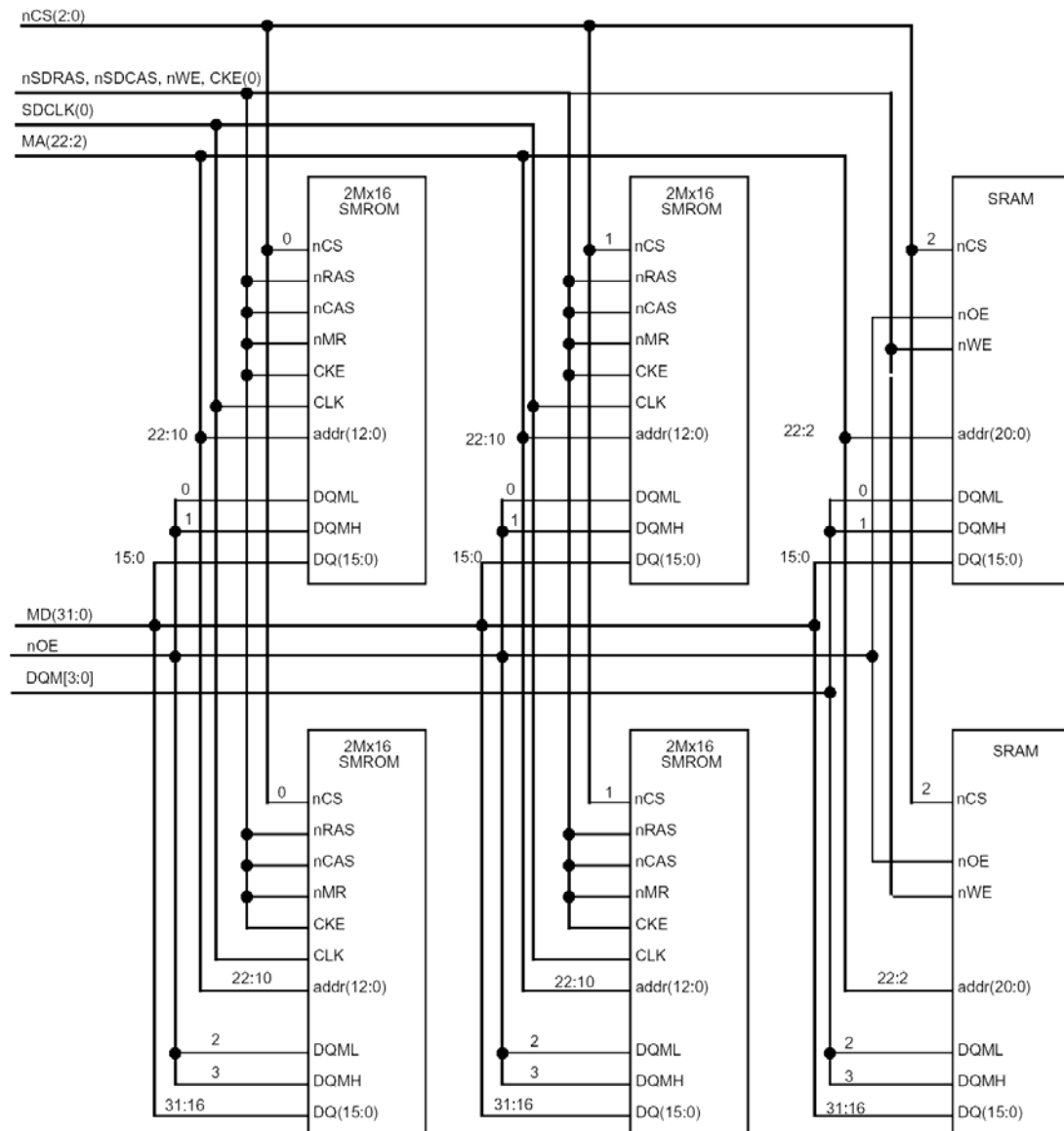


圖 8-3 非同步靜態記憶體系統範例

8.4 記憶體存取

若有記憶體存取後，接下來有一段匯流排閒置時間，則控制訊號會轉成被動狀態。為了避免不必要的轉變與消除，位址和資料訊號仍為原來的數值。

表 8-1 列出所有應用處理器可產生的變動。突發傳輸無法跨越 32-byte 的邊界。在 16 位元資料匯流排上，每一個全字組（full word）的存取會變成 2 個半字組（half-word）的突發傳輸，且位址位元由 1 變成 0。不論匯流排大小，每一對快閃記憶體空間做寫入存取時，必須都要在一個無突發傳輸的操作下。

表 8-1 設備異動

匯流排操作	突發傳輸大小 (word)	開始位址 Bits[4:2]	說明
Read single	1	任何	尤核心、DMA 或 LCD 的請求所產生。
Read burst	4	0 4	由 DMA 或 LCD 的請求所產生。
Read burst	8	0	由於快取線 (cache line) 滿載而產生。
Write single	1	任何	1..4 位元組由位元組遮罩寫入為特定值。
Write burst	2	0, 1, 2 4, 5, 6	每一個 word 的所有 4 個 byte 都被寫入。由 DMA 的請求所產生。
Write burst	3	0, 1 4, 5	每一個 word 的所有 4 個 byte 都被寫入。由 DMA 的請求所產生。
Write burst	4	0 4	每一個 word 的所有 4 個 byte 都被寫入。由 DMA 的請求所產生。
Write burst	8	0	快取線 (cache line) 複製回去。全部 32 個 byte 都被寫入。

8.4.1 讀取與寫入

DQM<3:0>為資料遮罩位元。當高電位觸發時，對應的位元遮蔽 MD<31:0>匯流排上資料的相關位元組。而當低電位反觸發時，對應的位元不會遮蔽 MD<31:0>匯流排上資料的相關位元組。

- DQM<3>對應到 MD<31:24>
- DQM<2>對應到 MD<23:16>
- DQM<1>對應到 MD<15:8>
- DQM<0>對應到 MD<7:0>

為了寫入至 SDRAM、SRAM 或可變延遲 I/O (Variable Latency I/O) 記憶體空間，DQM<3:0>線會啟動資料匯流排上對應的位元組。快閃記憶體儲存空間必須為快閃資料匯流排的寬度，應為 16 或 32 位元。參考第 6-55 頁，6.8.6 節「快閃記憶體介面」。

為了讀取至所有的記憶體類別，DQM<3:0>線會反觸發，即設定為低電位，則資料不會被遮蔽。

8.4.2 放棄與不存在的記憶體

存取記憶體映象保留的部分，會導致資料放棄的例外事件。硬體不會偵測到讀取或寫入至啟動的記憶體或不存在的記憶體。若啟動的分割區記憶體沒有顯示，則讀取會傳回不確定的資料。如果記憶體並未佔有分割區全部的 64MB，則可執行讀取或寫入至這些未被佔有的區域，就像記憶體佔有分割區全部的 64MB。

單一字組對未啟動的 SDRAM 分割區（MDCNFG:DEx=0）做存取會造成一個 CBR 更新週期給所有的分割區。這種技術被使用在硬體初始化程序。讀取傳回不確定的資料和寫入外部記憶體匯流排，則無法執行。

突發傳輸讀取對未啟動的 SDRAM 做存取會導致放棄目標（target-abort）的例外事件。Target-abort 是為了對 Flash/ROM 空間做突發寫入與突發傳輸至組態空間而產生的。Target-abort 可以是資料或預先取得放棄事件，它依靠的是意圖突發傳輸的變動來源。

8.5 記憶體組態暫存器。

表 8-2 寫事出與記憶體介面有關聯的暫存器與被用來存取它們的實體記憶體。這些暫存器必須對應為不可快取（non-cacheable）與不可緩衝（non-bufferable），只可為單一 word 存取。它們被分組為同一分頁，而所有都具有相同記憶體保護。

表 8-2 記憶體介面控制暫存器

實體位址	符號	暫存器名稱
0x4800 0000	MDCNFG	SDRAM 組態暫存器
0x4800 0004	MDREFR	SDRAM 更新控制暫存器
0x4800 0008	MSC0	靜態記憶體控制暫存器 0
0x4800 000C	MSC1	靜態記憶體控制暫存器 1
0x4800 0010	MSC2	靜態記憶體控制暫存器 2
0x4800 0014	MECR	擴充記憶體（16 位元 PC 卡／Compact Flash）匯流排組態暫存器

0x4800 001C	SXCNFG	同步靜態記憶體暫存器
0x4800 0024	SXMRS	將 MRS 值寫入 SMROM
0x4800 0028	MCME0	插卡介面通用記憶體空間插座 0 時序組態
0x4800 002C	MCME1	插卡介面通用記憶體空間插座 1 時序組態
0x4800 0030	MCATT0	插卡介面屬性空間插座 0 時序組態
0x4800 0034	MCATT1	插卡介面屬性空間插座 1 時序組態
0x4800 0038	MCIO0	插卡介面空間插座 0 時序組態
0x4800 003C	MCIO1	插卡介面空間插座 1 時序組態
0x4800 0040	MDMRS	將 MRS 值寫入 SDRAM
0x4800 0044	BOOT_DEF	唯讀啟動時間暫存器。包含 BOOT_SEL 與 PKG_SEL 值。

8.6 同步 DRAM 記憶體介面

每個記憶體印象可能的 SDRAM 部分被指定為一分割，來區別它們與 SDRAM 裝置的內部組合。用來控制 SDRAM 記憶體的訊號列表於 6.2.1 節「SDRAM 介面概觀」。

8.6.1 SDRAM MDCNFG 暫存器

MDCNFG 為一個讀取／寫入暫存器，包含調整 SDRAM 組態的控制位元。每個成對的 SDRAM 分割區（0/1 或 2/3）必須作為相同類別的 SDRAM 裝置，但兩個成對分割區可能會不同，參考表 8-3。

表 8-3 MDCNFG 暫存器位映象（bitmap）與位元定義

位元	名稱	說明
0	DE0	<p>啟動 SDRAM 分割區 0</p> <p>對每個 SDRAM 分割區，都有一個啟動位元。一個單一（非突發傳輸）32 位元（若 MDCNFG:DWIP0="1"，則為 16 位元）讀取或寫入至一個未啟動的 SDRAM 分割區，會觸發一個 CBR 更新週期至所有的分割區。當所有的分割區都未啟動，更新計數器會關閉。</p> <p>0 – 關閉 SDRAM 分割區</p> <p>1 – 啟動 SDRAM 分割區</p>
1	DE1	啟動 SDRAM 分割區 1

		<p>對每個 SDRAM 分割區，都有一個啟動位元。一個單一（非突發傳輸）32 位元（若 MDCNFG:DWIP0="1"，則為 16 位元）讀取或寫入至一個未啟動的 SDRAM 分割區，會觸發一個 CBR 更新週期至所有的分割區。當所有的分割區都未啟動，更新計數器會關閉。</p> <p>0 – 關閉 SDRAM 分割區 1 – 啟動 SDRAM 分割區</p>
2	DWID0	<p>SDRAM 分割區對 0/1 之資料匯流排寬度</p> <p>0 – 32 位元 1 – 16 位元</p>
4..3	DCAC0[1:0]	<p>SDRAM 分割區對 0/1 之行位址位元數</p> <p>00 – 8 個行位址位元 01 – 9 個行位址位元 10 – 10 個行位址位元 11 – 11 個行位址位元</p>
6..5	DRAC0[1:0]	<p>SDRAM 分割區對 0/1 之列位址位元計數</p> <p>00 – 11 個列位址位元 01 – 12 個列位址位元 10 – 13 個列位址位元 11 – 保留</p>
7	DNB0	<p>較低的分割區對之 bank 數目</p> <p>0 – 2 個內部 SDRAM bank 1 – 4 個內部 SDRAM bank</p>
9..8	DTC0[1:0]	<p>SDRAM 分割區 0/1 對之時序種類</p> <p>00 – tRP=2clks, CL=2, tRCD=1clks, tRAS(min)=3clks, tRC=4clks 01 – tRP=2clks, CL=2, tRCD=2clks, tRAS(min)=5clks, tRC=8clks 10 – tRP=3clks, CL=3, tRCD=3clks, tRAS(min)=7clks, tRC=8clks 11 – tRP=3clks, CL=3, tRCD=3clks, tRAS(min)=7clks, tRC=11clks</p> <p>tWR（寫入恢復時間）固定在 2 個 clock</p> <p>用來設定 SDRAM 時序組態給 SDRAM 製造廠商規格。與時序相關的時脈即是 SDCLKS 的數量。SDCLKS 可能與以 MDREFRx[KxDB2]為基礎的記憶體時脈並不相同。</p> <p>參考圖 8-5 時序數字的說明。</p>

10	DADDR0	SDRAM 分割區對 0/1 使用選擇定址 參考圖 8-4 選擇定址運作說明。
11	DLATCH0	SDRAM 分割區對 0/1 0 – 保留 MEMCLK 傳回資料，使用固定延遲 1 – 保留傳回資料與傳回時脈 此位元必須設定為 1 以啟動使用傳回時脈 SDCLK 來保留資料。請參考第 6-4 節以得到更多關於傳回資料保留。
12	DSA1111_0	SDRAM 分割區對 0/1 使用 SA1111 定址多工模式。設定此位元將優先於 MDCNFG:DADDR0 內程式化的定址位元。 參考表 8-8 SA1111 定址運作說明。
15..13	-	保留
16	DE2	啟動 SDRAM 分割區 2 對每個 SDRAM 分割區，都有一個啟動位元。一個單一（非突發傳輸）32 位元（若 MDCNFG:DWIP2="1"，則為 16 位元）讀取或寫入至一個未啟動的 SDRAM 分割區，會觸發一個 CBR 更新週期至所有的分割區。 當所有的分割區都未啟動，更新計數器會關閉。 0 – 關閉 SDRAM 分割區 1 – 啟動 SDRAM 分割區
17	DE3	啟動 SDRAM 分割區 3 對每個 SDRAM 分割區，都有一個啟動位元。一個單一（非突發傳輸）32 位元（若 MDCNFG:DWIP2="1"，則為 16 位元）讀取或寫入至一個未啟動的 SDRAM 分割區，會觸發一個 CBR 更新週期至所有的分割區。 當所有的分割區都未啟動，更新計數器會關閉。 0 – 關閉 SDRAM 分割區 1 – 啟動 SDRAM 分割區
18	DWID2	SDRAM 分割區對 2/3 之資料匯流排寬度 0 – 32 位元 1 – 16 位元
20..19	DCAC2[1:0]	SDRAM 分割區對 2/3 之行位址位元數 00 – 8 個行位址位元 01 – 9 個行位址位元 10 – 10 個行位址位元 11 – 11 個行位址位元
22..21	DRAC2[1:0]	SDRAM 分割區對 2/3 之列位址位元計數

		<p>00 – 11 個列位址位元</p> <p>01 – 12 個列位址位元</p> <p>10 – 13 個列位址位元</p> <p>11 – 保留</p>
23	DNB2	<p>較高的分割區對之 bank 數目</p> <p>0 – 2 個內部 SDRAM bank</p> <p>1 – 4 個內部 SDRAM bank</p>
25..24	DTC2[1:0]	<p>SDRAM 分割區 2/3 對之時序種類</p> <p>00 – tRP=2clks, CL=2, tRCD=1clks, tRAS(min)=3clks, tRC=4clks</p> <p>01 – tRP=2clks, CL=2, tRCD=2clks, tRAS(min)=5clks, tRC=8clks</p> <p>10 – tRP=3clks, CL=3, tRCD=3clks, tRAS(min)=7clks, tRC=8clks</p> <p>11 – tRP=3clks, CL=3, tRCD=3clks, tRAS(min)=7clks, tRC=11clks</p> <p>tWR（寫入恢復時間）固定在 2 個 clock</p> <p>用來設定 SDRAM 時序組態給 SDRAM 製造廠商規格。與時序相關的時脈即是 SDCLKS 的數量。SDCLKS 可能與以 MDREFRx[KxDB2]為基礎的記憶體時脈並不相同。</p> <p>參考圖 8-5 時序數字的說明。</p>
26	DADDR2	<p>SDRAM 分割區對 2/3 使用選擇定址</p> <p>參考圖 8-4 選擇定址運作說明。</p>
27	DLATCH2	<p>SDRAM 分割區對 2/3</p> <p>0 – 保留 MEMCLK 傳回資料，使用固定延遲</p> <p>1 – 保留傳回資料與傳回時脈</p> <p>此位元必須設定為 1 以啟動使用傳回時脈 SDCLK 來保留資料。請參考第 8-4 節以得到更多關於傳回資料保留。</p>
28	DSA1111_2	<p>SDRAM 分割區對 2/3 使用 SA1111 定址多工模式。設定此位元將優先於 MDCNFG:DADDR0 內程式化的定址位元。</p> <p>參考表 8-8 SA1111 定址運作說明。</p>
31..29	-	保留

8.6.2 SDRAM 模式暫存器組合組態暫存器

MDMRS 暫存器配給一個模式暫存器組合(MRS)命令給 SDRAM。藉由 MRS 命令，數值被寫入至位於位址線 MA[24:17]的這個暫存器。對 MA[16:10]，固定的值，或是從 MDCNFG 暫存器所取得的值都被放置在位址匯流排上。以數值的所使用的位址模式為基礎，來設定這些值為被寫出在位址線上。雖然寫入至此暫存器會觸發一個 MRS 命令，但只有當記憶體組合經由被 MDCNFG 暫存器設為啟動時才會引起觸發相對應的晶片選擇數值。因此，適當寫入一個新的 MRS 值到 SDRAM，會先啟動 MDCNFG 暫存器，然後寫入 MDMRS 暫存器。此暫存器僅被用來產生 MRS 命令。

所有在 MDCNFG 暫存器的值必須被正確地程式化，以確保設備操作適當。參考第 8-3 頁表 8-4「MDMRS 暫存器位映象」得到位元定義。

MDMRS[MDBLx]位元設定 SDRAM 突發傳輸長度為 4。此數值為固定的，且不能改變。對傳送週期而言，比設定突發傳輸長度需要更多的資料。舉例來說，當快取線（cache line）滿載時，控制器會連續做 four-beat 的突發傳輸，一次立即地接著另一次。要達到這樣的情況，控制器需要產生第一位址給第二個突發傳輸。當傳輸週期少於四個節拍時，控制器會忽略不需要的資料。舉例來說，假設 SDRAM 設定組態成不可快取的，單一節拍讀取（single-beat read）會被視為在匯流排上只有一個節拍在被處理器使用的一個 four-beat 讀取。單一節拍寫入（single-beat write）也是一樣。

表 8-4 MDMRS 暫存器位映象

位元	名稱	說明
31	-	保留
30:23	MDMRS2	MRS 值被寫入至 SDRAM 第 2 對分割區。
22:20	MDCL2	SDRAM 第 2 對分割區 CAS 延遲 – 自 MDCNFG:DTC2 取得。寫入被忽略，只能讀取。
19	MDADD2	SDRAM 第 2 對分割區突發傳輸別。定址順序固定。寫入被忽略，通常讀取 0。
18:16	MDBL2	SDRAM 第 2 對分割區突發傳輸長度。突發傳輸長度固定為 4。寫入被忽略，通常讀取 010。
15	-	保留
14:7	MDMRS0	MRS 直被寫入至 SDRAM 第 0 對分割區。
6:4	MDCL0	SDRAM 第 0 對分割區 CAS 延遲 – 自 MDCNFG:DTC0 取得。寫入被忽略，只能讀取。

3	MDADD0	SDRAM 第 0 對分割區突發傳輸別。定址順序固定。寫入被忽略，通常讀取 0。
2:0	MDBL0	SDRAM 第 0 對分割區突發傳輸長度。突發傳輸長度固定為 4。寫入被忽略，通常讀取 010。

8.6.3 SDRAM MDREFR 暫存器

MDREFR 為一個讀取／寫入暫存器，而且包含控制位元，可以更新 SDRAM 分割區。MDREFR 也包含 SDRAM 自行更新、SDRAM／SMROM 時脈除數、SDRAM／SMROM 時脈執行、與 SDRAM／SMROM 時脈啟動腳位狀態的控制位元與狀態位元。獨立的控制／狀態位元提供給每個時脈腳位（SDCLK[2:0]）與時脈啟動腳位（SDCKE[1:0]）。

時脈執行位元（clock-run bits）（K0RUN、K1RUN、K2RUN）與時脈啟動位元（clock-enable bits）（E0PIN 與 E1PIN）提供軟體控制 SDRAM 與同步靜態記憶體低功率模式。當時脈執行位元與時脈啟動位元被清掉時，對應的記憶體變為無法存取。

藉由啟動 APD 位元，可自動關閉電源。APD 位元是一個減少電源消耗的機制，他位在應用處理器 SDCLK 腳位驅動與 SDRAM／同步靜態記憶體內。當 SDCLK 與 SDCKE 在非連續的 SDRAM／同步靜態記憶體傳輸之間重新啟動時，會導致延遲一個記憶體週期。

以下條件決定 SDRAM 是否更新：

- 當更新計數器清為 0 時，則沒有更新訊號送至 SDRAM。
- 若對一未啟動的 SDRAM 要求一個單一交易，則執行全部 4 個分割區的更新。
- 若全部 4 個 SDRAM 分割區都未啟動，則關閉更新計數器。
- 若時脈頻率改變，就算裡面的值都沒有改變，暫存器必須被重新寫入。這會導致重置更新計數器到下一個更新間隔。

請參考表 8-5。

表 8-5 MDREFR 暫存器位映象

位元	名稱	說明
31:26	-	保留
25	K2FREE	SDRAM 自由執行控制 0 = SDCLK2 為非自由執行

		1 = SDCLK2 為自由執行（忽略 MDREFR[APD]或 MDREFR[K2RUN]位元） 提供同步記憶體與 SDCLK2，接著為重置，目的是為了重置內部電路系統。
24	K1FREE	SDRAM 自由執行控制 0 = SDCLK2 為非自由執行 1 = SDCLK2 為自由執行（忽略 MDREFR[APD]或 MDREFR[K1RUN]位元） 提供同步記憶體與 SDCLK1，接著為重置，目的是為了重置內部電路系統。
23	K0FREE	SDRAM 自由執行控制 0 = SDCLK2 為非自由執行 1 = SDCLK2 為自由執行（忽略 MDREFR[APD]或 MDREFR[K0RUN]位元） 提供同步記憶體與 SDCLK0，接著為重置，目的是為了重置內部電路系統。
22	SLFRSH	SDRAM 自行更新控制／狀態 進入／離開 SDRAM 自行更新與自動設定硬體或睡眠重置的控制／狀態位元。 0 = 關閉自行更新 1 = 啟動自行更新 可藉由軟體設定 SLFRSH，強迫執行自行更新命令。E1PIN 不需要被清掉。適當的時脈執行位元（K1RUN 與／或 K2RUN）必須保持設定直到 SDRAM 進入自行更新狀態，且必須設定為比離開自行更新狀態更為優先（清掉 SLFRSH）。使用此功能必須非常小心，因為這將會導致禁止任何命令自動改變狀態。
21	-	保留
20	APD	啟動 SDRAM／同步靜態記憶體自動斷電功能 若 APD=1，Clock 會啟動，當除了 KxFREE 位元被設定之外沒有任何對應的分割區被存取時，Clock 腳位就會自動觸發。 若沒有任何 SDRAM 分割區被存取，SDRAM 晶片會進入斷電模式，而且 Clock 與 Clock-enable 腳位都會關閉。 若有一個 SDRAM 分割區被使用而且另一個沒有被使用，沒有被使用的分割區的 Clock 會關閉。 若沒有任何同步靜態記憶體分割區被使用，這些分割區的 Clock 與 Clock-enable 會關閉，而記憶體晶片會進入斷電模式。請參考第 8.8 節。
19	K2DB2	SDRAM 時脈（Clock）腳位 2（SDCLK2）以 2 為除數控制／

		<p>狀態</p> <p>0 = SDCLK2 與 MEMCLK 頻率相同</p> <p>1 = SDCLK2 以 MEMCLK 的 1.5 倍頻率執行</p>
18	K2RUN	<p>SDRAM 時脈 (Clock) 腳位 2 (SDCLK<2>) 執行控制／狀態</p> <p>0 = 關閉 SDCLK2</p> <p>1 = 啟動 SDCLK2</p> <p>K2RUN 也可由程式來清掉。當使用時必須小心，因為這將會導致禁止任何命令自動改變狀態。</p>
17	K1DB2	<p>SDRAM 時脈 (Clock) 腳位 1 (SDCLK1) 以 2 為除數控制／狀態</p> <p>0 = SDCLK1 與 MEMCLK 頻率相同</p> <p>1 = SDCLK1 以 MEMCLK 的 1.5 倍頻率執行</p>
16	K1RUN	<p>SDRAM 時脈 (Clock) 腳位 1 (SDCLK<1>) 執行控制／狀態</p> <p>0 = 關閉 SDCLK2</p> <p>1 = 啟動 SDCLK2</p> <p>K2RUN 也可由程式來清掉。當使用時必須小心，因為這將會導致禁止任何命令自動改變狀態。</p>
15	E1PIN	<p>SDRAM 時脈啟動 (Clock Enable) 腳位 1 (SDCKE1) 層級控制／狀態</p> <p>0 = 關閉 SDCKE1</p> <p>1 = 啟動 SDCKE1</p> <p>E1PIN 可經由程式來清掉，以產生一個斷電命令 (若 K1RUN=1，以及或是 K2RUN=1，與 SLFRSH=0)。當使用此功能時必須小心，因為這將會導致禁止模式暫存器設定、讀取、寫入、更新命令自動改變狀態。E1PIN 可經由程式設定，以產生一個離開斷電命令 (若 K1RUN=1，以及或是 K2RUN=1，與 SLFRSH=0)。</p> <p>設定 E1PIN 是 SDRAM 硬體重置與睡眠重置程序的一部份。</p>
14	K0DB2	<p>SDRAM 時脈 (Clock) 腳位 0 (SDCLK0) 以 2 為除數控制／狀態</p> <p>0 = SDCLK0 與 MEMCLK 頻率相同</p> <p>1 = SDCLK0 以 MEMCLK 的 1.5 倍頻率執行</p> <p>此位元是在硬體重置或睡眠重置時自動設定的。</p>
13	K0RUN	<p>同步靜態記憶體時脈執行 (Clock Run) 腳位 0 (SDCLK<0>) 控制／狀態</p> <p>0 = 關閉 SDCLK0</p> <p>1 = 啟動 SDCLK0</p> <p>若 BOOT_SEL 訊號被設定組態為一種同步記憶體類別，則從</p>

		<p>硬體重置與睡眠重置離開時設定此位元。</p> <p>K0RUN 可經由程式來清掉，但是使用此功能時必須小心，因為這將會導致禁止任何命令自動轉換狀態。</p>
12	E0PIN	<p>同步靜態記憶體時脈啟動 (Clock Enable) 腳位 0 (SDCKE<0>) 控制／狀態</p> <p>0 = 關閉 SDCKE0</p> <p>1 = 啟動 SDCKE0</p> <p>若 BOOT_SEL 訊號被設定組態為一種同步記憶體類別，則從硬體重置與睡眠重置離開時設定此位元。</p> <p>E0PIN 可經由程式來清掉，以產生依個斷電命令 (若 K0RUN=1)。當使用此功能時必須要小心，因為這將會導致禁止模式暫存器設定命令與讀取命令自動轉換狀態。E0PIN 可經由程式來設定，以產生一個離開斷電命令 (若 K0RUN=1)。</p>
11:0	DRI	<p>SDRAM 更新間隔 (所有的分割區)</p> <p>記憶體時脈週期除以 32 後介於自動更新 (CBR) 週期之間。在每個 CBR 更新週期過程，每一個 SDRAM 組合裡面，都有一列會被更新。此間隔可應用至 SDRAM 全部 4 個分割區。為了從程式來計算更新間隔，乘以 32 之後再加上 31。</p> <p>必須載入到此暫存器的數值是以下列方式計算：</p> $DRI = (\text{memclk 週期} - 31) / 32 = (\text{更新時間} / \text{列}) \times \text{記憶體時脈頻率} / 32$ <p>必須設計程式來與分割區對共享。最小的數字必須被程式化。存取 SDRAM 時，必須比 tRAS (最大) 更小。</p> <p>當清為 0 時，不會傳送更新訊號給 SDRAM。</p> <p>若全部 4 個 SDRAM 分割區都關閉，更新計數器也會關閉，而且只有當一個與關閉的 SDRAM 的交易被要求時，才會執行更新。</p> <p>若時脈頻率改變，就算裡面的值沒有改變，暫存器還是必須被重新寫入。這會導致執行更新，且更新計數器會重置為更新間隔的值。</p>

8.6.4 固定延遲 (Fixed-Delay) 或時脈回傳 (Return-Clock) 資料門

在所有情況下，Return-Clock 資料門都可工作。由於不保證在所有情況之下 Fixed-Delay 都能正常運作，因此不可以使用此功能。因為在一定情況之下，輸出結果變化很大，所有的 Fixed-Delay 並不是永遠運作。也因為延遲可能大過一

個時脈週期，所以不可能藉由決定時脈來保留住 SDRAM 的資料。經由程式設定 MDCNFG:DLATCHx 與 SXCNDF:SXLATCHx 區域為 1 以使用 Return-Clock SDCLK，啟動門（Latching）的功能。

8.6.5 SDRAM 記憶體選擇

動態記憶體介面最多可支援 4 個分割區，分為 2 對。每一對分割區，彼此必須有相同的 SDRAM 大小、組態、時序種類，與資料匯流排寬度。初始化軟體必須設定記憶體介面組態暫存器與：

- SDRAM 時序種類
- 資料匯流排寬度
- Row、Column 與 Bank 位址位元的數目
- 定址模式
- 資料門（Data Latching）模式

第 8-18 頁，表 8-6「SDRAM 記憶體大小選擇範例」顯示所支援的 SDRAM 組態範例。

表 8-6 SDRAM 記憶體大小選擇範例

SDRAM 組態 (Word x Bits)	晶片大小	晶片數目／分割區		Bank Bits x Row Bits x Column Bits	分割區大小 (Mbyte／分割區)	
		16 位元 Bus	32 位元 Bus		16 位元 Bus	32 位元 Bus
1M x 16	16Mbit	1	2	1 x 11 x 8	2Mbyte	4Mbyte
2M x 8	16Mbit	2	4	1 x 11 x 9	4Mbyte	8Mbyte
2M x 32	64Mbit	N/A	1	2 x 11 x 8	N/A	8Mbyte
4M x 16	64Mbit	1	2	1 x 13 x 8 2 x 12 x 8	8Mbyte	16Mbyte
8M x 8	64Mbit	2	4	1 x 13 x 9 2 x 12 x 9	16Mbyte	32Mbyte
8M x 16	128Mbit	1	2	2 x 12 x 9	16Mbyte	32Mbyte
16M x 8	128Mbit	2	4	2 x 12 x 10	32Mbyte	64Mbyte
16M x 16	256Mbit	1	2	2 x 13 x 9	32Mbyte	64Mbyte
32M x 8	256Mbit	2	4	2 x 13 x 10	64Mbyte	128Mbyte

					e	e – 超過 分割區大 小
--	--	--	--	--	---	---------------------

第 8-19 頁，表 8-4「外部至內部位址對應選擇」顯示 Bank/Row/Column 位址多工使用，2x13932 位元 SDRAM 為一個普通 Bank 定址模式。在 RAS 與 CAS 期間，所有為使用的位址位元，包括在此沒有提到的 MA90]位元，都會被驅動為 0，以合乎這 2 種定址模式。

8.6.5.1 SDRAM 定址模式

此應用處理器支援 2 種定址模式：一般定址模式（Normal Bank Address mode）與 SA1111 定址模式（SA1111 Address mode）。定址模式選擇位址位元的順序，在個別的記憶體腳位上用來驅動與控制 SDRAM 內容。

請參考表 8-8 到 8-9 以得到位址對應選擇地表。

- 第 8-24 頁，表 8-9「Normal Bank 定址腳位對應至 SDRAM 設備」
- 第 8-20 頁，表 8-7「Normal Bank 定址外部至內部記憶體」
- 第 8-22 頁，表 8-8「SA-1111 定址外部至內部位址對應」

表 8-7 顯示出 SDRAM Row 與 Column 位址如何對應至內部 SDRAM 位址。SDRAM Row 與 Column 位址是多工處理的。在主動命令執行期間，SDRAM Row 位址會被傳送，緊接著是在讀取與寫入命令執行期間，Column 位址會被傳送。在 Column 定址期間，MA<20>會被驅動為 0。BA[1:0]用來告知 SDRAM，在 Column 定址期間哪一個 Bank 被讀取而保持穩定。SDRAM 調整組態時，所有的位址腳位都用來傳送 MRS 命令。

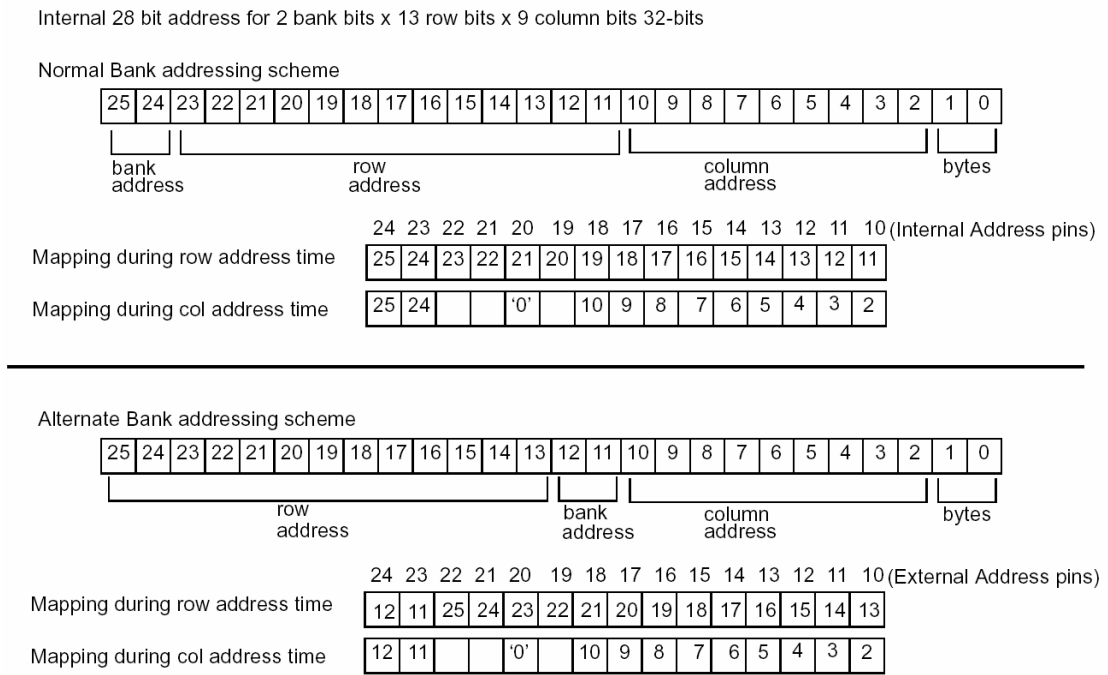


圖 8-4 外部至內部位址對應選擇

表 8-7 一般 Bank 定址之外部至內部位址對應

# 位元 Bank x 列 x 行 x 資料	SDRAM RAS 時間MA<24:10> 外部位址腳位	SDRAM CAS時間MA<24:10>外 部位址腳位
1x11x11x32	無效（不合法的定址組合）	無效（不合法的定址組合）
1x11x11x16	無效（不合法的定址組合）	無效（不合法的定址組合）
2x11x11x32	無效（不合法的定址組合）	無效（不合法的定址組合）
2x11x11x16	無效（不合法的定址組合）	無效（不合法的定址組合）
2x13x10x32	無效（過大）	無效（過大）
2x13x11x32	無效（過大）	無效（過大）
2x13x11x16	無效（過大）	無效（過大）

表 8-8 SA-1111 定址之外部至內部位址對應

# 位元 Bank x 列 x 行 x 資料	SDRAM RAS 時間MA<24:10> 外部位址腳位	SDRAM CAS時間MA<24:10> 外部位址腳位

1x11x8x16	無效（不合法的定址組合）	無效（不合法的定址組合）
1x11x11x32	無效（不合法的定址組合）	無效（不合法的定址組合）
1x11x11x16	無效（不合法的定址組合）	無效（不合法的定址組合）
1x12x8x16	無效（不合法的定址組合）	無效（不合法的定址組合）
1X12X11X32	無效（不合法的定址組合）	無效（不合法的定址組合）
1X12X11X16	無效（不合法的定址組合）	無效（不合法的定址組合）
1X13X8X16	無效（不合法的定址組合）	無效（不合法的定址組合）
1x13x11x32	無效（不合法的定址組合）	無效（不合法的定址組合）
1x13x11x16	無效（不合法的定址組合）	無效（不合法的定址組合）
2X11X8X16	無效（不合法的定址組合）	無效（不合法的定址組合）
2X11X11X32	無效（不合法的定址組合）	無效（不合法的定址組合）
2X11X11X16	無效（不合法的定址組合）	無效（不合法的定址組合）
2X12X8X16	無效（不合法的定址組合）	無效（不合法的定址組合）
2X12X11X32	無效（不合法的定址組合）	無效（不合法的定址組合）
2X12X11X16	無效（不合法的定址組合）	無效（不合法的定址組合）
2X13X8X16	無效（不合法的定址組合）	無效（不合法的定址組合）
2x13x10x32	無效（過大）	無效（過大）
2X13X11X32	無效（過大）	無效（過大）
2X13X11X16	無效（過大）	無效（過大）

使用下面的資訊去連結應用處理器和 SDRAM 設備，但是有些定址組合也許無法應用於 SA1111 定址模式。請參考地 6-26 頁，表 6-10「SA1111 定址之 SDRAM 設備的腳位定址」，有完整的支援定址組合列表和如何連接 PXA250 應用處理器和 SA1111。

表 8-9 一般 Bank 定址之 SDRAM 設備的腳位對應

# 位元 Bank x 列 x 行 x 資料	一般和交替 Bank 定址之 SDRAM 設備的腳位對應。 MA[24:10] 表示源自應用處理器的位址驅動訊號。
1x11x11x32	無效（不合法的定址組合）
1x11x11x16	無效（不合法的定址組合）
2x11x11x32	無效（不合法的定址組合）
2x11x11x16	無效（不合法的定址組合）
2x13x10x32	無效（過大）
2X13X11X32	無效（過大）
2X13X11X16	無效（過大）

表 8-10 SA1111 定址之 SDRAM 設備的腳位對應

# 位元 Bank x 列 x 行 x 資料	SA1111定址選擇之SDRAM設備的腳位對應。 MA[24:10]表示源自PXA250應用處理器的位址驅動訊號。
1x11x8x16	無效（不合法的定址組合）
1x11x11x32	無效（不合法的定址組合）
1x11x11x16	無效（不合法的定址組合）
1x12x8x16	無效（不合法的定址組合）
1x12x11x32	無效（不合法的定址組合）
1X12X11X16	無效（不合法的定址組合）
1X13X8X16	無效（不合法的定址組合）
1x13x11x32	無效（不合法的定址組合）
1x13x11x16	無效（不合法的定址組合）
2x11x8x16	無效（不合法的定址組合）
2x11x11x32	無效（不合法的定址組合）
2x11x11x16	無效（不合法的定址組合）
2x12x8x16	無效（不合法的定址組合）
2x12x11x32	無效（不合法的定址組合）
2x12x11x16	無效（不合法的定址組合）
2x13x8x32	無效（不合法的定址組合）
2x13x10x32	無效（過大）
2x13x11x32	無效（過大）
2x13x11x16	無效（過大）

8.6.6 SDRAM 命令概觀

此應用處理器使用下列標準界面指令來存取 SDRAM：

- Mode Register Set (MRS)
- Bank Activate (ACT)
- Read (READ)
- Write (WRITE)
- Precharge All Banks (PALL)
- Precharge One Bank (PRE)
- Auto-Refresh (CBR)
- Power-Down (PWRDN)

- Enter Self-Refresh (SLFRSH)
- Exit Power-Down (PWRDNX)
- No Operation (NOP)

表 8-11 顯示出 SDRAM 介面命令。此表假設 SDRAM 的組合位元在外部位址線 MA<24:23>上傳送出去。

表 8-11 SDRAM 命令編碼

在 mode-register set (MRS) 命令期間所使用的位址位元 MA<24:17>之可程式化 opcode 在 MDMRS 暫存器內做程式化。

表 8-12 SDRAM 模式暫存器 Opcode 表

位址位元	選擇	數值
MA<24:17>	保留	MDMRSx
MA[16:14]	CAS 延遲 = 2	010
	CAS 延遲 = 3	011
MA[13]	連續突發傳輸	0
MA[12:10]	突發傳輸長度 = 4	010

8.6.7 SDRAM 的波形

圖 8-5、圖 8-6、圖 8-7 為 SDRAM 控制器一般的操作。

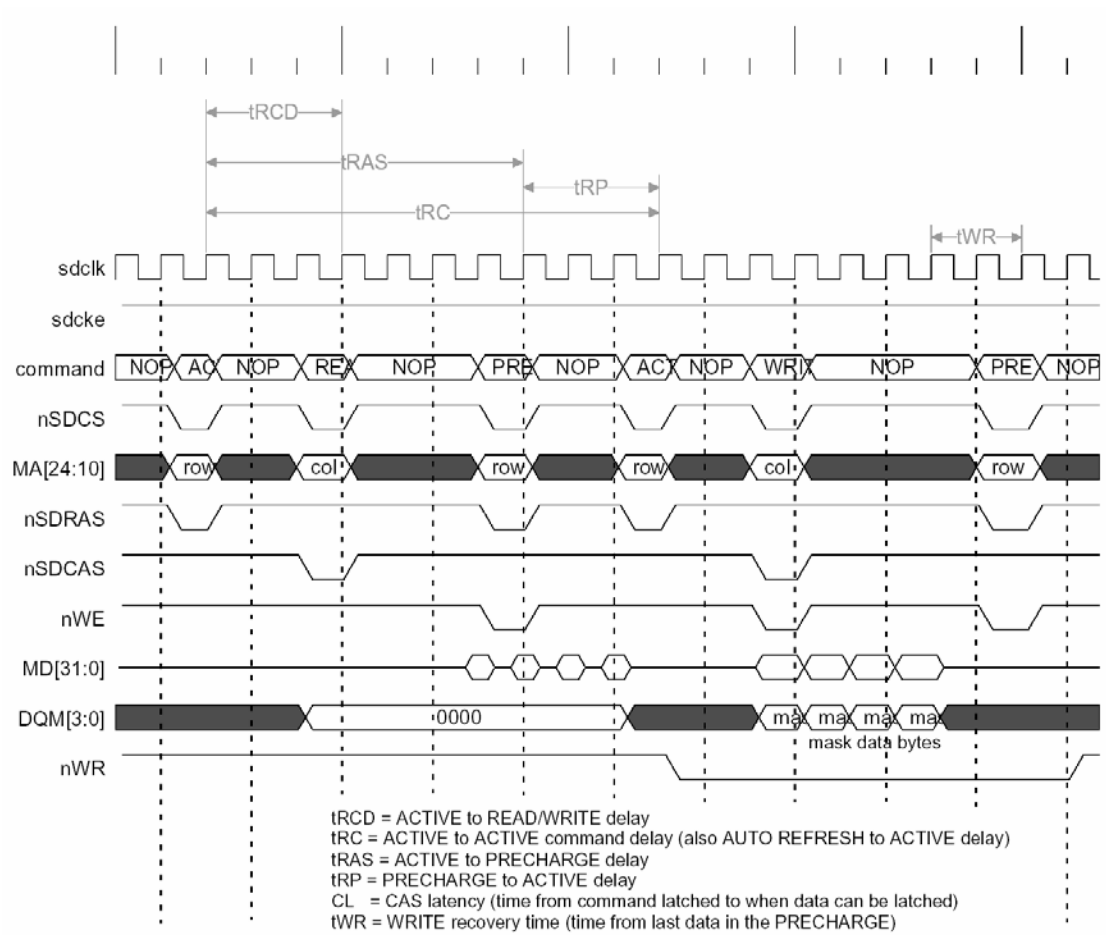


圖 8-5 基本 SDRAM 時序參數

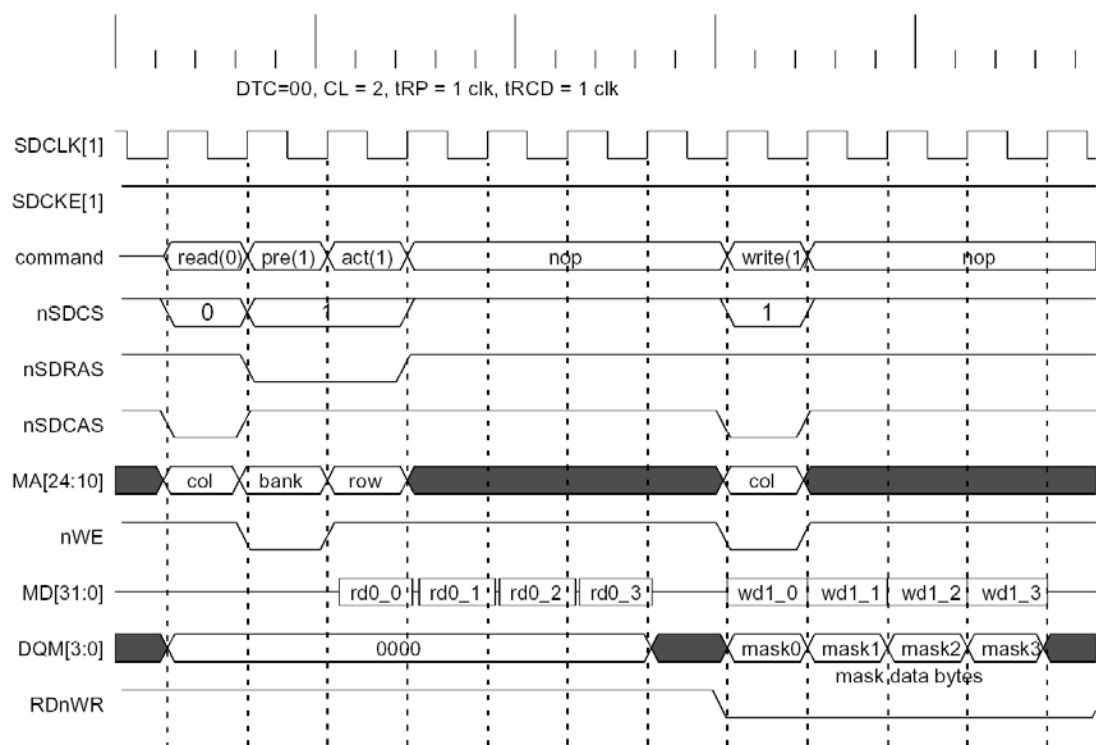


圖 8-6 SDRAM 對不同分割區做 4-beat 的讀取寫入

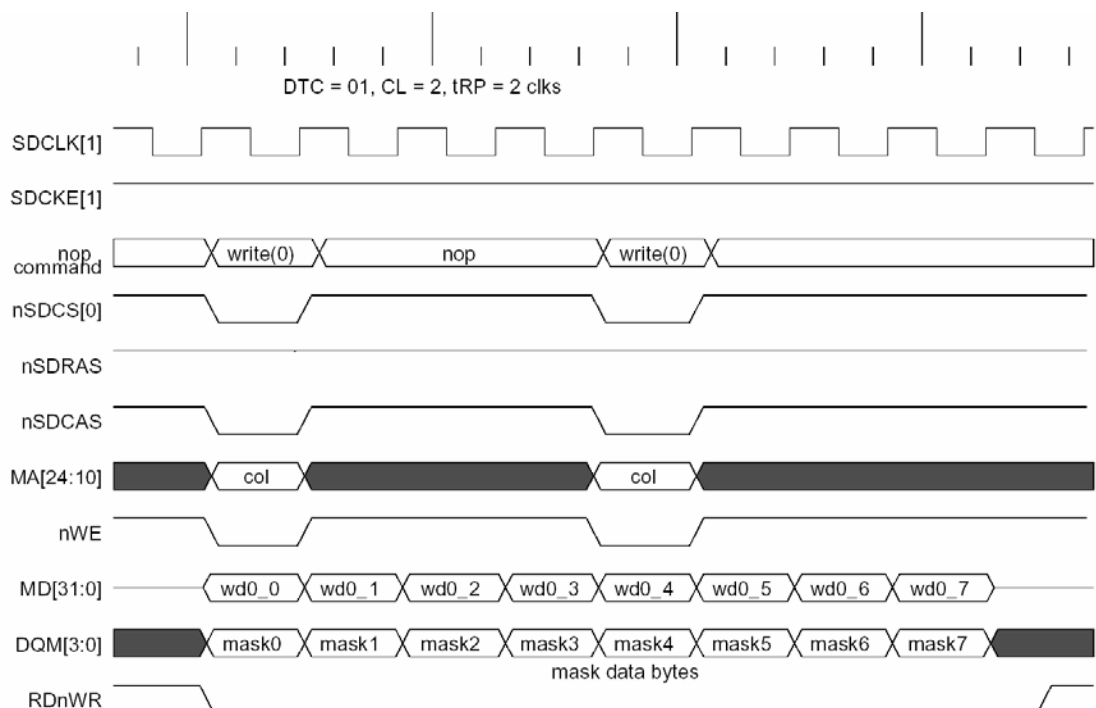


圖 8-7 同組合 (bank)、同列的 SDRAM 4-beat 讀取寫入

8.7 同步靜態記憶體介面

同步靜態記憶體介面支援 SMROM 和不相似於 SDRAM 的 (non-SDRAM-like) 快閃記憶體。同步靜態記憶體設定組態為 nCS[3:0]任何訊號。晶片選擇 0 (chip select 0) 用來啟動記憶體。在 1/0 或 2/3 對裡的同步靜態記憶體必須設定相同的時序。

如果 nCS[3:0]任何訊號經由 SXCNFG[SXENx]設定組態為同步靜態記憶體，MSC0和MSC1相對的半字組(half-word)會被忽略，除了在MSCx[RBWx]的資料。(請參考第8.8.2節「非同步靜態記憶體控制暫存器 (MS2-0)」)

8.7.1 同步靜態記憶體組態暫存器

所有的同步靜態記憶體均由讀取／寫入 SXCNFG 暫存器控制，請參考表 8-13。SXCNFG[15:0]將晶片選擇訊號設定為 0 和 1，SXCNFG[31:16]則設定為 2 和 3。

表 8-13 SXCNFG 暫存器位圖 (bitmap)

位元	名稱	敘述
31	-	保留
30	SXLATCH2	分割區對 2/3 之 SXMEM 保留模式 (scheme) 0 - 保留傳回資料與 MEMCLK 固定延遲 1 - 保留傳回資料與傳回時脈 延遲資料時,此位元必須設為 1 來啟動傳回時脈 SDCLK。 更多關於傳回延遲資料的細節,請參考第 6.6.4 節。
29..28	SXTP2	分割區對 2/3 之 SX 記憶體型態 00 - 同步遮罩 ROM (SMROM) 01 - 保留 10 - 非似 SDRAM 同步快閃記憶體 11 - 保留
27..26	SXCA2	分割區對 2/3 之 SX 記憶體行位址位元計數 00 - 7 個行位址位元 01 - 8 個行位址位元 10 - 9 個行位址位元 11 - 10 個行位址位元
25..24	SXRA2	分割區對 2/3 之 SX 記憶體列位址 (row address) 位元計數 00 - 12 個列位址位元

		<p>01 – 13 個列位址位元</p> <p>10 – 保留</p> <p>11 – 保留</p>
23..21	SXRL2	<p>分割區對 2/3 之 SX 記憶體 RAS 延遲</p> <p>外部 SDCLK 週期之數目介於接收 ACT 命令與 READ 命令之間。SXRL2 之單元大小為外部 SDCLK 週期。</p> <p>若 SOTP2 = “00” (SMROM) :</p> <p>000 – 1 clocks</p> <p>001 – 2 clocks</p> <p>010 – 3 clocks</p> <p>011 – 4 clocks</p> <p>100 – 5 clocks</p> <p>101 – 6 clocks</p> <p>110 – 7 clocks</p> <p>111 – 8 clocks</p> <p>若 SOTP2 = 10 (非 SDRAM 時序快速閃存記憶體)，此區域沒有被使用，而必須被程式化為 111。</p>
20..18	SXCL2	<p>分割區對 2/3 之 SX 記憶體 CAS 延遲</p> <p>READ 命令的接收和資料延遲之間的外部 SDCLK 週期數。SXCL0 的單位大小事外部 SDCLK 週期。當 SX 記憶體以記憶體時脈頻率的一半執行時，延遲是 2 倍的 MEMCLK。當無法肯定使用那個 CAS 延遲時，則必須使用下一個較大的延遲。</p> <p>若 SOTP2 = 00 (SMROM) :</p> <p>000 – 保留</p> <p>001 – 保留</p> <p>010 – 3 clocks</p> <p>011 – 4 clocks</p> <p>100 – 5 clocks</p> <p>101 – 6 clocks</p> <p>110 – 保留</p> <p>111 – 保留</p> <p>若 SOTP2 = 10 (非 SDRAM 時序快速閃存記憶體)</p> <p>000 – 保留</p> <p>001 – 保留</p> <p>010 – 3 clocks</p> <p>011 – 4 clocks</p> <p>100 – 5 clocks</p>

		101 – 6 clocks 110 – 7 clocks 111 – 保留
17..16	SXEN2	分割區 2 (位元 16) 與分割區 3 (位元 17) 之 SX 記憶體 0 – 不啟動分割區 1 – 啟動分割區
15	-	保留
14	SXLATCH0	分割區對 0/1 之 SXMEN 保留方法 0 – 延遲傳回在 MEMCLK 上固定延遲的資料 1 – 延遲傳回友船回時脈的資料 延遲的資料必須寫入 1 來啟動傳回時脈 SDCLK。請參考 6.6.4 節來得到更多的關於傳回資料延遲的細節。
13..12	SXTP0	分割區對 0/1 之 SX 記憶體型態 00 – 同步遮罩 ROM (SMROM) 01 – 保留 10 – 非類似 SDRAM 同步快閃記憶體 11 – 保留
11..10	SXCA0	分割區對 0/1 之 SX 記憶體行位址位元計數 00 – 7 個行位址位元 01 – 8 個行位址位元 10 – 9 個行位址位元 11 – 10 個行位址位元
9..8	SXRA0	分割區對 01 之 SX 記憶體列位址位元計數 00 – 12 個列位址位元 01 – 13 個列位址位元 10 – 保留 11 – 保留
7..5	SXRL0	分割區對 01 之同步靜態 (SX) 記憶體 RAS 延遲 ACT 命令的接收與 READ 命令的接收之間的外部 SDCLK 週期。SXRL0 的單位大小 (unit size) 是外部 SDCLK 週期數目。 若 SXTP0 = 00 (SMROM): 000 – 1 clock 001 – 2 clocks 010 – 3 clocks 011 – 4 clocks 100 – 5 clocks 101 – 6 clocks

		<p>110 – 7 clocks</p> <p>111 – 8 clocks</p> <p>若 SXTPO = 10 (非 SDRAM 時序快速閃存記憶體)，則不使用此區域，且必須程式化為 111。</p>
4..2	SXCL0	<p>分割區對 0/1 之 SX 記憶體 CAS 延遲</p> <p>READ 命令的接收和資料延遲之間的外部 SDCLK 週期數。SXCL0 的單位大小事外部 SDCLK 週期。當 SX 記憶體以記憶體時脈頻率的一半執行時，延遲是 2 倍的 MEMCLK。當無法肯定使用那個 CAS 延遲時，則必須使用下一個較大的延遲。</p> <p>若 SXTPO = 00 (SMROM)：</p> <p>000 – 保留</p> <p>001 – 保留</p> <p>010 – 3 clocks</p> <p>011 – 4 clocks</p> <p>100 – 5 clocks</p> <p>101 – 6 clocks</p> <p>110 – 保留</p> <p>111 – 保留</p> <p>若 SXTPO = 10 (非 SDRAM 時序快速閃存記憶體)</p> <p>000 – 保留</p> <p>001 – 保留</p> <p>010 – 3 clocks</p> <p>011 – 4 clocks</p> <p>100 – 5 clocks</p> <p>101 – 6 clocks</p> <p>110 – 7 clocks</p> <p>111 – 保留</p>
1..0	SXEN0	<p>分割區 0 (位元 0) 與分割區 1 (位元 1) 之 SX 記憶體啟動位元</p> <p>0 – 不啟動分割區</p> <p>1 – 啟動分割區</p> <p>請參考 6.11 節中之重置數值。</p>

8.7.1.1 SMROM 記憶體選擇

可能的外部到內部位址多工之選擇，請參考表 6-15。SMROM 沒有組合位址 (bank-address) 位元，但在外部位址匯流排上有對應位元。每一個設備預設的

組合數為 4。

表 8-15 同步靜態記憶體外部至內部位址對應選擇

8.7.2 同步靜態記憶體模式暫存器設定組態暫存器 (SXMRS)

電源開啟時，如果系統設定啟動在 SMROM 之外，MRS 命令會被包含預設值的寫入（請參考第 6-71 頁，6.11.2 節「啟動時間預設值」）。除此之外，同步靜態記憶體模式暫存器設定組態暫存器 (SXMRS) 用來放出命令給 SMROM。在 MRS 命令期間，寫入此暫存器的值直接放置在位址線 MA<24:10>上。寫入暫存器會觸發一個階段的 MRS 命令，此命令會轉送給外部同步靜態記憶體。第一階段，傳送 MRS 命令給 bank0 和 1，第二階段，傳送給 bank2 和 3。如果經由 SXCNFG 暫存器和記憶體型態組態為 SMROM 使記憶體組合啟動，會觸發對應的晶片選擇值。

先經由 SXCNFG 暫存器啟動和組態記憶體，寫入一個新的 MRS 值給同步靜態記憶體，然後寫入 SXMRS 暫存器。在 MRS 命令期間，此暫存器只可用來做數值的寫入。在 SXCNFG 暫存器內所有的值必須正確地被程式化，以便確定適當的設備操作（關於適當 MRS 編碼，請參考外部記憶體晶片產品文件）。在 SXCNFG[CL]和 SXCNFG[RL]區域程式化的資訊必須和在這個 SXMRS 暫存器內程式化的任何 CAS、RAS 延遲相配合。軟體必須確定區域和延遲相配合。在某些情況，複製資訊必須程式化。請參考表 6-16。

表 8-16 SXMRS 暫存器位映象

位元	名稱	說明
31	-	保留
30..16	SXMRS2	寫入 MRS 數值至同步靜態記憶體需要一個組合對 2 (Bank Pair2) MRS 命令。
15	-	保留
14..0	SXMRS0	寫入 MRS 數值至同步靜態記憶體需要一個組合對 0 (Bank Pair0) MRS 命令。

8.7.3 同步靜態記憶體時序圖表

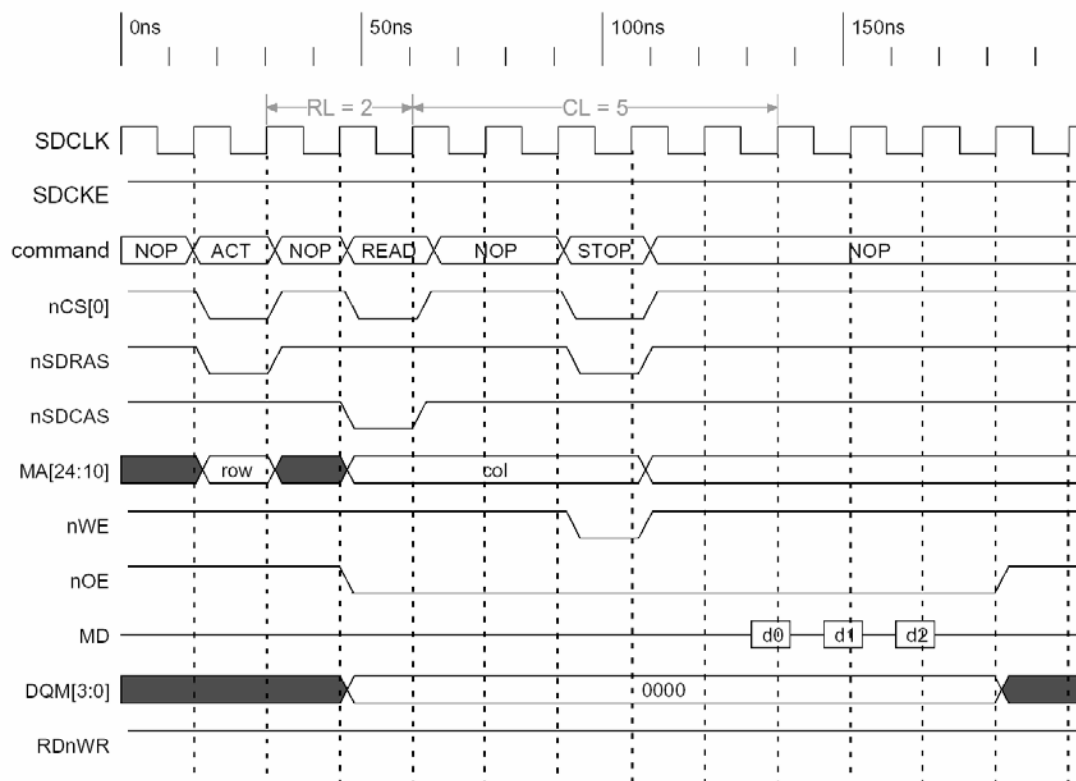


圖 8-8 SMROM 讀取時序圖表 1/2 記憶體時脈週期

8.7.4 非 SDRAM 時序 SXMEM 操作

非 SDRAM 時序同步快閃記憶體操作重置為非同步模式(讀取與非同步單一字組寫入之分頁模式)。可以藉由軟體操作來改變寫入組態暫存器(RCR)為同步模式(突發時序同步讀取與非同步單一字組寫入)。在啟動時,非 SDRAM 時序同步快閃記憶體執行起來與非同步啟動 ROM 很相似。請參考第 6-56 頁,6.9 節「16 位元 PC 卡/Compact Flash 介面」。

參考使用記憶體的相關文件。表 6-17 僅供參考。必須以 CLK-to-output 延遲、CLK 期間、與快閃記憶體裝置的 nADV-to-output 延遲時序參數作為基礎,來決定頻率組態。

以 Intel 元件編號 28F800F3 為例,表 6-17 顯示出程式化暫存器的數值,目的是確保應用處理器的適當操作。

軟體必須確保 CLK-to-output 延遲比 1 個 SDCLK 期間更短，來配合非 SDRAM 時序同步快閃記憶體。

表 8-17 讀取組態暫存器之程式化數值

位元	區域名稱	程式化數值
2:0	BURST LENGTH	010 8 字組突發傳輸
5:3	RESERVED	000
6	CLOCK CONFIGURATION	1 使用 clock 上升邊緣
7	BURST SEQUENCE	1 線性突發傳輸順序 (不支援 INTEL 突發傳輸順序)
8	WAIT CONFIGURATION	N/A 應用處理器忽略快閃記憶體裝置之 nWAIT
9	DATA OUTPUT CONFIGURATION	0 保留資料維持 1 個 clock
10	RESERVED	0
13:11	FREQUENCY CONFIGURATION	010 -> CAS 延遲 3 011 -> CAS 延遲 4 100 -> CAS 延遲 5 101 -> CAS 延遲 6 110 -> CAS 延遲 7 以 AC 特徵 (快閃記憶體裝置資料表格之唯讀操作區) 為基礎來選擇
14	RESERVED	0
15	READ MODE	0 – 同步操作 1 – 非同步操作

表 8-18 顯示出程式化非 SDRAM 時序快閃記憶體 (non-SDRAM Timing Fast Flash) 頻率組態範例。

表 8-18 以時脈速度為基礎之頻率組態值

MEMCLK 頻率	SDCLK0 頻率	MDREFR: L0DB2	有效頻率組態	相對應之 CAD 延遲
20	20	0	2 / 3 / 4 / 5 / 6	3 / 4 / 5 / 6 / 7
33	33	0	3 / 4 / 5 / 6	4 / 5 / 6 / 7
50	50	0	4 / 5 / 6	5 / 6 / 7

	25	1	2 / 3 / 4 / 5 / 6	3 / 4 / 5 / 6 / 7
66	66	0	5 / 6	6 / 7
	33	1	3 / 4 / 5 / 6	4 / 5 / 6 / 7
100	50	1	4 / 5 / 6	5 / 6 / 7
118	59	1	5 / 6	6 / 7
133	66	1	5 / 6	6 / 7
147	不支援			
166	不支援			

8.7.4.1 非 SDRAM (Non-SDRAM) 時序快閃記憶體讀取時序圖表

圖 8-9 顯示 Burst-of-eight 讀取時序圖表

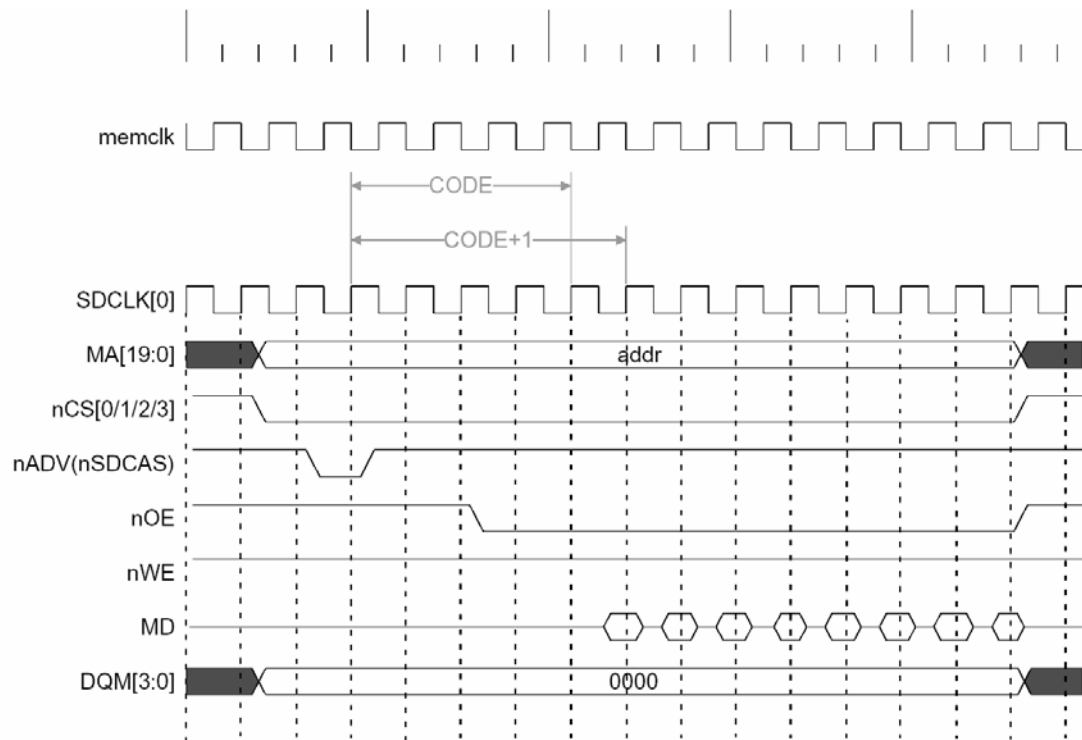


圖 8-9 Burst-of-eight 同步快閃記憶體時序圖表 (non-divided-by-2 模式)

此圖表為 SXCNFG:CL = 0b100，CAS 延遲=5

在圖 8-9 中，應用以下時序參數：

- nADV 觸發時間 = 1 MEMCLK
- MA，nCS 設定為 nADV 觸發時間 = 1 MEMCLK
- nADV 反觸發為 nOE = Code - 2 MEMCLK

在 divided-by-two 模式下，使用以下時序參數：

- nADV 觸發時間 = 3 MEMCLK
- MA，nCS 設定為 nADV 觸發時間 = 1 MEMCLK
- nADV 反觸發為 nOE = (Code * 2) – 4 MEMCLK

8.8 非同步靜態記憶體

8.8.1 靜態記憶體介面

靜態記憶體介面是由 6 個晶片雪則所組成：nCS[5:0]。晶片選擇如下：

- 非突發傳輸 ROM 或快閃記憶體
- 突發傳輸 ROM 或快閃記憶體
- SRAM
- 似 SRAM 可變延遲 I/O 設備

可變延遲 I/O 介面和 SRAM 不同，它允許 data-ready 輸入訊號 (RDY) 插入記憶體週期 (memory-cycle) 等待狀態的變數。每一個晶片選擇區域的資料匯流排可程式化為 16 或 32 位元。nCS[3:0]可配合同步靜態記憶體設定組態（請參考第 6-31 頁 6.7 節「同步靜態記憶體介面」）。當可變延遲 I/O 寫入，使用 nPWE，而不使用 new，所以當在程式化 VLIO 傳輸時，可更新 SDRAM。

nOE、nWE、nPWE 訊號功能如下：

- 觸發 nOE，達到讀取
- 觸發 new，達到 Flash 和 SDRAM 寫入
- 觸發 nPWE，達到可變延遲 I/O 寫入

為了使每個晶片選擇最多可存取 64Mbyte，應用處理器提供 26 位元的位元組位址。此位元位址從外部位址 26 腳位傳送。使用 32 位元系統不可連接 MA[1:0]；使用 16 位元系統不可連接 MA[0]（PXA250 或 PXA210 應用處理器在 16 位元模式操作）。所有在 32 位元系統的讀取，DQM[3:0]和 MA[1:0]都為 0；在 16 位元系統的讀取，DQM[1:0]和 MA[0]都為 0。在時序圖裡包含這些位元組位址，標示為「addr」。

表 8-19 32 位元匯流排寫入存取

資料大小	MA[1:0]	DQM[3:0]
8 位元	00	1110

8 位元	01	1101
8 位元	10	1011
8 位元	11	0111
16 位元	00	1100
16 位元	10	0011
32 位元	00	0000

表 8-20 16 位元匯流排寫入存取

資料大小	MA[0]	DQM[1:0]
8 位元	0	10
8 位元	1	01
16 位元	0	00

MSCX 暫存器理得 RT 區域詳細說明記憶體類別：

- 非突發傳輸 (Non-burst) ROM 或快閃記憶體 (Flash)
- SRAM
- 可變延遲 I/O (Variable Latency I/O)
- Burst-of-four ROM 或 Flash
- Burst-of-eight ROM 或 Flash

RBW 區域詳細說明 nCS[5:0]選擇的記憶體空間匯流排寬度。16 位元匯流排寬度變動發生在 MD[15:0]上。BOOT_SEL 腳位與 SXCNFG 暫存器必須用來設定 nCS[3:0]的組態以合於 SMROM 或一些其他同步靜態記憶體類型。

8.8.2 非同步靜態記憶體控制暫存器 (MSC2-0)

MSC0、MSC1 與 MSC2 讀取／寫入暫存器，包含控制位元，控制對應至晶片選擇對 nCS(1:0)、nCS(3:2)與 nCS(5:4)之靜態記憶體或可變延遲 I/O 組態。時序區域解釋為記憶時脈週期的數目。三個暫存器都分別包含 2 個相同的 CNFG 區域讓每一對晶片選擇使用。

當程式化 MSC 暫存氣力不同的記憶體類別，要確保新的數值會被接收，在命令傳達至記憶體之前先程式化。為了做到這點，在存取記憶體之前，MSC 必須再寫入之後再做讀取。當將 ROM／Flash 改變為可寫入記憶體類別(如 SRAM)時，這就顯的特別重要。

若經由 SXCNFG[SXENx]來設定 nCS[3:0]的任何一個 bank 的組態以合乎同

步靜態記憶體，則對應的 MSC0 與 MSC1 的半字組 (half-word) 被忽略 (除了 MSCx:RBWx 與資料寬度之外)。另一個例外為非 SDRAM 時序同步 Flash，此記憶體寫入不同步，且需要這些程序化數值。請參考表 8-21。

表 8-21 MSC0/1/2 暫存器位元定義

位元	存取	名稱	說明
15	讀取／寫入	RBUFFx	<p>傳回資料緩衝區 vs. 串流</p> <p>當較慢的記憶體設備在系統中開始使用時 (例如：VLIO、慢速 SRAM／ROM) 此位元會重置，告知系統源自設備的資料正在讀取，不必再閒置。重置此位元，系統就允許去執行其他資訊。設定位元時，當所有資料從設備傳回，內部匯流排可能會停止執行。RBUFF 位元值不會影響外部記憶體匯流排的動作。一旦交易開始在記憶體匯流排上執行，且必須在其他交易開始前完成。當啟動同步靜態記憶體設備，數值將預設為串流 (Streaming) 狀態 (假設為一個快速設備)。暫存器位元仍然為 0 (傳回資料緩衝區)，除非特別將他程式化為 1。此位元無法取消。</p> <p>0 – 慢速設備 (傳回資料緩衝區)</p> <p>1 – 快速設備 (串流狀態)</p>
14:12	讀取／寫入	RRRx<2:0>	<p>ROM／SRAM 恢復時間</p> <p>在下一個晶片選擇之後，包相同的靜待記憶體組合，會反觸發晶片選擇，或觸發 nSDCS 使與 (RRRx*2) memclk 相同。這個區域必須以 1/2tOFF 最大值程式化，寫入脈衝高電位時間 (Flash／SRAM)，而且在讀取 Flash 前恢復寫入。</p>
11:8	讀取／寫入	RDNx<3:0>	<p>ROM 延遲下一個存取。</p> <p>隨後對突發傳輸 ROM 或 Flash 做存取所得的有效資料位址與 (RDNx+1) memclks 相同。</p> <p>對 SRAM 做寫入存取所觸發的 new 與 (RDFx+1) memclks 相同。</p> <p>在每一次對可變延遲 I/O 做讀取與寫入的 nOE 與 nPWE 觸發時間與 (RDNx+1) memclks 相同。對可變延遲 I/O 而言，此數目必須大於或等於 2。</p>

7:4	讀取／寫入	RDFx<3:0>	<p>ROM 第一存取延遲</p> <p>RDF 程式化 RDF 數值中斷</p> <table><tr><td>0-11</td><td>0-11</td></tr><tr><td>12</td><td>13</td></tr><tr><td>13</td><td>15</td></tr><tr><td>14</td><td>18</td></tr><tr><td>15</td><td>23</td></tr></table> <p>第一次自所有設備讀取的有效資料的位址，除了 VLIO，皆與(RDFx+2)memclk 相同之外。接下來自非突發傳輸設備讀取的有效資料的位址與（RDFx+1）相等。</p> <p>非同步傳輸寫入所有 Flash 所觸發的 nWE 與（RDFx+1）memclk 相同。</p> <p>每一次讀取與寫入的 nOE 與 nPWE 觸發時間與可變延遲 I/O（nCS[5:0]）之（RDFx+1）memclk 相同。</p>	0-11	0-11	12	13	13	15	14	18	15	23
0-11	0-11												
12	13												
13	15												
14	18												
15	23												
3	讀取／寫入	RBWx	<p>ROM 匯流排寬度</p> <p>0 – 32 位元</p> <p>1 – 16 位元</p> <p>關於 RBW0 重置數值，請參考 6-9 節。此數值必須以我有的記憶體類別來程式化包含同步靜態記憶體。在一般操作期間，不可以改變此數值。</p>										
2:0	讀取／寫入	RTx<2:0>	<p>ROM 類別</p> <p>000 – 非突發傳輸 ROM 或 Flash 記憶體</p> <p>001 – SRAM</p> <p>010 – Burst-of-four ROM 或 Flash（Non-burst 寫入）</p> <p>011 – Burst-of-eight ROM 或 Flash（Non-burst 寫入）</p> <p>100 – 可變延遲 I/O（VLIO）</p> <p>101 – 保留</p> <p>110 – 保留</p> <p>111 – 保留</p> <p>突發傳輸與設備的時序相關。當接下來的設備讀取若耗費的時間比第一次讀取還要短，則它與突發傳輸時序相關。位址位元必須被加入計算為突發傳輸時序設備。舉例來說，在一個</p>										

			burst-of-four 設備裡，只有較低的 2 個 non-byte 位址位元可以為突發傳輸時序改變。以 PXA210 而言，此為 MA[2:1]，但若是 32 位元裝置，則為 MA[3:2]。當從 01、10 與 11 讀取，位址順序可為 00、01、10、11，可花費較少時間自設備取得資料。以 burst-of-eight 設備而言，較低的 non-byte 位址位元可被改變。寫入至這些設備為非突發傳輸。
--	--	--	--

表 8-22 提供所支援的非同步靜態記憶體類別之比較。

表 8-22 非同步與可變延遲 I/O 之功能

MSCx[RTx]	裝置類型	時序（記憶體時脈）					
		Burst Read Address Assert	nOE Assert	Burst nOE Deassert	Burst Write Address Assert	nWE Assert	Burst nWE Deassert
000	非突發傳輸 ROM 或 Flash	RDF+1	RDF+1	0	N/A	RDF+1	N/A
001	SRAM	RDN+1	RDN+1	0	RDF+2	RDN+1	1
010	Burst-of-4 ROM 或 Flash（非突發傳輸寫入）	RDF+1 (0,4) RDN+1 (1:3,5:7)	RDF+1 (0,4) RDN+1 (1:3,5:7)	0	N/A	RDF+1	N/A
011	Burst-of-8 ROM 或 Flash（非突發傳輸寫入）	RDF+1 (0) RDN+1 (1:7)	RDF+1 (0) RDN+1 (1:7)	0	N/A	RDF+1	N/A
100	可變延	RDF+	RDF+	RDN+1	RDF+RD	RDF+	RDN+1

	遲 I/O	RDN+ 2+wait s	1+wait s		N+2+wait s	1+wait s	
--	-------	---------------------	-------------	--	---------------	-------------	--

8.8.3 ROM 介面

應用處理器提供程式化時序給突發傳輸與非突發傳輸 ROM。在記憶體時脈週期裡，MSCX 理得 RDF 區域為一開始與隨後的非突發傳輸 ROM 節拍，與開始的突發傳輸 ROM 的資料節拍之延遲。RDN 為第一個突發傳輸 ROM 之後的突發傳輸資料之延遲。RRR 將不同記憶體空間的存取延遲，以允許目前的 ROM 到三態資料匯流排的時間。

ROM 製造商指出，RRR 必須以最大的 tOFF 值來程式化。

關於硬體重置初始數值，請參考第 6-56 頁，6.9 節，「16 位元 PC 卡／Compact Flash 介面」。當對應至 nCS0 的位址空間被存取，MCS0[15:0]會被選擇。藉由調整 MSCx[RTx]暫存器位元為 0、2 或 3，此應用處理器可支援 1、4 或 8 的 ROM 突發傳輸大小。

8.8.3.1 ROM 時序圖表和參數

突發傳輸和非突發傳輸 ROMs 的時序請見圖 6-11、圖 6-12 和圖 6-13。

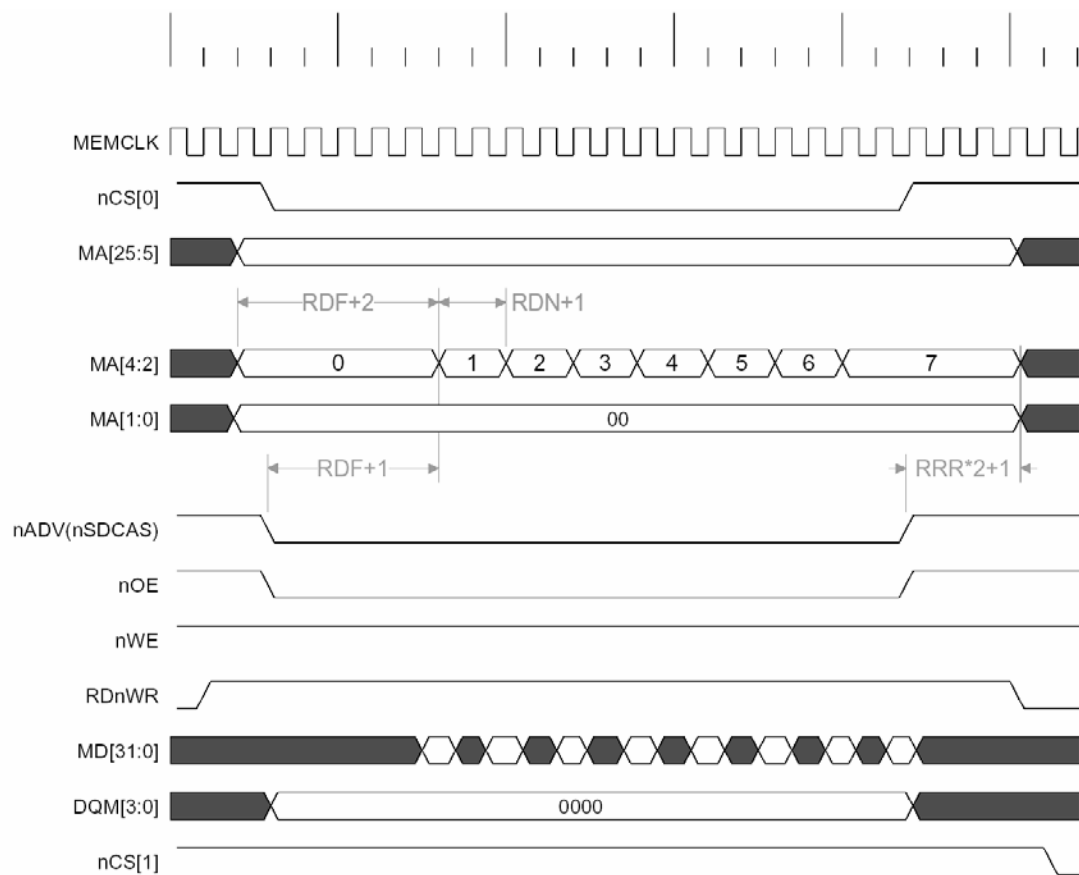


圖 8-11 32 位元八突發傳輸 (Bust-of-Eight) ROM 或快閃記憶體讀取時序圖表
(MSC0:RDF=4, MSC0:RDN=1, MSC0:RRR=1)

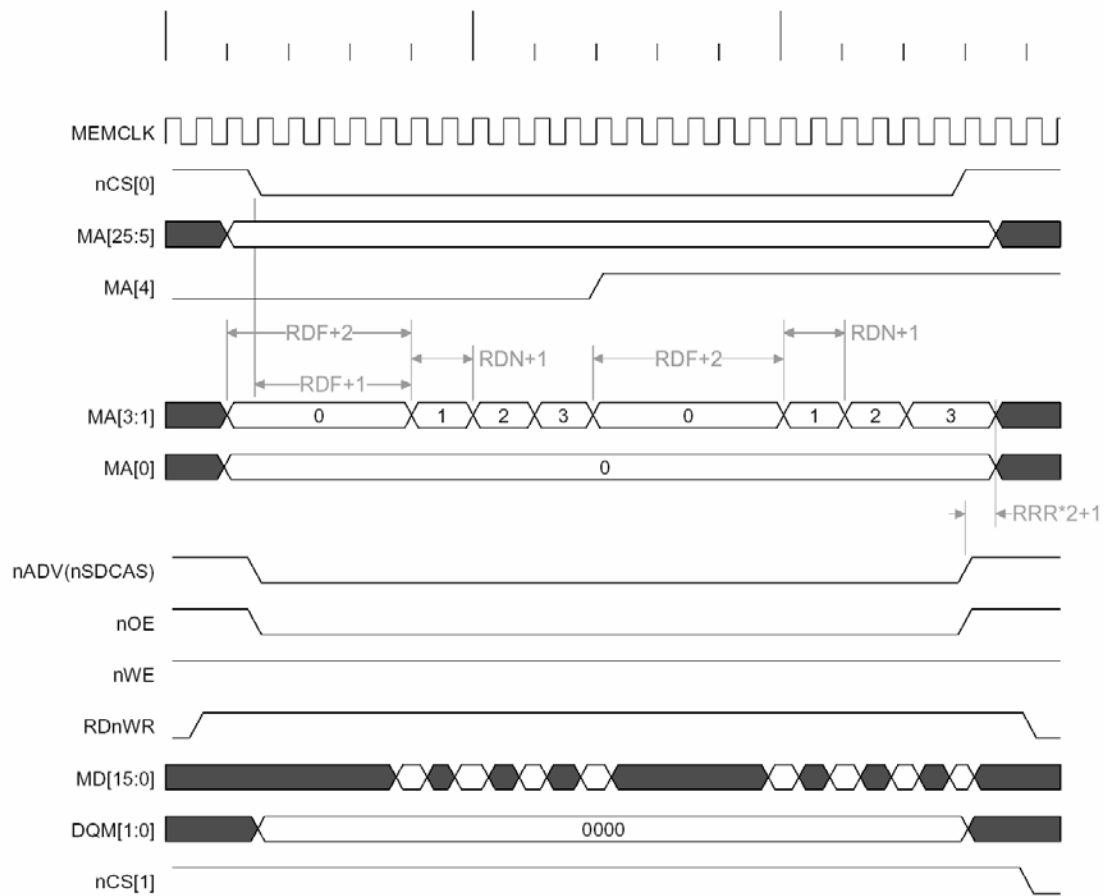


圖 8-12 源自 16 位元四突發傳輸 (Burst-of-four) ROM 或快閃記憶體 (MSC0:RDF=4, MSC0:RDN=1, MSC0:RRR=0) 的八節拍 (Eight-Beat) 突發傳輸讀取

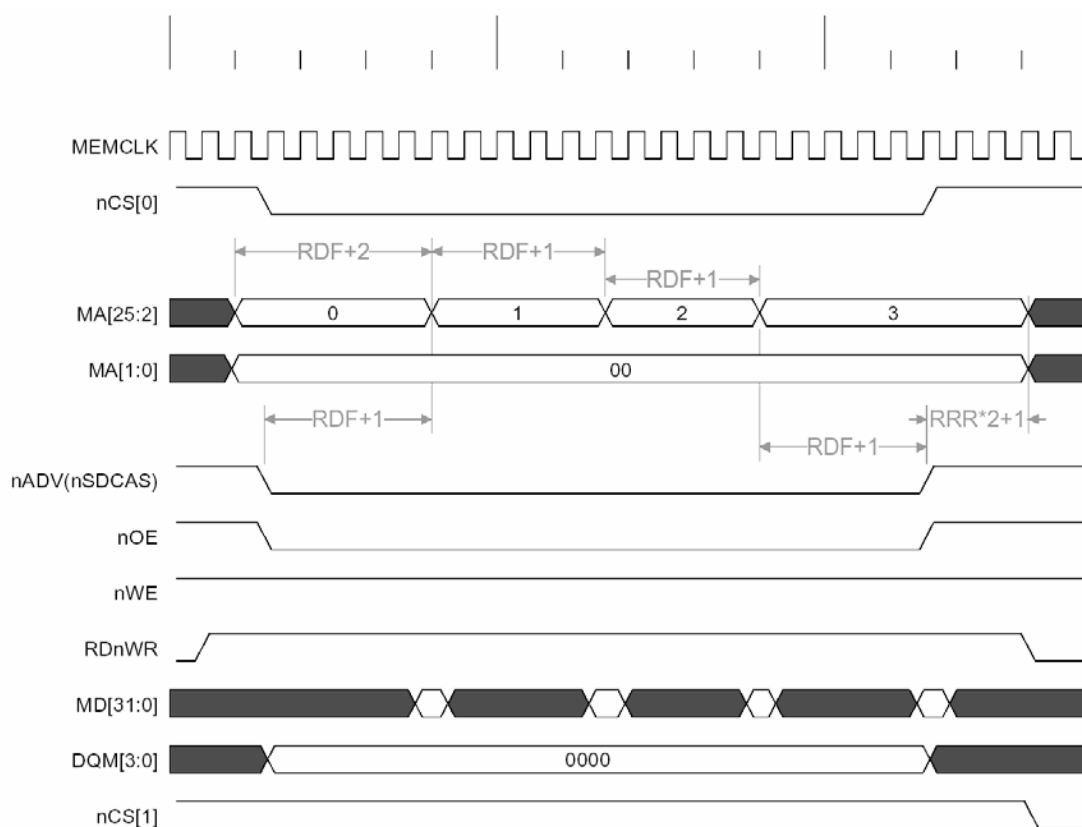


圖 8-13 32 位元非突發傳輸 ROM、SRAM 或 Flash 圖取時序圖表—4 資料節拍
(MSC0:RDF=4, MSC0:RRR=1)

8.8.4 SRAM 介面概觀

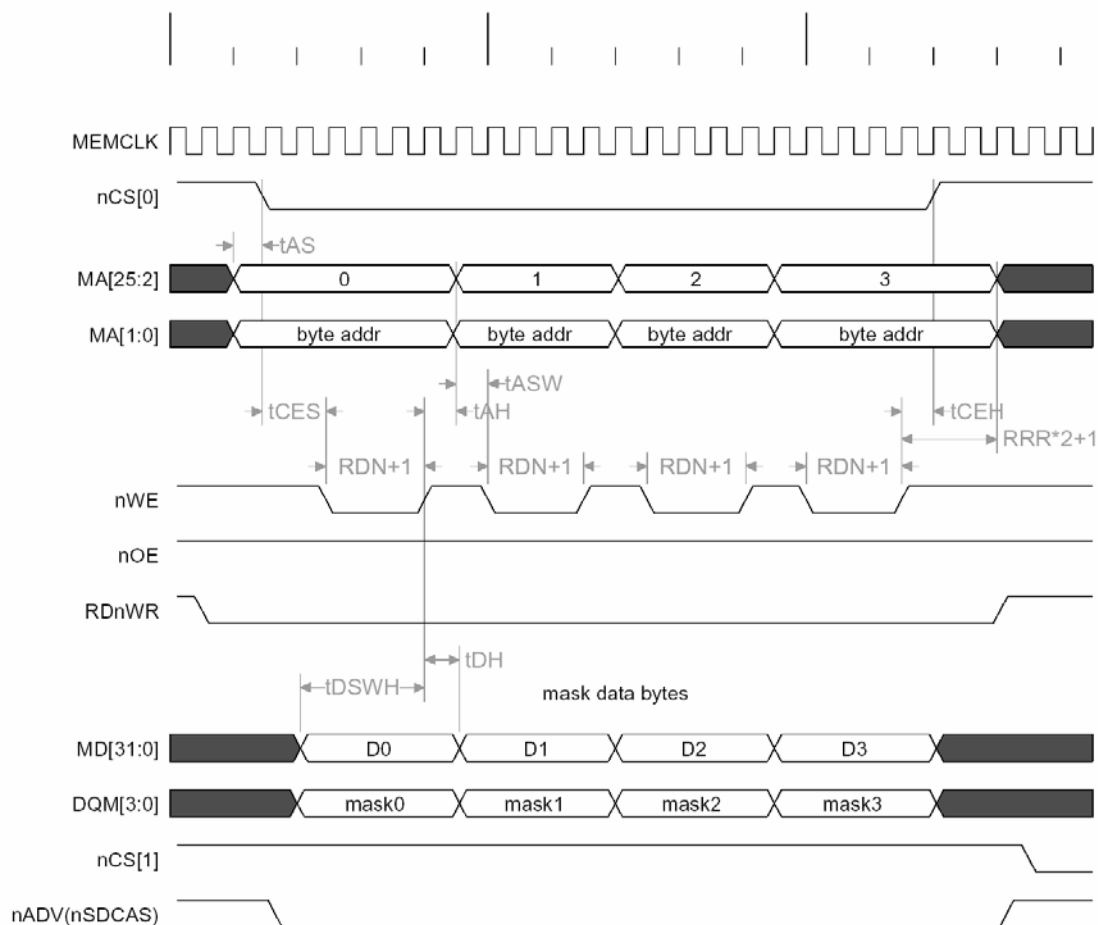
此應用處理器提供 16 或 32 位元非同步 SRAM 介面，使用 DQM 腳位來選擇位元寫入。nCS[5:0]選擇 SRAM 組合。在讀取時會觸發 nOE，寫入時會觸發 nWE。位址位元 MA[25:0]允許每個 SRAM 組合最多有 64Mbyte 被定址。

讀取的時序對非突發傳輸 ROM 而言是相同的（）請參考第-48 頁，6.8.3.1 節「ROM 時序圖表與參數」。MSCx 暫存器理得 RDF 區域選擇讀取的延遲。在寫入週期期間，MSCx[RDn]區域控制 new 低電位時間。MSCx[RRR]為自反觸發 nCS 之後一個讀取到從一個不同的記憶體做存取開始的時間，與自反觸發 nCS 之後一個寫入到不同的記憶體存取開始的時間。在相同的組合之間隨後的讀取之 MSCx[RRR]延遲不會被應用。MSCx[RTx]必須設定為 0b001 來選擇 SRAM。

8.8.4.1 SRAM 時序圖表與參數

如圖 8-11 所示，SRAM 讀取具有和非突發傳輸 ROM 相同的時序，除了 DQM[3:0]是用來做位元組選擇之外。對所有的讀取，DQM[3:0]為 0b000。在寫入期間，全部 32 個腳位都藉由應用處理器被主動驅動，除了個別的 DQM 腳位的狀態。

對寫入至 SRAM，若所有的位元組啟動都關閉（遮蔽資料 DQM=1111），則在此寫入節拍，寫入啟動為 1（nWE=1）。這會導致一段時期，而此期間內，nCS 被觸發，且 nOE 與 new 都沒被觸發。當此發生時，會導致傳給 SRAM 一個節拍的寫入，但是關閉所有的位元組啟動。



在圖 8-14 32 位元 SRAM 寫入時序圖表（4—節拍突發傳輸）
（MSC0:RDF=2，MSC0:RRR=1）

圖 8-14 中，參考定義如下：

- tAS=位址設定為 nCS=1MEMCLK
- tCES=nCS 設定為 nWE=2MEMCLK

- t_{ASW} =位址設定為 nWE 低電位 (觸發) = $1MEMCLK$
- t_{DSWH} =寫入資料設定 DQM 為 nWE 高電位 (反觸發) = $(RDN+2) = 4MEMCLK$
- t_{DH} = nWE 高電位之後資料、 DQM 保留 (反觸發) = $1MEMCLK$
- t_{CEH} = nWE 反觸發之後 nCS 保持觸發 = $1MEMCLK$
- t_{AH} = nWE 反觸發之後位址保留 = $1MEMCLK$
- 突發傳輸節拍之間 nWE 高電位時間 = $2MEMCLK$

8.8.5 可變延遲 I/O (VLIO) 介面概觀

可變延遲 I/O 讀取與 SRAM 讀取不同， nOE 觸發每個突發傳輸的第一個節拍。在晶片選擇 $nCS<x>$ 的觸發之後，第一個 nOE 觸發產生 2 個記憶體週期。可變延遲 I/O 寫入使用 $nPWE$ 而不是 nWE ，因此當執行 VLIO 傳送時，可以執行 SDRAM。藉由設計程式將 $MSCx[RTx]$ 位元設定為 0b1000，可選擇可變延遲 I/O。

VLIO 的讀取與寫入和 SRAM 不同，應用處理器會瀏覽 data-ready 輸入，RDY。RDY 訊號為層級感應，且在輸入時經歷一個 2-stage 同步裝置。當內部 RDY 訊號為高電位，表示 I/O 設備已經準備好來傳送資料。這表示要在 nOE 或 $nPWE$ ($RDF1$) 最小觸發時間內完成一個交易，而 RDY 訊號必須為高電位。而 2 個時脈優先於 nOE 或 $nPWE$ ($RDF-1$) 之最小觸發時間。一旦內部 RDY 訊號為高電位，而達到 $RDF+1$ 之最小觸發時間，在 $memclk$ 的圖形為上升邊緣時，資料將會被保留。而一旦資料被保留，在 $memclk$ 的下一個上升邊緣或是任何週期之後，位址可能會改變。在資料被保留的一個 $memclk$ 之後， nOE 與 $nPWE$ 訊號會被反觸發。在一個隨後的資料節拍之前一個 $RDN+1$ 記憶體週期之內， nOE 或 $nPWE$ 會維持反觸發狀態。晶片選擇與位元組選擇 (即 $DQM[3:0]$) 維持一個記憶體週期為觸發狀態，在突發傳輸的最後 nOE 或 $nPWE$ 反觸發。

對讀取或寫入至 VLIO，存在 DMA 模式，它不會增加位址至 VLIO，它允許埠類型的 VLIO 晶片為應用處理器的介面。參考第 5-24 頁，表 5-12「DCMDx 暫存器為映象與位元定義」。

當寫入至 VLIO，若所有的位元啟動皆關閉，即遮蔽資料 ($DQM=1111$)，則抑制此 VLIO 之寫入節拍寫入啟動 ($nPWE=1$)。這會導致一段 nCS 被觸發，但 nOE 或 $nPWE$ 沒觸發的時期。當有一個節拍寫入至 VLIO，但是所有的位元啟動都關閉時就會發生這種情形。

8.8.5.1 可變延遲 I/O 時序圖表和參數

圖 8-15 為可變延遲 I/O 讀取的時序，而圖 6-16 為可變延遲 I/O 寫入的時序。

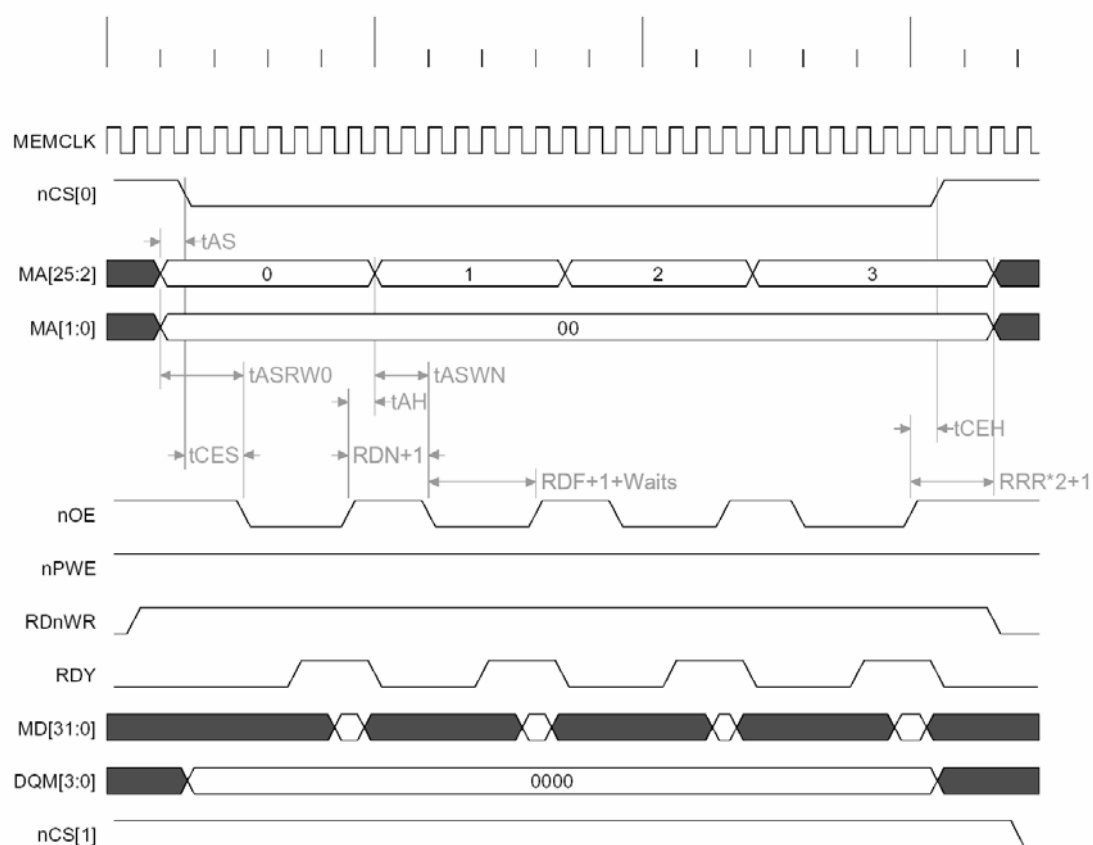


圖 8-15 32 位元可變延遲 I/O 讀取時序 (四突發傳輸 (Burst-of-Four)，每一個節拍有一個等待週期) (MSC0:RDF=2，MSC0:RDN=2，MSC0:RRR=1)

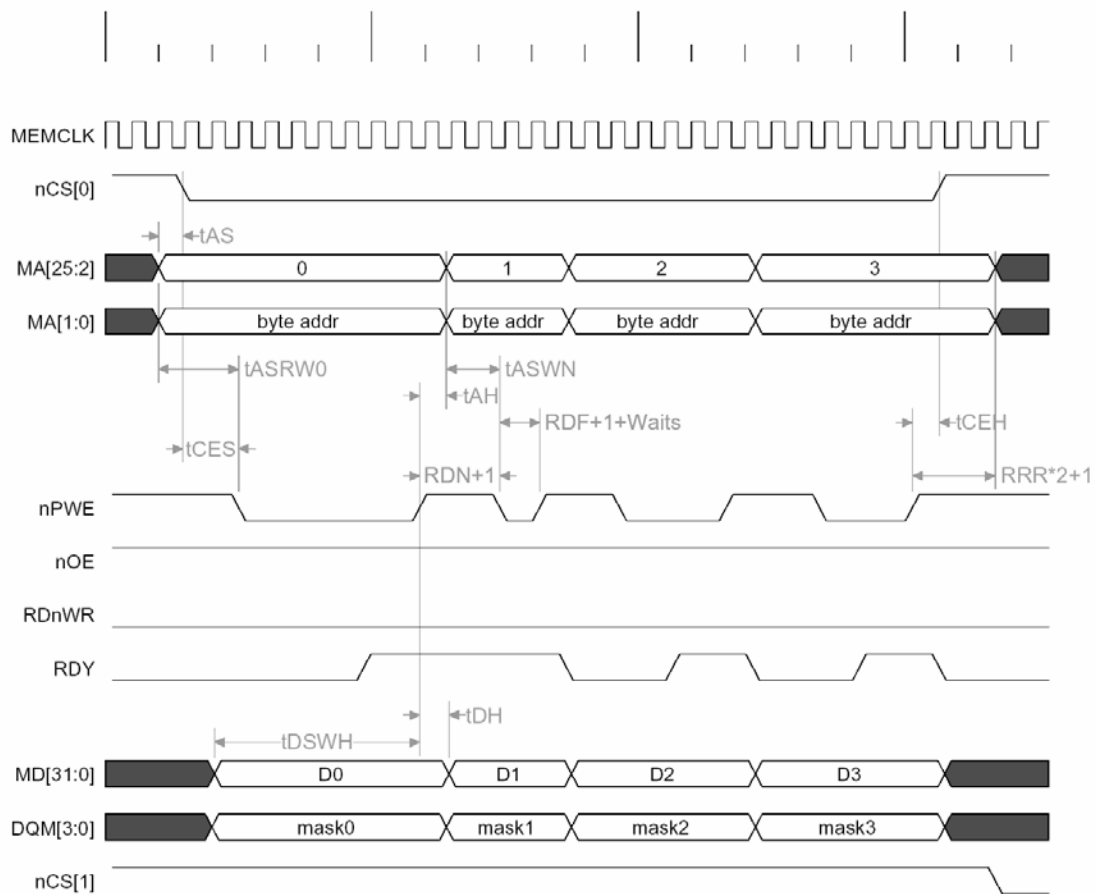


圖 8-16 32 位元可變延遲 I/O 寫入時序 (四突發傳輸 (Burst-of-Four)，每一個節拍有多個變數等待週期)

圖 8-15 和圖 8-16 中，一些參數定義如下：

- t_{AS} = 對 nCS 做位址設定 = 1 MEMCLK
- t_{CES} = nCS 對 nOE 或 $nPWE$ 做設定 = 2 MEMCLKs
- t_{ASRW0} = 對 nOE 或 $nPWE$ low (assertec) 做位址設定 = 3 MEMCLKs
- t_{ASRWn} = 對 nOE 或 $nPWE$ low (assertec) 做位址設定 = RDN MEMCLKs
- t_{DSWH} , 最小值 = 最小的寫入資料, 對 $nPWE$ high (deasserted) 做 DQM 設定 = (RDF+2) MEMCLKs
- t_{DHW} = 在 $nPWE$ high (deasserted) 之後, DQM 保持的資料 = 1 MEMCLK
- t_{DHR} = 在 nOE deasserted 之後, 資料保持需求 = 0 ns
- t_{CEH} = 在 nOE 或 $nPWE$ deasserted 之後, nCS 保持 asserted = 1 MEMCLK
- t_{AH} = 在 nOE 或 $nPWE$ deasserted 之後, 位址保持 = 1 MEMCLK
- 介於突發傳輸節拍之間的 nOE 或 $nPWE$ high 時間 = (RDN+1)

MEMCLKs

8.8.6 FLASH 記憶體介面

應用處理器提供一個類似 SRAM 的介面來存取 Flash 記憶體。MSCx 暫存器裡的 RDF 區域為每個讀取非突發傳輸 Flash 的延遲，或是第一個讀取突發傳輸 Flash 的延遲。在寫入至 Flash 的週期期間，RDF 區域也控制 nWE。在寫入至非突發傳輸 Flash 週期期間，RDN 區域控制隨後的讀取存取時間來突發傳輸 Flash 與 nWE。RRR 是在讀取一個不同的記憶體或是寫入至另一個記憶體存取之後的 nCS 反觸發時間。

從 Flash 記憶體讀取具有下列要求：

- 因為 Flash 預設為 Read-Array 模式，所以在 Flash 之外的讀取是被許可的，而且允許命令鏈接與 DMA 從 Flash 讀取。
- 軟體在讀取之前分割命令與資料，以及寫入命令至 Flash。記憶體控制器在 Flash 讀取之前不會插入任何命令。

寫入至 Flash 記憶體具有下列要求：

- Flash 記憶體空間必須為不可快取（uncacheable）與不可緩衝（unbuffered）。
- 不支援突發傳輸至 Flash。寫入至 Flash 記憶體必須恰好為資料匯流排上 Flash 設備的寬度，而且必須為一次寫入的突發傳輸長度，例如：沒有任何位元組寫入至 32 位元匯流排，與 4 位元組寫入至 32 位元匯流排。
- 當非同步寫入至 Flash 時，命令與資料必須分別提供到寫入指令至記憶體控制器，第一個提供命令，第二個指令提供資料。

記憶體控制器在 Flash 寫入之前不能插入任何命令。軟體必須在正確的順序下寫入命令與資料。沒有任何 Flash 為突發傳輸。DMA 不能寫入 Flash。

當寫入至 Flash，若所有的位元組啟動都被關閉（即遮蔽資料，DQM=1111），抑制寫入啟動（nWE=1）以合於寫入節拍，他可導致一段 nCS 觸發，但 nOE 與 nWE 都沒有被觸發的時期。當有一個節拍寫入至 Flash，但是全部的位元組啟動都被關閉，就會發生這種情形。

8.8.6.1 FLASH 記憶體時序圖表與參數

非突發傳輸 Flash 讀取具有與非突發傳輸 ROM 讀取相同的時序。圖 6-17 顯示寫入至非突發傳輸非同步 Flash 的時序。

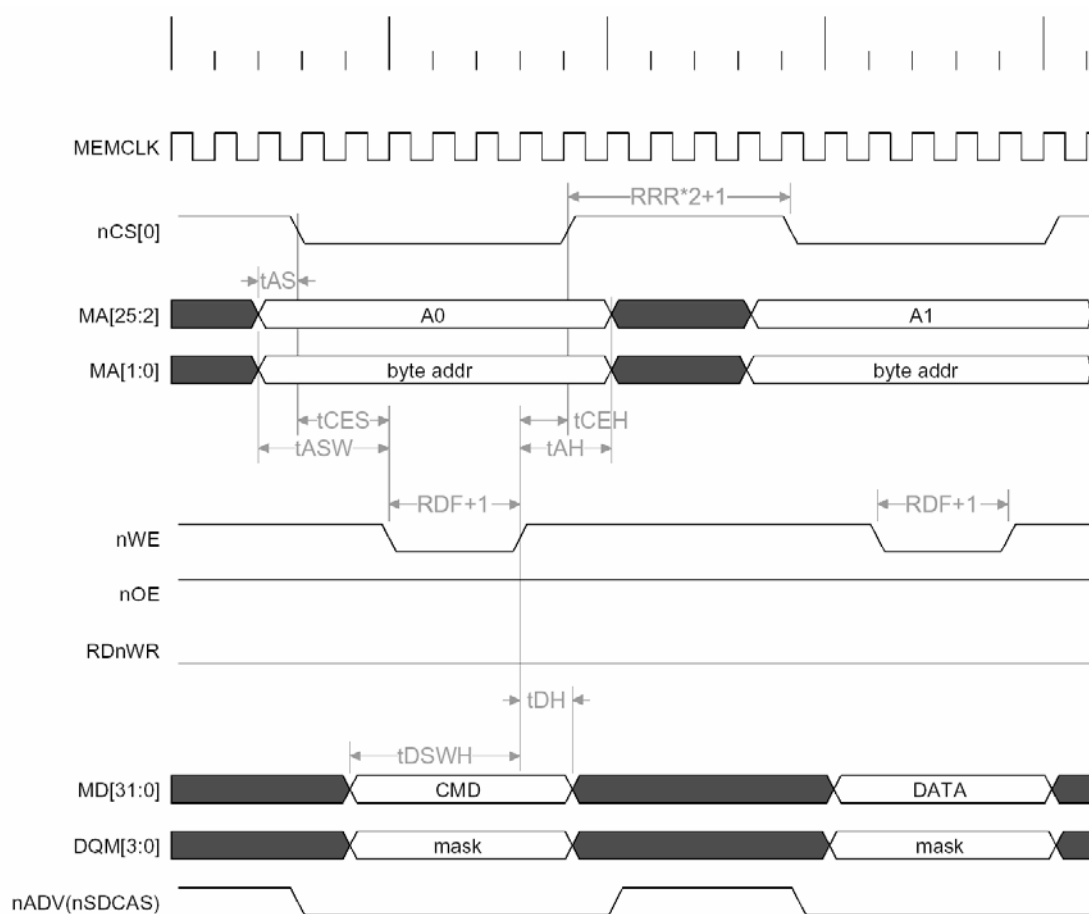


圖 8-17 非同步 32 位元快閃記憶體讀取時序圖表（2 次寫入）

圖 8-17 中，一些參數定義如下：

- t_{AS} = 對 nCS 做位址設定 = 1 MEMCLK
- t_{CES} = 對 nWE 做 nCS 設定 = 2 MEMCLKs
- t_{ASW} = nWE deasserted 的位址設定時間 = 3 MEMCLKs
- t_{DSWH} = 寫入資料，對 nWE deasserted 做 DQM 設定 = $(RDF+2)$ MEMCLKs
- t_{DH} = 在 nWE deasserted 之後， DQM 保持的資料 = 1 MEMCLKs
- t_{CEH} = 在 nWE deasserted 之後， nCS 保持 asserted = 1 MEMCLK
- t_{AH} = 在 nWE deasserted 之後，位址保持 = 1 MEMCLKs

8.9 16 位元 PC 卡／Compact Flash 介面

以下章節提供以 *PC Card Standard – Volume 2 – Electrical Specification, Release 2.1* 與 *CF+ and CompactFlash Specification Revision 1.4* 為基礎的卡片介面的資訊。只支援 8 位元與 16 位元的資料傳輸。

注意：PXA210 應用處理器不支援 16 位元 PC 卡和 Compact Flash 介面。在第 8.9 節「16 位元 PC 卡／Compact Flash 介面」裡將不討論 PXA210 應用處理器。

8.9.1 擴充記憶體時序組態暫存器

MCMEM0、MCMEM1、MCATT0、MCATT1、MCIO0 和 MCIO1 是寫入讀取暫存器，包含可控制 16 位元 PC 卡／Compact Flash 介面之組態時序的位元。

在這個暫存器裡的每個 4 區域的程式設計讓軟體能個別地選擇對 I/O 做存取的期間、一般記憶體以及提供空間給每一個 16 位元 PC 卡／Compact Flash 介面插槽。

請參考表 8-23 到 8-25 之暫存器位映象。參考圖 8-24 與 8-25 之 16 位元 PC 卡／Compact Flash 時序圖。

表 8-23 MCMEMx 暫存器位映象

位元	名稱	說明
31:20	-	保留
19:14	MCMEMx_HOLD	MCMEMx 插槽 x 之反觸發命令後之保留位址記憶體時脈數目。
13:12	-	保留
11:7	MCMEMx_ASST	觸發指令時間的代碼，請參考表 6-26，有此代碼的描述和他在觸發指令上的影響。
6:0	MCMEMx_SET	MCMEMx 插槽 x 之反觸發命令前之設定位址記憶體時脈數目。

表 8-24 MCATTx 暫存器位映象

位元	名稱	說明
31:20	-	保留
19:14	MCMEMx_HOLD	MCMEMx 插槽 x 之反觸發命令後之保留位址記憶體時脈數目。
13:12	-	保留
11:7	MCMEMx_ASST	觸發指令時間的代碼，請參考表 6-26，有此代碼的描述和他在觸發指令上的影響。
6:0	MCMEMx_SET	MCMEMx 插槽 x 之反觸發命令前之設定位址記憶體時脈數目。

表 8-25 MCIOx 暫存器位映象

位元	名稱	說明
31:20	-	保留
19:14	MCMEMx_HOLD	MCMEMx 插槽 x 之反觸發命令後之保留位址記憶體時脈數目。
13:12	-	保留
11:7	MCMEMx_ASST	觸發指令時間的代碼，請參考表 6-26，有此代碼的描述和他在觸發指令上的影響。
6:0	MCMEMx_SET	MCMEMx 插槽 x 之反觸發命令前之設定位址記憶體時脈數目。

表 8-26 介面卡指令觸發代碼表

程式化的位元 值（代碼）	代碼十進位的 值（代碼）	#MEMCLKs 在檢查 nPWAIT='1' 之前，需等待 （代碼+2）	#MEMCLKs 在 NPWAIT ='1'之後， assert 指令(2* 代碼+1)	#MEMCLKs 最小指令 assertion 時間 （3*代碼+3）
-----------------	-----------------	---	--	--

8.9.2 擴充記憶體組態暫存器（MECR）

為了排除外部硬體，當有插卡（16 位元 PC 卡／Compact Flash）插入或拔離插槽時，表 8-27 的 2 個位元會通知記憶體控制器，還有告知系統支援的卡數。需要插槽數目（number-of-sockets）位元是因為 PSKTSEL 腳位在單一插槽模式被當成 nOE 來做資料收發。當沒有卡插在插槽時，藉由忽略 nIOIS16 和 nPWAIT，而使用 card-is-there 位元來減少外部硬體。

表 8-27 MECR 組態暫存器位映象

位元	名稱	說明
31:2	-	保留
1	CIT	Card-Is-There 0 – 沒有插卡 1 – 有插卡 當至少有一插卡時必須用軟體來設定，而卡全部除後也必須用軟體來清除。
0	NOS	Number-of-Sockets 0 – 1 個插槽 1 – 2 個插槽

8.9.3 16 位元 PC 卡概觀

PXA250 應用處理器的 16 位元 PC 卡介面提供一個 16 位元 PC 卡插槽控制，此插槽有一個 PSKTSEL 腳位，可支援第 2 個插槽。PXA250 應用處理器介面支援 8 位元和 16 位元的週邊，處理共同記憶體 (common memory)、I/O 和屬性記憶體 (attribute memory) 存取。每一個存取的時間是根據在 MCMEMx、MCATTx 和 MCIOx 暫存器內程式化的數值來決定。圖 8-21 有 16 位元 PC 卡空間的記憶體映象。

注意：PXA210 應用處理器不支援 16 位元 PC 卡。

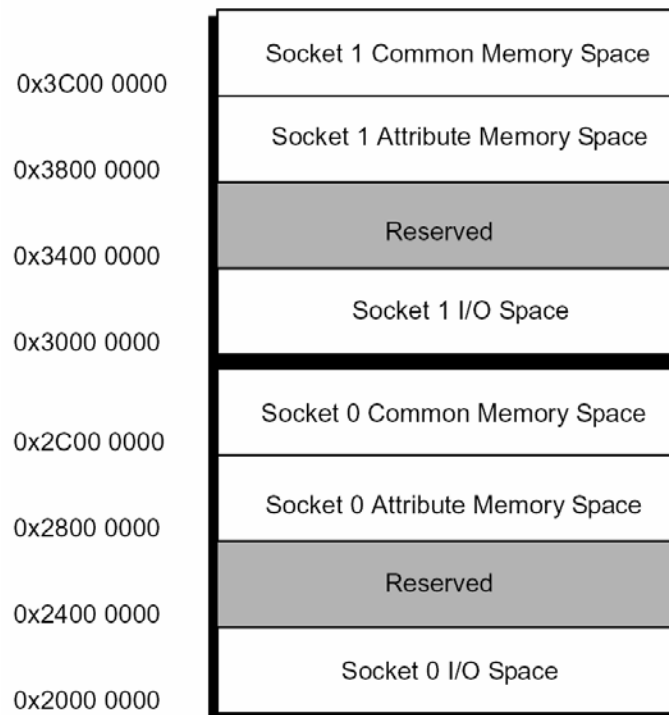


圖 8-21 16 位元 PC 卡記憶體映象

16 位元 PC 卡記憶體映象空間分成 8 個分割區，每個插槽有 4 個分割區，此 4 個分割區為：共用記憶體 (common memory)、I/O、屬性記憶體 (attribute memory) 和保留空間。每一個分割區皆以 64Mbyte 的邊界開始。

在做存取時，MA25:]、nPREG 和 PSKTSEL 腳位會同時被驅動。當驅動 nPCE1 和 nPCE2 時，會產生共用記憶體和屬性記憶體存取的位址訊號。做/存取時，其數值是根據 nIOIS16 的值，且在 nIOIS16 為有效值之後，其數值才是有效且固定時間的。

共用記憶體和屬性記憶體存取觸發 nPOE 和 nPWE 控制訊號。I/O 存取觸發 Nior 或 Niow 控制訊號，使用 nIOIS16 輸入訊號來決定傳輸匯流排寬度(8 或 16 位元)。PXA250 應用處理器使用 nPCE2 來指示擴充設備的上半層資料匯流排(MD15:8)) 用來傳輸，而使用下半層 (MD[7:0]) 是由 nPCE1 來指示。nPCE1 和 nPCE2 被觸發來做 16 位元存取。

請參考表 628~635，在共用記憶體、I/O 和屬性記憶體之間的訊號組合。

當對卡式插槽做寫入時，經由啟動一個內部位元組來遮蔽一個位元組，而寫入不會發生在外部匯流排。做讀取時，即是只有請求位元組，總是從插槽中讀取 1 個半字組。在某些例子中，即使只有請求 1 位元組，基於內部位址校正，會讀取一整個字組。

卡介面增量位址 (Card interface increment the address) 支援所有 DMA 模式。

表 8-28 共用記憶體空間寫入指令

nPCE2	nPCE1	MA<0>	nPOE	nPWE	MD[15:8]	MD[7:0]
0	0	0	1	0	奇位元組	偶位元組
1	0	0	1	0	不重要	偶位元組
1	0	1	1	0	不重要	奇位元組

表 8-29 共用記憶體空間讀取指令

nPCE2	nPCE1	MA<0>	nPOE	nPWE	MD[15:8]	MD[7:0]
0	0	0	0	1	奇位元組	偶位元組

表 8-30 屬性記憶體空間寫入指令

nPCE2	nPCE1	MA<0>	nPOE	nPWE	MD[15:8]	MD[7:0]
0	0	0	1	0	不重要	偶位元組
1	0	0	1	0	不重要	偶位元組
1	0	1	1	0	不重要	不重要

表 8-31 屬性記憶體空間讀取指令

nPCE2	nPCE1	MA<0>	nPOE	nPWE	MD[15:8]	MD[7:0]
0	0	0	0	1	不重要	偶位元組

表 8-32 16 位元 I/O 空間寫入指令 (nIOIS 16 = 0)

nPCE2	nPCE1	MA<0>	nPOE	nPWE	MD[15:8]	MD[7:0]
0	0	0	1	0	奇位元組	偶位元組

1	0	0	1	0	不重要	偶位元組
1	0	1	1	0	不重要	奇位元組

表 8-33 16 位元 I/O 空間讀取指令 (nIOIS 16 = 0)

nPCE2	nPCE1	MA<0>	nPOE	nPWE	MD[15:8]	MD[7:0]
0	0	0	0	1	奇位元組	偶位元組

表 8-34 8 位元 I/O 空間寫入指令 (nIOIS 16 = 1)

nPCE2	nPCE1	MA<0>	nPOE	nPWE	MD[15:8]	MD[7:0]
1	0	0	1	0	不重要	偶位元組
1	0	1	1	0	不重要	奇位元組

表 8-35 8 位元 I/O 空間讀取命令 (Niois16=1)

nPCE2	nPCE1	MA<0>	nPIOR	nPIOW	MD[15:8]	MD[7:0]
1	0	0	0	1	不重要	偶位元組
1	0	1	0	1	不重要	奇位元組

8.9.4 16 位元 PC 卡實用之外部邏輯

PXA250 應用處理器需要外部邏輯設計來完成 16 位元 PC 卡插槽介面，可使用 1 個或 2 個插槽。

圖 8-22 與 8-23 顯示出 1 個與 2 個插槽組態的一般設定。在 *PC Card Standard – Volume 2 – Electrical Specification* 中有關於圖中拉高部分的說明。低功率系統必須在睡眠期間從拉高的部分中移除電源，以避免非必要的電源消耗。

GPIO 或是記憶體對應外部暫存器可被用來控制 16 位元 PC 卡介面、電源選擇 (Vcc 與 Vpp) 與驅動啟動的重置。

圖 8-22 與 8-23 顯示出支援熱插入 (hot insertion) 功能所需要的邏輯設計。為了支援雙電壓 (dual voltage)，PXA250 應用處理器所有的輸入訊號都需要層級移位緩衝區。熱插入功能需要每個插槽間的電力都是分離的，而且與記憶體系統也是分離的。若不需要此功能，可以參考下列的圖表來減少邏輯設計。

軟體負責設定 MECRNOS 與 MECRCIT 位元。當插入 PC 卡時，在 CIT 做寫入時 NOS 會指出系統所支援的插槽數目。輸入腳位 nPWAIT 與 nIOIS16 為三態 (three state) 的，直到卡偵測 (CD) 訊號被觸發。為了達到此功能，在偵測

到 PC 卡時，軟體會程式化 MECR[CIT] 位元。當 MECR[CIT] 為 1 時，nPWAIT 與 nIOIS16 輸入會被忽略。

圖 8-22 顯示出 1 個插槽的系統所需要的最小邏輯設計，包含了：資料收發器、位址緩衝區，與層級位移緩衝區。可藉由 PSKTSEL 訊號來啟動收發器。收發器的 DIR 腳位是藉由 RDnWR 腳位來驅動的。GPIO 是為了位址與 nPWE 線的三態訊號而使用。因為除了介面卡之外，這些訊號是為了記憶體而使用，所以這些訊號必須為三態。卡偵測 CD[1:0] 訊號是藉由訊號設備來驅動。

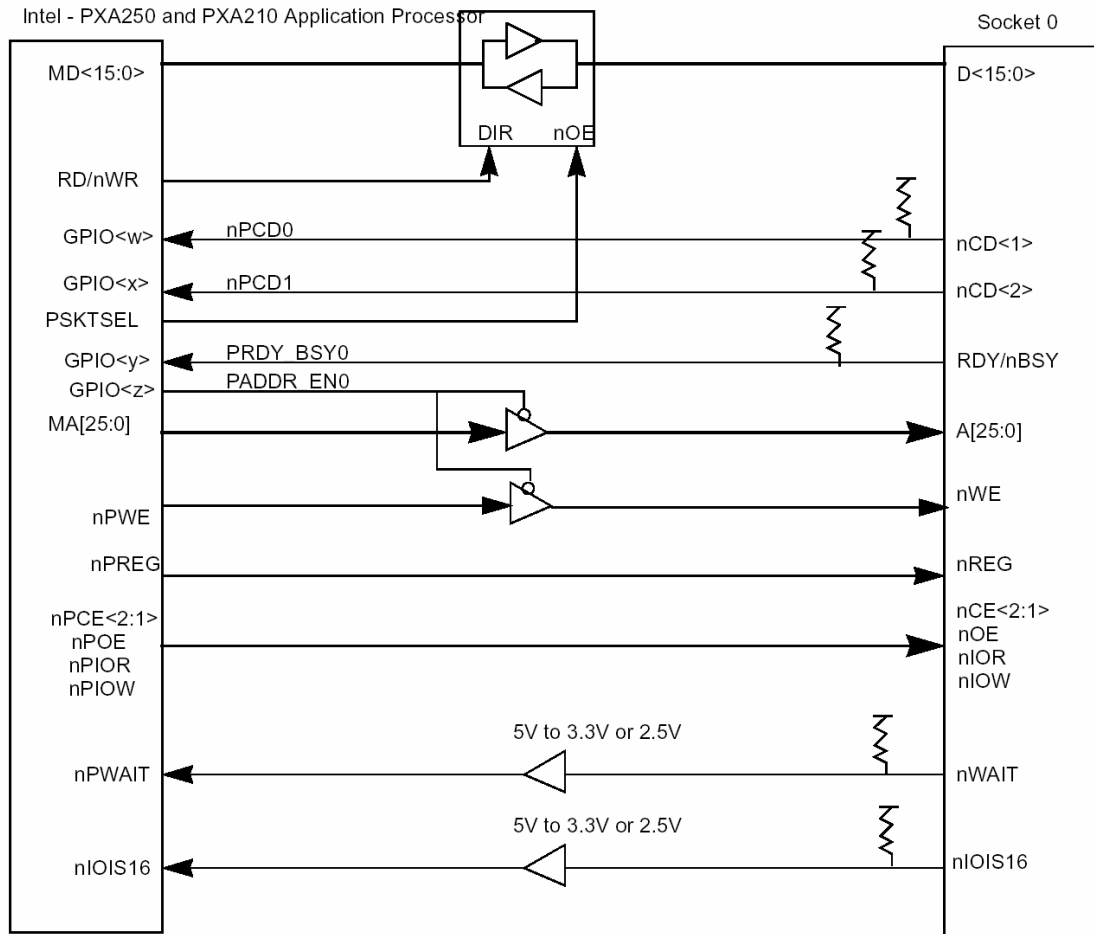


圖 8-22 一個插槽組態之擴充卡外部邏輯

圖 8-23 顯示出 2 個插槽的系統所需要之邏輯設計。RDY/nBSY 訊號是經由一緩衝區轉送至 2 個分開的 GPIO 腳位。在資料匯流排收發器控制邏輯中，nPCE1 控制低位元組通道之啟動，nPCE2 控制高位元組通道之啟動。

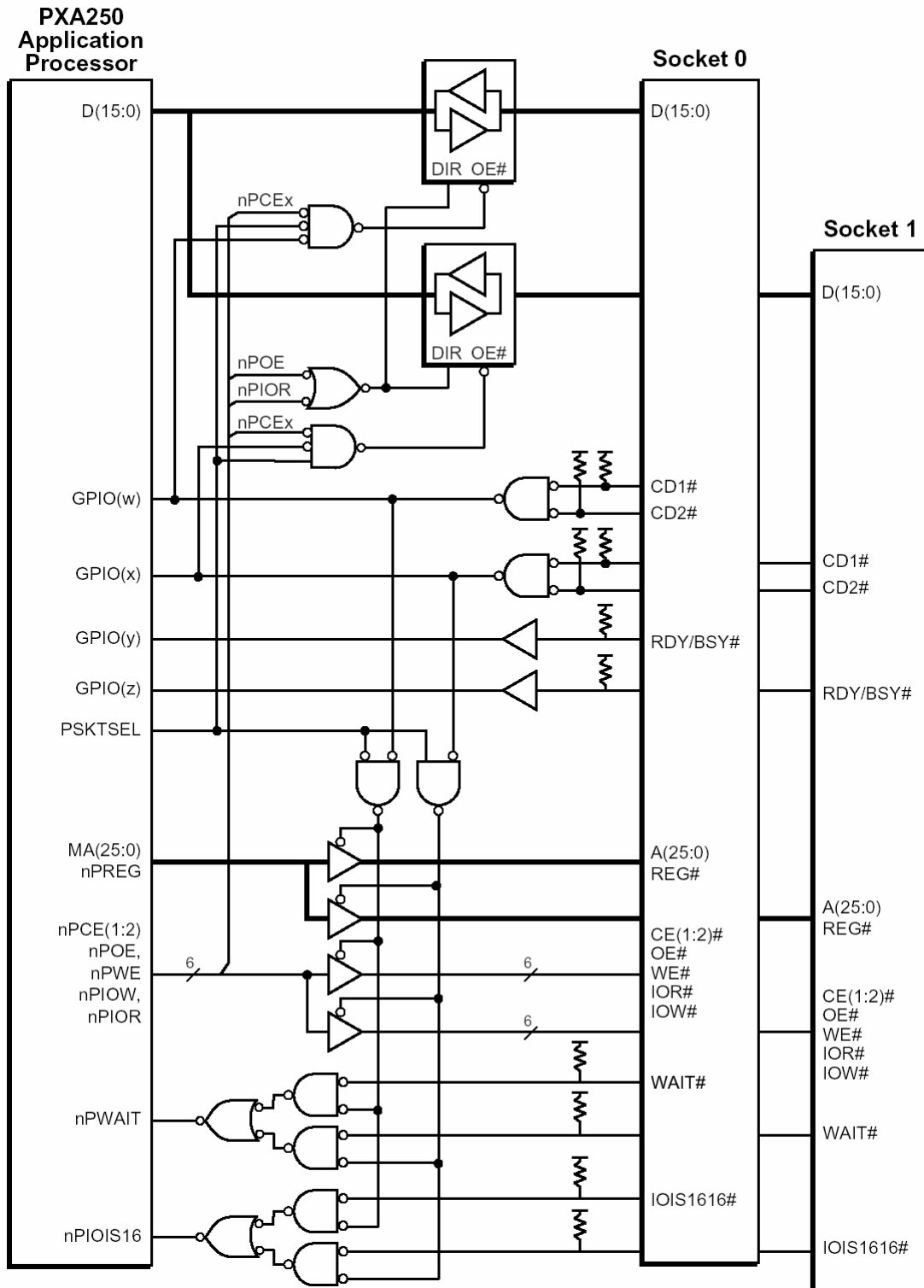


圖 8-23 兩個插槽組態之擴充卡外部邏輯

8.9.5 擴充卡介面時序圖表與參數

圖 624 顯示出一個 16 位元記憶體或 I/O 裝置之 16 位元存取。當存取共用記憶體時，根據定址卡槽或 1 來決定使用到 MCMEM0 或 MCMEM1 暫存器。使用 MCIO0 與 MCIO1 來做 IO 存取，而使用 MCATT0 與 MCATT1 來做屬性記憶體存取。

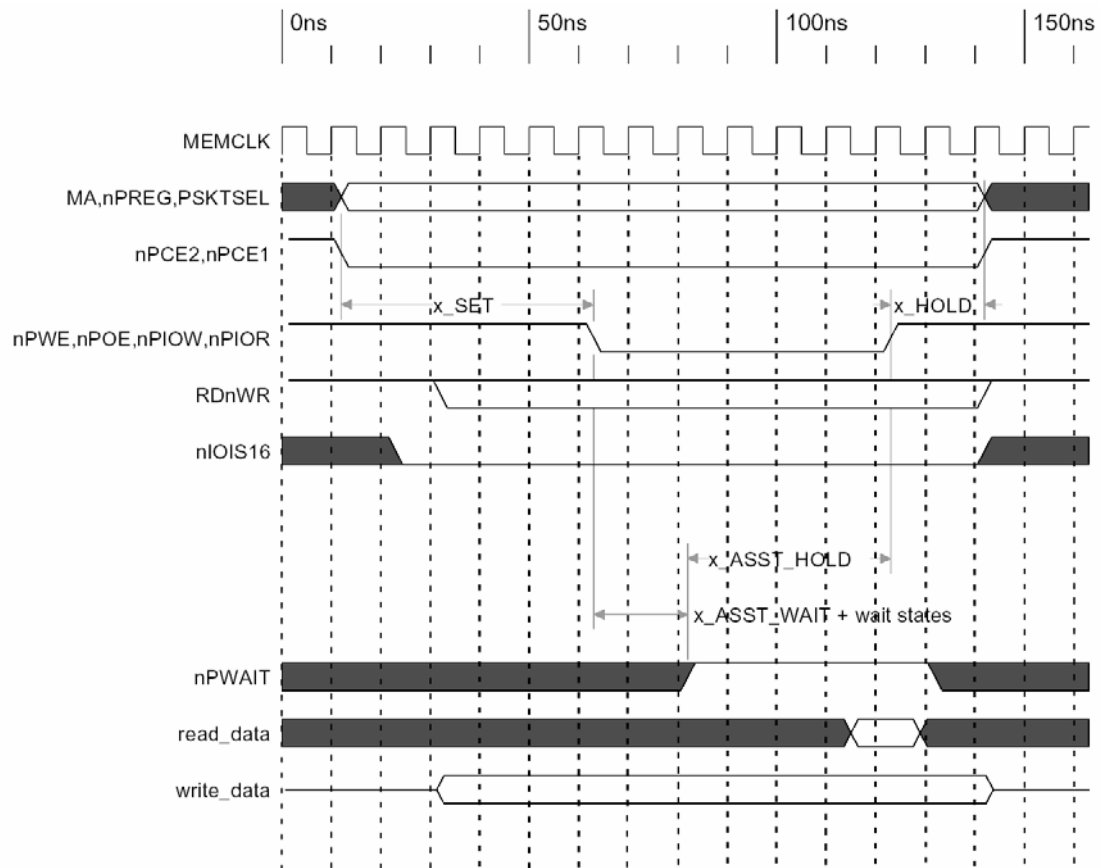


圖 8-24 16 位元 PC 卡記憶體或 I/O 之 16 位元（半字組）存取

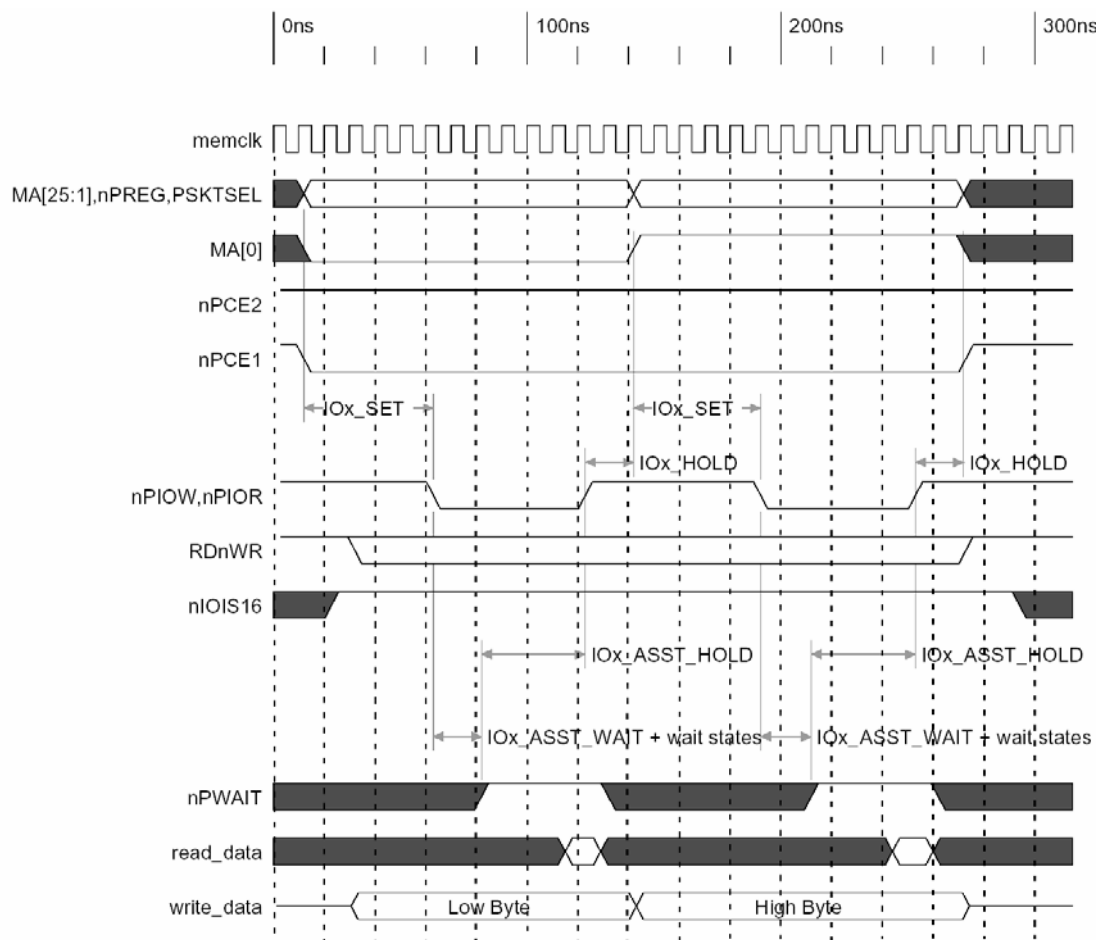


圖 8-25 16 位元 PC 卡 I/O 16 位元存取至 8 位元設備

在檢查 nPWAIT 訊號值之前，此介面會等待一段最小可能時間 (X_ASST_WAIT)。若 nPWAIT 訊號已觸發 (低電位)，此介面會持續等待直到反觸發 nPWAIT。當 nPWAIT 訊號被反觸發，此命令會繼續維持觸發狀態一段固定的時間 (X_ASST_HOLD)。

8.10 相容晶片介面

此應用處理器可以兩種不同的方式來連接至一相容晶片：

- 選擇性匯流排主要模式 (Alternate Bus Master Mode)
- 可變延遲/ (請參考第 8.8.5 節「可變延遲 I/O (VLIO) 介面概觀」)。

連接方法圖示於 8-26 與 8-27 中。

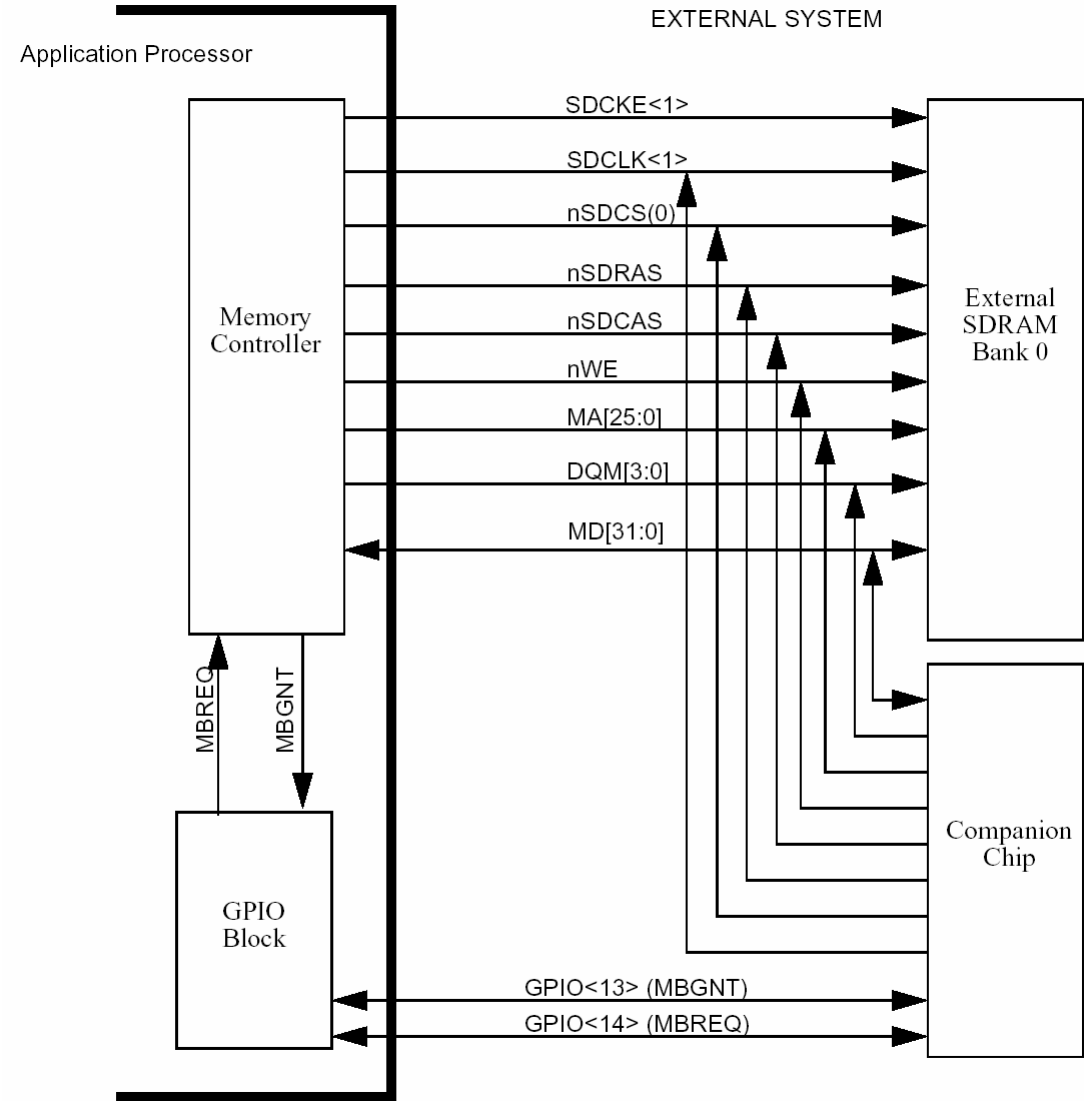


圖 8-26 交替匯流排主狀態

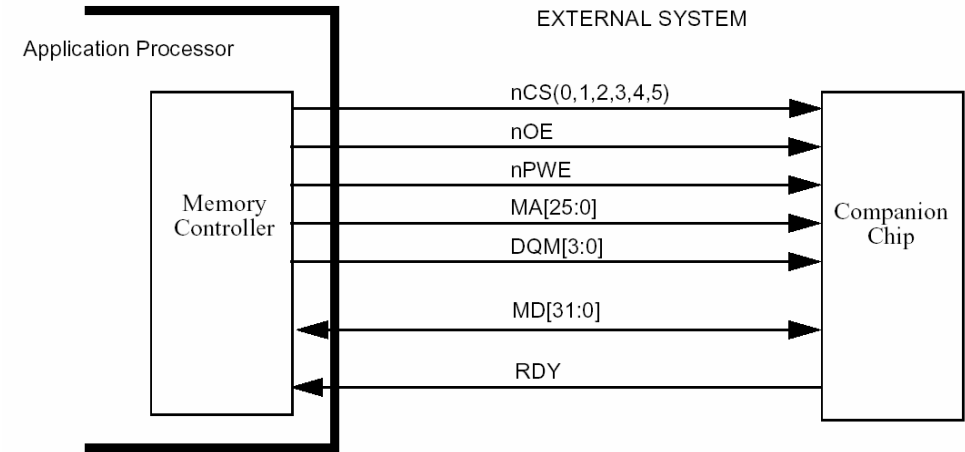


圖 8-27 可變延遲 I/O

8.10.1 交換匯流排主要模式 (Alternate Bus Master Mode)

應用處理起支援在 SDRAM 記憶體匯流排上的 Alternate master。利用硬體訊息交換，給予 Alternate master 匯流排控制權，此訊息交換是在 MBREQ 和 MBGNT 之間執行，它們分別在 GPIO14 和 <13> 上的交換函數所引起的。如果計時器和計時器啟動位元是啟動的狀態，記憶體控制器會執行 SDRAM 更新。當 Alternate master 必須掌控記憶體匯流排時，則它會觸發 MBREQ。然後它會反觸發 SDCKE<1> 和設定所有記憶體匯流排腳位的三態和 SDRAM bank0 (nSDCS<0>、MA[25:0]、nOE、nWE、nSDRAS、nSDCAS、SDCLK<1>、MD[31:0]、DQM[3:0]) 一同被使用。所有其他記憶體和 16 位元 PC 卡腳位維持驅動狀態。RD/nWR 維持低電位。然後應用處理器擁有 MBGNT，交換主要模式開始驅動所有腳位，包括 SDCLK<1>，此應用處理器會重新觸發 SDCKE<1>。

以下是授予的順序與時序：

1. Alternate master 觸發 MBREQ。
2. 若計時器和計時器啟動位元是啟動的狀態，記憶體控制器會執行 SDRAM 更新。
3. 若啟動 MDCNFG:SA1111x 位元，記憶體控制器會送出 SDRAM 和 MRS 指令，將 SDRAM 突發傳輸長度改變為 1。此改變是針對 SA-1111 的兼容性。
4. 在 time(t) 時，應用處理器反觸發 SDCK<1>。
5. 在 time(t + 1MEMCLK) 時，應用處理器會設定 SDRAM 輸出的三態。
6. 在 time(t + 2MEMCLK) 時，應用處理器會觸發 MBGNT。
7. 在 time(t + 3MEMCLK) 時，Alternate master 會驅動 SDRAM 輸出。
8. 在 time(t + 4MEMCLK) 時，應用處理器會觸發 SDCKE<1>。

在設定三態期間，MBREQ 和 MBGNT 都維持高電位，且外部設備可以掌管三態腳位。外部設備必須驅動所有三態腳位。浮動輸入會引起電流過度的跨越與錯誤的 SDRAM 命令。在設定三態期間，應用處理器無法執行 SDRAM 更新週期。

在設定三態期間，Alternate master 必須承擔 SDRAM 完整性的責任。系統必須設定為可以確保 Alternate mastership 的時間被限制為比更新時間還少或是 Alternate master 執行一個更新計數器執行一個更新計數器，並在適當的間隔執行更新。

為了放出匯流排，Alternate master 會反觸發 MBREQ。應用處理器會反觸發 SDCKE<1> 和 MBGNT。Alternate master 停止驅動 SDRAM 腳位。應用處理器驅

動所有 SDRAM 腳位，然後重新觸發 SDCKE<1>。

以下是釋放的順序和時序：

1. Alternate master 會反觸發 MBREQ。
2. 在 time(t)時，應用處理器會反觸發 SDCKE<1>。
3. 在 time(t + 1MEMCLK)時，應用處理器會反觸發。
4. 在 time(t + 2MEMCLK)之前，Alternate master 會設定 SDRAM 輸出三態。
5. 在 time(t + 3MEMCLK)時，應用處理器會驅動 SDRAM 輸出。
6. 在 time(t + 4MEMCLK)時，應用處理器會觸發 SDCKE<1>。
7. 若計時器和計時器啟動位元是啟動的狀態，記憶體控制器會執行 SDRAM 更新。
8. 若啟動 MDCNFG:SA1111 位元，記憶體控制器會送出 MRS 命令給 SDRAM，將 SDRAM 突發傳輸長度改變為 4。

若應用處理器的更新計數器在 Alternate master 的佔有期間請求一個更新週期，會先執行一個更新週期，然後任何其他匯流排交易會延遲。

寫入以下暫存器來設定訊號，以啟動 alternate bus master：

- 寫入 GPIO 腳位方向(Pin Direction)暫存器 GPDR0 以設定位元 13(將 GPIO<13>當成輸出)，而且清除位元 14 (將 GPIO<14>當成輸入)。
- 寫入 GPIO 選擇功能 (Alternate Function) 暫存器 GAFR0_L 以設定位元 27 與 26 為 0b11 (啟動 MBGNT 選擇功能 3)，而且設定位元 29 和 28 為 0b01 (啟動 MBREQ 選擇功能 1)。

8.10.1.1 GPIO 重置

在 GPIO 重置其間，GPIO (包括 MBREQ 和 MBGNT) 要設定自己的重置狀態。MBREQ 和 MBGNT 腳位成為一般用途的輸入。系統在這些腳位上必須有外部拉起 (pullup)，以防止腳位浮動。

當 GPIO 重置時，若有一個處理在執行，Alternate master 會喪失匯流排的控制權。當 MBGNT 被反觸發時，Alternate master 必須立刻放棄匯流排，因為若沒有重置記憶體控制器，在觸發 GPIO 重置之後，會立刻發生一個 SDRAM 更新。

8.10.1.2 nVDD_FAULT/nBATT_FAULT 與關閉 PMCR[IDAE]

若發生一個 vDD_FAULT 或 nBATT_FAULT，應用處理器會將 GPIO 放入它

們的睡眠狀態。在睡眠期間，必須程式化 MBGNT 為高電位狀態。

記憶體控制器防止應用處理器進入睡眠模式，直到完成所有重要的工作。包含等待 MBREQ 從 Alternate mode 反觸發。為了達到睡眠模式最佳的效能，當 MBGNT 反觸發時，選擇主要模式必須立即放棄使用匯流排，或是當作睡眠登錄常式，選擇主要模式可以被關閉。若是有需要，選擇主要模式可以佔用匯流排直到它完成工作。在記憶體控制器完成所有重要的處理之後，它會使 SDRAM 進入自行更新狀態，且允許應用處理起來完成睡眠登錄程序。

注意：當 nVDD_FAULT 或 nBATT_FAULT 被觸發時，交替的匯流排主要模式必須反觸發 MBREQ。

8.10.1.3 nVDD_FAULT/nBATT_FAULT 與啟動 PMCR[IDAE]

若 nVDD_FAULT 或 nBATT_FAULT 發生而啟動 PMCR[IDAE]，應用處理器會引起一個不正確的資料放棄例外（Imprecise Data Abort Exception）。這會使應用處理器在進入睡眠模式之前做任何要求的動作。睡眠登錄以及啟動 PMCR[IDAE]與平常的睡眠登錄相似。應用處理器將 GPIO 放入它們的睡眠狀態。在睡眠期間，必須程式化 MBGNT 為高電位狀態。

記憶體控制器防止應用處理器進入睡眠模式，直到完成所有重要的工作。包含等待 MBREQ 從 Alternate master 反觸發。為了達到睡眠模式最佳的效能，當 MBGNT 反觸發時，選擇主要模式必須立即放棄使用匯流排，或是當作睡眠登錄常式，選擇主要模式可以被關閉。若是有需要，選擇主要模式可以佔用匯流排直到它完成工作。在記憶體控制器完成所有重要的處理之後，它會使 SDRAM 進入自行更新狀態，且允許應用處理起來完成睡眠登錄程序。

注意：當 nVDD_FAULT 或 nBATT_FAULT 被觸發時，交替的匯流排主要模式必須反觸發 MBREQ。

8.11 啟動記憶體之選擇和設定

此章節說明控制啟動記憶體組態的設定。

8.11.1 啟動選擇

此應用處理器允許 6 個啟動組態。藉由 3 個腳位 (BOOT_SEL(2:0)) 來決定這些組態，這些組態描述於表 6-36 中。在啟動時，組態暫存器的輸入腳位的影響描述於第 8-56 頁，8.9 節「16 位元 PC 卡／Compact Flash 介面」中。

表 8-36 BOOT_SEL 定義

BOOT_SEL			啟動位置
2	1	0	
0	0	0	非同步 32 位元 ROM
0	0	1	非同步 16 位元 ROM
0	1	0	保留
0	1	1	保留
1	0	0	1 個 32 位元同步遮罩 ROM (64Mbit) 2 個 16 位元同步遮罩 ROM = 32 位元 (每一個為 32Mbit)
1	0	1	1 個 16 位元同步遮罩 ROM (64Mbit)
1	1	0	2 個 16 位元同步遮罩 ROM = 32 位元 (每一個為 64Mbit)
1	1	1	1 個 16 位元同步遮罩 ROM (32Mbit)

8.11.2 啟動時間預設值

以下章節提供啟動時間預設參數之相關資訊。

8.11.2.1 BOOT_DEF 唯讀暫存器 (BOOT_DEF)

唯讀 BOOTSDEF 暫存器包含 BOOT_SEL 腳位與單一封包類型位元之啟動數值。請參考表 8-37。

表 8-37 BOOT_DEF 暫存器位映象

位元	名稱	說明
31:4	-	保留
3	PKG_TYPE	處理器類型。此位元為唯讀。 0 – PXA210 應用處理器 1 – PXA250 應用處理器
2:0	BOOT_SEL	包含 3 個應用處理器輸入腳位 (BOOT_SEL[2:0])。請參考

		表 6-36。這些位元為唯讀。 參考表 6-38 之有效啟動組態。參考 6.11.2.2 節之啟動時間組態描述。
--	--	---

表 6-38 處理器類型之有效啟動組態

處理器類型	BOOT_SEL 訊號之有效啟動組態
0 (PXA210 應用處理器)	001
	011
	101
	111
1 (PXA250 應用處理器)	000
	001
	010
	011
	100
	101
	110
	111

8.11.2.2 啟動時間 (Boot-Time) 組態

啟動時間組態顯示於圖 6-28~6-30 之中。不支援一個單一 32Mbit SMROM 之啟動與 Nword=。啟動時會影響三個組態暫存器—MSC0:RBW0、MDREFR:E0PIN/K0RUN 與 SXCNFG。

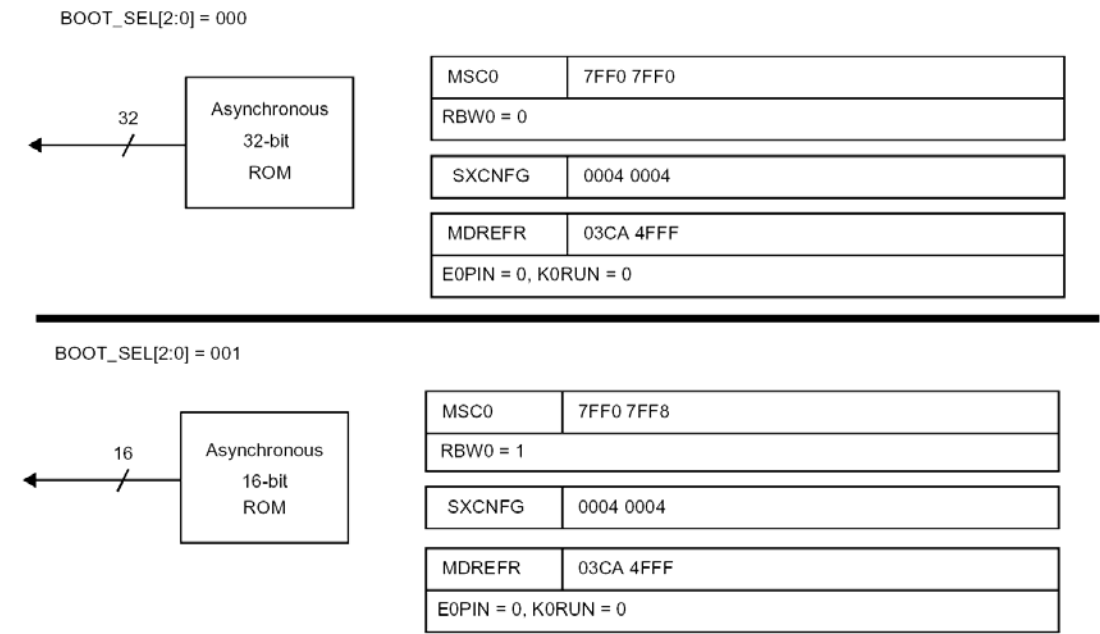


圖 8-28 非同步啟動時間組態與暫存器預設值

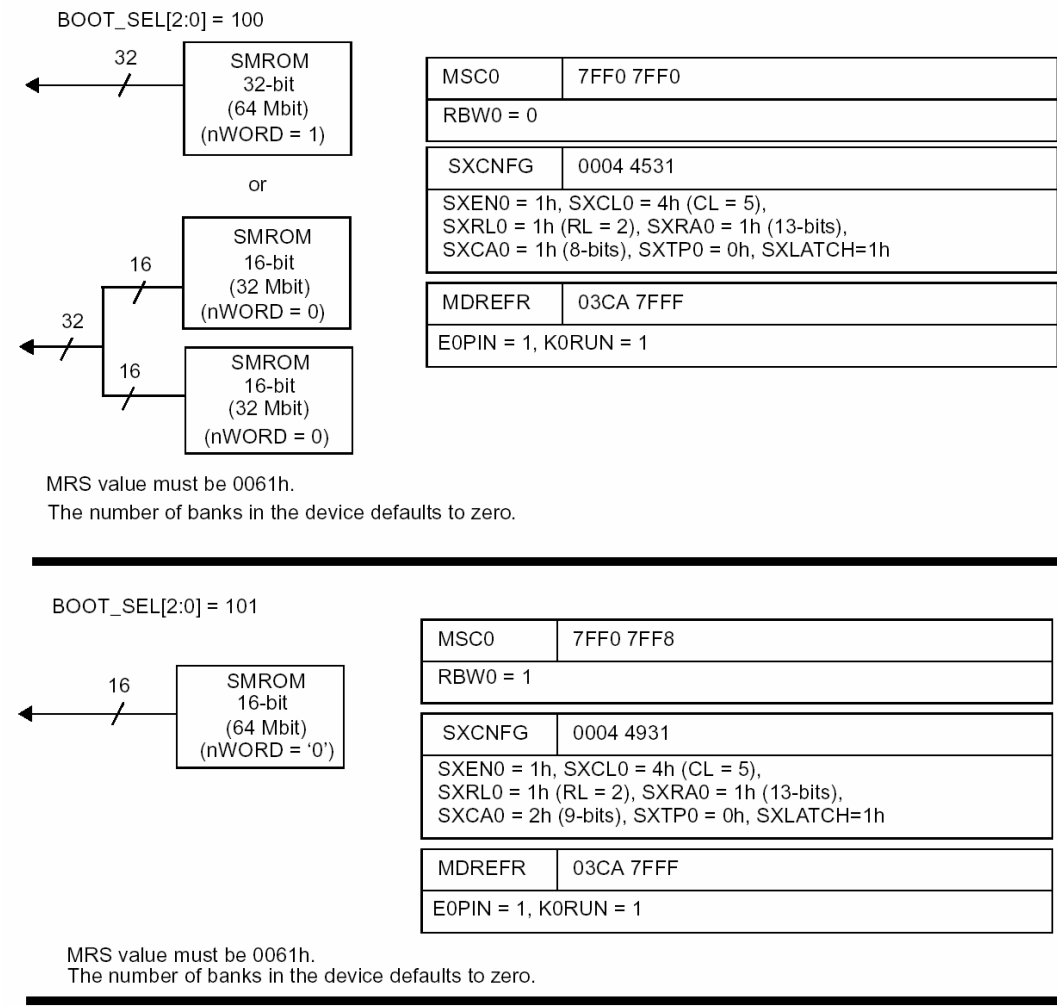


圖 8-29 SMROM 啟動時間組態和暫存器預設值

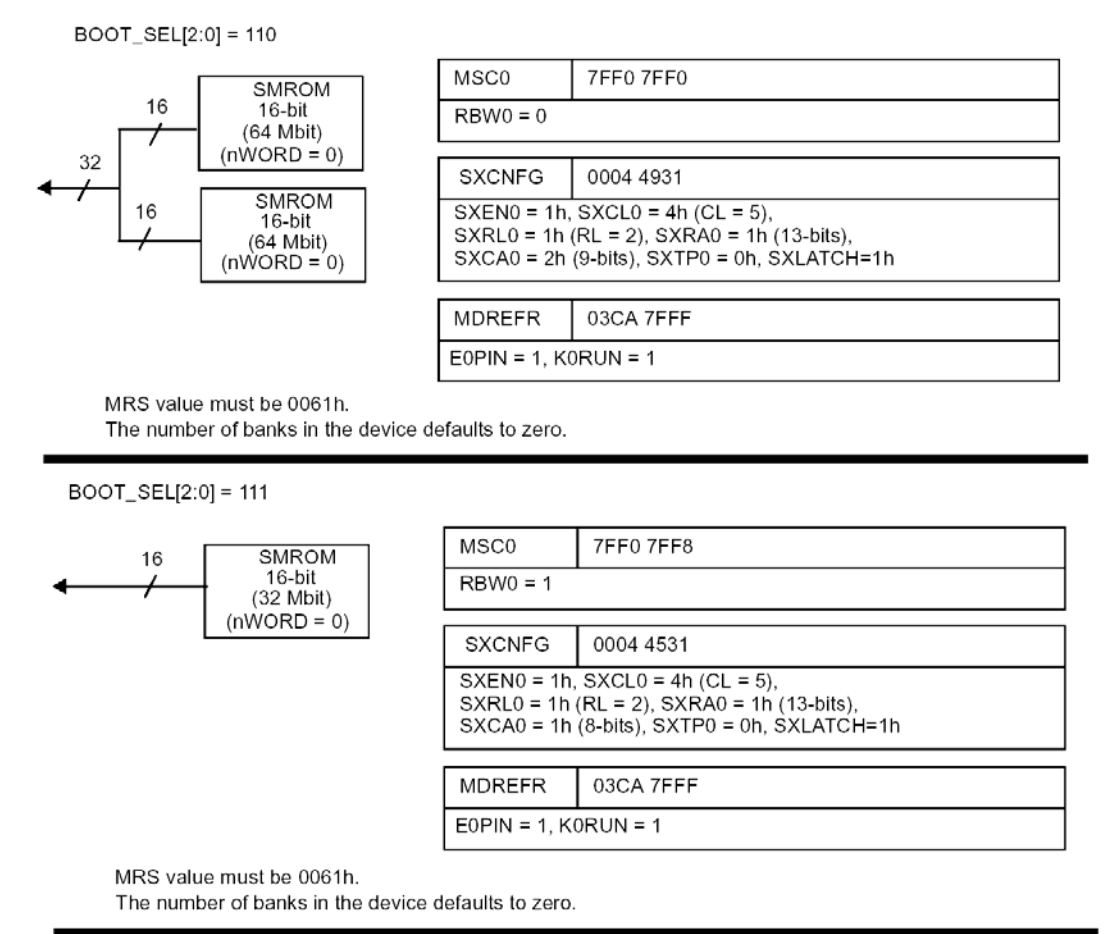


圖 8-30 SMROM 啟動時間組態與暫存器預設值

8.11.3 記憶體介面重置與初始化

重置時，SDRAM 介面為關閉的。Boot ROM 之重置值由 BOOTSEL 來決定。記憶體腳位與控制器的狀態顯示於表 8-39 中。

表 8-39 記憶體控制器腳位之重置值 (Reset Value)

腳位名稱	PKA250 應用處理器 Reset Value	PKA210 應用處理器 Reset Value
SDCLK[2:0]	000	
SDCKE<1>	00	
SDCKE<0>	1 (若 BOOT_SEL = 同步記憶體)	
DQM[3:0]	0000	
nSDCS[3:0]	1111	0011
new	1	

nSDRAS	1
nSDCAS	1
nOE	1
MA[25:0]	0x0000000h
RDnWR	0
MD[31:0]	0x00000000h
nCS<0>	1
nCS<5:1>	GPIO 輸入
nPIOIR	GPIO 輸入
nPIOIW	GPIO 輸入
nPOE	GPIO 輸入
nPWE	GPIO 輸入

在睡眠模式下，當硬體重置之後，除了 GPIO 訊號為高電位之外，記憶體腳位與控制器為相同的狀態。若 SDRAM 正在自行更新，它會藉由設定 SDCKE<1> 為 0 來保持狀態。

8.12 硬體、監視器或睡眠重置操作

當應用處理器重置時，軟體會評估以下的程序：

- 在硬體重置後，完成 200μs 的開機等待時間，允許內部計時器產生 SDCLK 來穩定。對同步靜態記憶體啟動 MDREFR:K0RUN 和 E0PIN。當寫入 MDREFR 時，也必須寫入一個更新間隔值。以下的寫入是允許的：
 - 寫入 MSC0、MSC1、MCS2
 - 寫入 MECR、MCMEM0、MCMEM1、MCATT0、MCATT1、MCIO0、MCIO1
 - 寫入 MDREFR:K0RUN 和 MDREFR:E0PIN。設定 MDREFR:K0DB2 的組態。保留 MDREFR:APD 與 MDREFR:SLFRSH 目前的值。MDREFR:DRT 必須包含一個有效值。反觸發 MDREFR:KxFREE。
- 在含有同步靜態記憶體的系統裡，對 SXCNFG 做寫入來設定所有適當位元的組態，包括啟動位元。軟體必須執行一個順序，其包含 SXCNFG 隨後的寫入以改變 RAS 的等待時間。當設定任何 SMROM 組合的組態時，SDRAM 組合必須停止，而必須反觸發 MDREFR:APD（停止電源自動關閉）。
 - 當處發啟動位元時，寫入 SXCNFG。
 - 寫入 SXMRS 來觸發所有同步靜態記憶體的啟動組合的 MRS 命令。
 - 當類似 SDRAM 同步快閃記憶體設備要做指令加密而需要 SXLCR 時，SXLCR 必須被寫入。

3. 在包含 SDRAM 的系統內，經由以下的狀態步驟來轉換 SDRAM 控制器：
 - a. 自行更新 (self-refresh) 與時脈停止 (clock-stop)
 - b. 自行更新 (self-refresh)
 - c. 關閉電源 (power-down)
 - d. PWRDNX
 - e. NOP
4. 關於 SDRAM 的執行與啟動位元 (MDREFR:K1RUN、K2RN 與 E1PIN)，於 8.6.3 節中有詳細描述。MDREFR:SLFRSH 必須沒有被觸發。
 - a. 寫入 MDREFR:K1RUN、K2RUN (自行更新與時脈停止→自行更新)。設定 MDREFR:K1DB2、K2DB2 的組態。
 - b. 寫入 MDREFR:SLFRSH (自行更新→關閉電源)。
 - c. 寫入 MDREFR:E1PIN (關閉電源→PWRDNX)。
 - d. 此狀態轉換不需要執行寫入 (PWRDNX→NOP)
 - e. 設定每一對 SDRAM 分割區的組態，但不要啟動。
 - f. 寫入 MDCNFG (反觸發啟動位元)，講 MDCNFG:DE3:2 與 1:0 設定為 '0'。
5. 對包含 SDRAM 的系統，等待一個 SDRAM 所需要的 NOP 電源啟動等待時期，確定 SDRAM 收到一個穩定的時脈與 NOP 條件。
6. 確定關閉 Data Cache 位元 (DCACHE)。若此位元為啟動狀態，下一個步驟時所觸發的更新可能無法適當地傳送至記憶體控制器。
7. 包含 SDRAM 的系統硬體重置時，藉由企圖對任何關閉的 SDRAM bank 做突發傳輸讀取或寫入，來觸發一個特定的更新週期數目 (通常為 8)。每一次存取會引起一個同步的 CBR 更新週期給全部 4 個 bank，它會引起一個傳送經由 CBR 狀態而傳回 NOP。在第一次傳送時，在 CBR 狀態之前會產生 PALL 狀態。
8. 若 DCACHE 位元已關閉則重新啟動此位元。
9. 在包含 SDRAM 的系統中，藉由設定 MDCNFG:DE3:2 與 DE1:0 來啟動 SDRAM 分割區。
10. 在包含 SDRAM 的系統中，寫入至 MDMRS 暫存器來觸發一個 MRS 命令給所有啟動的 SDRAM bank。若每一個 SDRAM 至少有一個分割區對已啟動，會強制經由 MRS 傳送而傳回 NOP。CAS 延遲必須為唯一的變數選擇，並且由 MDCNFG:MDTC0 和 2 區域裡的程式化數值來取得。突發傳輸類型被程式化為循序的，而其長度被設定為 4。
11. 在包含 SDRAM 或同步靜態記憶體的系統中，藉由設定 MDREFR:APD 來啟動自動關閉電源。

8.13 GPIO 重置程序

在 GPIO 重置時，記憶體控制器暫存器會保留重置之前的數值。並不需要新的組態程式。但是不保證記憶體的內容，而軟體必須決定記憶體的內容是否被影響。

問題：

1. 請問記憶體大致可分為哪些種類，其差異為何？有何優缺點？
2. 請問在 Intel XScale 應用處理器中的記憶體控制器支援哪些種類的記憶體？
3. 請問在 Intel XScale 應用處理器中的記憶體控制器支援哪幾種不同的記憶體空間？各有多少分割區可使用？
4. 請問在 Intel XScale 應用處理器中，SDRAM 有哪些限制？
5. 請問在 Intel XScale 應用處理器是從哪一個記憶體位址啟動？這個記憶體位址位在哪個記憶體空間中？
6. 請設計採用 Intel XScale 應用處理器，具有 32 位元，64MB 的動態記憶體，以及具有 32 位元，64MB 的唯讀記憶體的系統之記憶體的組態？
7. 請問在 Intel XScale 應用處理器中的記憶體控制器如何設定記憶體的組態？
8. 請問何為同步靜態記憶體介面，其支援哪些功能？
9. 請問非同步靜態記憶體有哪些？
10. 請問何謂可變延遲 I/O (VLIO) 介面，與 SRAM 介面在讀取上有何不同？
11. 請問 FLASH 記憶體的讀取與寫入的要求為何？
12. 請說明 Intel XScale 應用處理器支援的 16 位元 PC 卡有何特性？
13. 請問 Intel XScale 應用處理器其記憶體介面的重置與初始化的情形為何？