

## 第四章 系統晶片架構

嵌入式系統之處理器在設計上可採用通用型的微處理器或是整合型的系統晶片。對通用型的微處理器而言，常需隨不同用途搭配不同的週邊控制晶片，因此在設計上，除了要了解微處理器本身以外，也須了解各種不同週邊控制晶片的特性。需要的學習時間較長，設計上由於使用許多不同的晶片，因此在機版的設計上需要佔據較大的空間。此外，也常伴隨耗電的問題。常見的晶片有 Motorola 的 68000 系列處理器，Intel 的 8051 與 x86 微處理器。由於嵌入式系統常需應用在許多不同的特定用途上，因而需提供各種可能的週邊功能，並能夠隨不同用途加以設定。為了使系統設計更加快速，目前嵌入式系統普遍採用整合各種週邊控制器的系統晶片。

系統晶片除了微處理器外，並在晶片中整合各種常用的週邊，如 DMA 控制器，記憶體控制器，UART，顯示介面，讀卡介面等等。此外，為了應用在不同的用途上，各種週邊的腳位功能通常是可以經由設定而加以改變的。在不使用某種特殊的週邊功能時，如 UART，則可以將其腳位設定為通用的 I/O 腳位。常見的系統晶片有 Intel 的 8051，ARM 的 ARM 處理器

### 4.1 概觀

PXA250 和 PXA210 應用處理器是為了可攜式的手持、手掌裝置而設計的高效能及低電源的整合型單晶片系統(system-on-a-chip)。它運用 Intel® XScale™ 微結構技術、飛快比例頻率技術以及獨特的電源管理技術，提供了領導業界的 MIPS/mW 效能。此類應用處理器相容於 ARM Version 5TE 指令集(不包含浮點運算指令)，並且遵循 ARM 程式設計者模型的規範。

此類應用處理器記憶體介面支援了多樣式的記憶體類型，讓設計變得更加彈性，也為連接外部裝置相伴隨的晶片提供了無縫隙的介面。其內建的整合型 LCD 顯示控制器解析度最高為 800x600 像素，並且允許顯示 1、2、4、8 位元的灰階像素與 8、16 位元的彩色像素。256 entry / 512 byte 的色盤記憶體(palette RAM)提供了彩色對映的彈性。

整組的序列裝置以及通用系統資源，為多樣式的應用程式提供了運算與連接功能。請參考圖 2-1 的方塊圖，那裡有關於微處理器系統結構的概觀。

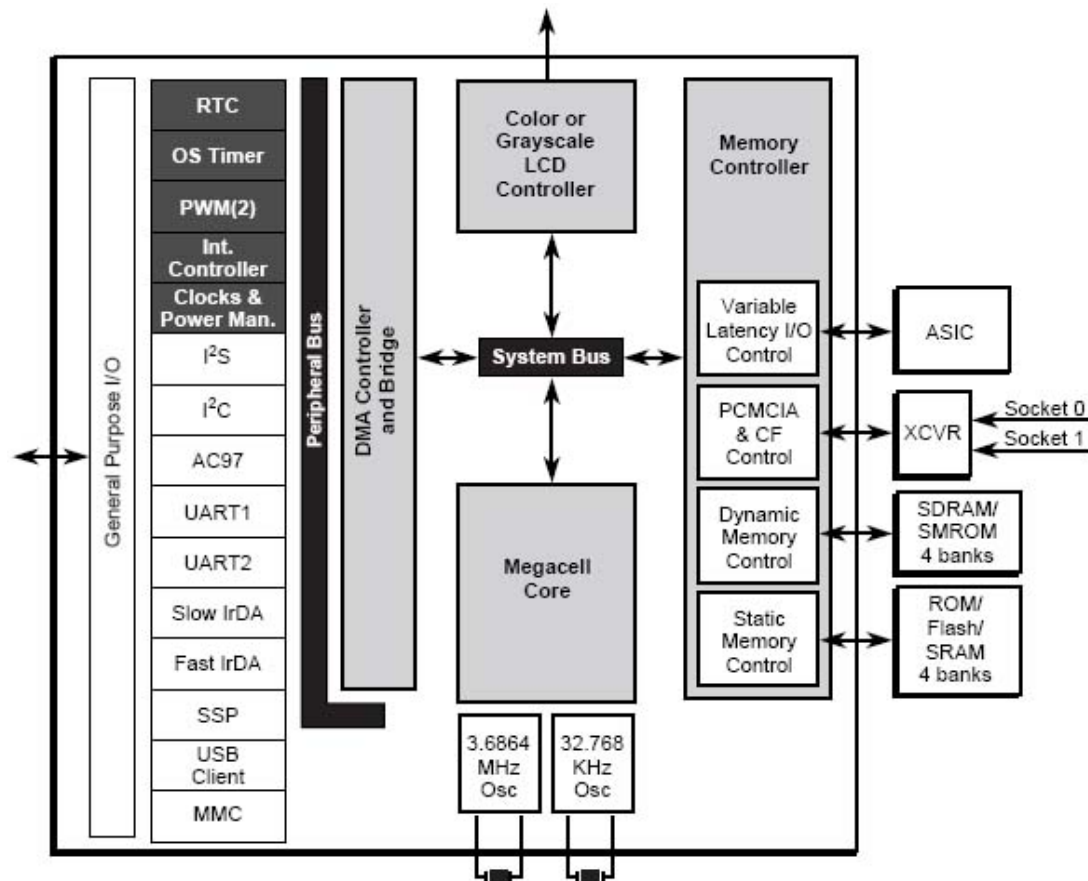


圖 4-1 系統方塊圖

## 4.2 包裝類型

PXA250 應用處理器以 17x17mm 的 PBGA 封裝供貨；PXA210 則以 13x13mm 的 T-PBGA 封裝供貨，並且只支援 16 位元的資料匯流排。我們通常會透過軟體來讀取應用處理器的暫存器，如此可以偵測出正在使用的處理器是屬於哪一種。這份文件並沒有提供關於 PXA210 應用處理器的腳位詳細說明，詳細說明請參考表 2-11。

## 4.3 Intel® XScale™ 微結構的選擇項目 (Implementation Options)

此應用處理器內含 Intel® XScale™ 微結構(關於 Intel® XScale™ 微結構，於另一份文件內有詳細說明)。此應用處理器的核心也包含了選擇項目，這些選擇項目在以應用導向標準化產品(ASSP)為考量時，選擇項目可以依情況選擇要加入

或是省略。此章節內將逐一說明這些選擇項目。

大部分的選擇項目的位址都被定義在屬於協力處理器的暫存器的位址空間範圍內。Intel® XScale™應用處理器不製作任何不在 Megacell EAS 裡面未定義的協力處理器暫存器。協力處理器暫存器由 ASSP 來指定，這些暫存器在 *Intel® XScale™ Microarchitecture for the PXA250 and PXA210 Application Processors User's Manual, order# 278525* 會有詳細說明，以下的章節將會有簡單的相關說明。

4.3.1 協力處理器 7 暫存器 4 — PSFS 位元

此暫存器的位元 5 定義為電源來源錯誤狀態位元(Power Source Fault Status, PSFS)。當 nVDD\_FAULT 或 nBATT\_FAULT 腳位被觸發時，電源管理控制暫存器(Power Manager Control Register - PMCR)內的不正確資料放棄致能位元 (Imprecise Data Abort Enable - IDAE)會被設定。

表 4-1 CPU 核心錯誤暫存器位元對應與位元定義(唯讀)

| CP7 Register 4 |          |   |   |   |   |   |   |   |   |   |   |   | CPU Core Fault |   |   |   |   |   |   |   |   |   |   |   |   | CP7 |      |   |          |   |   |   |   |   |  |  |  |  |  |
|----------------|----------|---|---|---|---|---|---|---|---|---|---|---|----------------|---|---|---|---|---|---|---|---|---|---|---|---|-----|------|---|----------|---|---|---|---|---|--|--|--|--|--|
| Bit            | 3        | 3 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 1              | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 9 | 8   | 7    | 6 | 5        | 4 | 3 | 2 | 1 | 0 |  |  |  |  |  |
|                | 1        | 0 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 2 | 1 | 0              | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 9 | 8 | 7   | 6    | 5 | 4        | 3 | 2 | 1 | 0 |   |  |  |  |  |  |
|                | Reserved |   |   |   |   |   |   |   |   |   |   |   |                |   |   |   |   |   |   |   |   |   |   |   |   |     | PSFS |   | Reserved |   |   |   |   |   |  |  |  |  |  |
| Reset          | 0        | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0              | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0   | 0    | 0 | 0        | 0 | 0 | 0 | 0 |   |  |  |  |  |  |

| 位元     | 名稱   | 說明   |
|--------|------|--|
| [31:6] | —    | 保留。<br>未定義讀取。  |
| 5      | PSFS | 電源來源錯誤狀態(Power Source Fault Status)<br>0 = 自從最後一次重置或清除，nVDD_FAULT 或 nBATT_FAULT 腳位都沒有被觸發。<br>1 = nVDD_FAULT 或 nBATT_FAULT 腳位被觸發，PMCR[IDAE]=1。<br>唯讀，寫入將被忽略。<br>由硬體重置、看門狗重置或通用 IO(GPIO)重置來清除。 |
| [4:0]  | —    | 保留。<br>未定義讀取。  |

### 4.3.2 協力處理器 14 暫存器 0-3 — 效能監視(Performance Monitoring)

應用處理器未定義任何超出 *Intel® XScale™ Microarchitecture for the PXA250 and PXA210 Application Processors User’s Manual, order# 278525* 文件範圍的效能監視功能。藉由效能監視事件所產生的中斷，在第 6 章「系統整合單元」中有相關說明。應用導向標準化產品(ASSP)定義效能監視事件(events 0x10 - 0x17)，經由應用處理器所保留的 PMNC 暫存器來定義功能。

### 4.3.3 協力處理器 14 暫存器 6、7 — 時脈與電源管理(Clock and Power Management)

這些暫存器允許軟體在時脈與電源管理模式下使用。關於有效操作的相關說明將於表 5-24「協力處理器 14 時脈與電源管理總結」之中說明。

### 4.3.4 協力處理器 15 暫存器 0 — ID 暫存器定義(ID Register Definition)

軟體可以讀取此暫存器來得知應用處理器的類型與修正版本。關於PXA250與PXA210 應用處理器的該暫存器內容將於下面的表格中說明。將由暫存器將讀到 0x6905 2X0R這種格式的資料，在這裡R=0b0000，代表第一個步進序號，接下來的更新將會依序增加R這個序號；而X代表目前Intel® XScale™微結構的修正版本序號。詳細的說明請參考Intel開發者網頁<http://developer.intel.com>來取得最新的訊息。

表 4-2 ID 暫存器位元對應與位元定義(唯讀)

| CP15 Register 0 |                             |   |   |   |   |   |   |   |                         |   |   |   |   |   |   | ID |                    |   |   |   |                  |   |   |   |                   | CP15 |   |   |   |   |                     |  |  |  |  |
|-----------------|-----------------------------|---|---|---|---|---|---|---|-------------------------|---|---|---|---|---|---|----|--------------------|---|---|---|------------------|---|---|---|-------------------|------|---|---|---|---|---------------------|--|--|--|--|
| Bit             | 3                           | 3 | 2 | 2 | 2 | 2 | 2 | 2 | 2                       | 2 | 2 | 1 | 1 | 1 | 1 | 1  | 1                  | 1 | 1 | 1 | 9                | 8 | 7 | 6 | 5                 | 4    | 3 | 2 | 1 | 0 |                     |  |  |  |  |
|                 | 1                           | 0 | 9 | 8 | 7 | 6 | 5 | 4 | 3                       | 2 | 1 | 0 | 9 | 8 | 7 | 6  | 5                  | 4 | 3 | 2 | 1                | 0 |   |   |                   |      |   |   |   |   |                     |  |  |  |  |
|                 | Implementation<br>Trademark |   |   |   |   |   |   |   | Architecture<br>Version |   |   |   |   |   |   |    | Core<br>generation |   |   |   | Core<br>Revision |   |   |   | Product<br>Number |      |   |   |   |   | Product<br>Revision |  |  |  |  |
|                 |                             |   |   |   |   |   |   |   |                         |   |   |   |   |   |   |    |                    |   |   |   |                  |   |   |   |                   |      |   |   |   |   |                     |  |  |  |  |
|                 |                             |   |   |   |   |   |   |   |                         |   |   |   |   |   |   |    |                    |   |   |   |                  |   |   |   |                   |      |   |   |   |   |                     |  |  |  |  |
|                 |                             |   |   |   |   |   |   |   |                         |   |   |   |   |   |   |    |                    |   |   |   |                  |   |   |   |                   |      |   |   |   |   |                     |  |  |  |  |
| Reset           | 0                           | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0                       | 0 | 0 | 0 | 1 | 0 | 1 | 0  | 0                  | 1 | 0 | 0 | 0                | 0 | 1 | 0 | 0                 | 0    | 0 | 0 | 0 | 0 |                     |  |  |  |  |

| 位元      | 名稱   | 說明    |
|---------|------|-------|
| [31:24] | 實作商標 | 實作商標： |

|         |                                  |  |
|---------|----------------------------------|--|
|         | (Implementation Trademark)       | 0x69 = Intel® Corporation  |
| [23:16] | 結構版本序號<br>(Architecture Version) | ARM 核心結構版本序號<br>0x05 = ARM architecture version 5TE  |
| [15:13] | 核心世代序號<br>(Core Generation)      | 當新的功能被加入到核心之中，此欄位的序號將會被更新。這個核心世代序號允許軟體依照核心世代序號來搭配相對應的核心。<br>核心世代序號：<br>0b001 = Intel® XScale™ Core                         |
| [12:10] | 核心修正版本序號<br>(Core Revision)      | 每一次核心經過修正，此欄位的序號將會被更新。不同序號之間的差別可能包含刊誤、軟體環境等。<br>核心修正版本序號：<br>0b000 = 第一個核心版本序號<br>0b010 = 第三個核心版本序號                        |
| [9:4]   | 產品序號<br>(Product Number)         | 每一個特定的應用導向標準化產品(ASSP)都會有一組對應的序號。<br>產品序號：<br>0b010000 = PXA250 應用處理器<br>0b010010 = PXA210 應用處理器                            |
| [3:0]   | 產品修正序號<br>(Product Revision)     | 此序號將為每一個應用導向標準化產品(ASSP)進行更新的追蹤。<br>產品修正序號：<br>0b0000 = A0 步進序號<br>0b0001 = A1 步進序號<br>0b0010 = B0 步進序號<br>0b0011 = B1 步進序號 |

表 4-3 PXA250 ID 值

| 步進序號(Stepping) | ARM ID     | JTAG ID    |
|----------------|------------|------------|
| A0             | 0x69052100 | 0x09264013 |
| A1             | 0x69052101 | 0x19264013 |
| B0             | 0x69052902 | 0x29264013 |
| B1             | 0x69052903 | 0x39264013 |

表 4-4 PXA210 ID 值

| 步進序號(Stepping) | ARM ID     | JTAG ID    |
|----------------|------------|------------|
| B0             | 0x69052922 | 0x2926C013 |

|    |            |            |
|----|------------|------------|
| B1 | 0x69052923 | 0x3926C013 |
|----|------------|------------|

### 4.3.5 協力處理器 15 暫存器 1 — P-位元(P-Bit)

此暫存器的位元 1 定義為分頁表記憶體屬性位元(Page Table Memory Attribute bit)或是 P-bit。此位元在應用處理器裡沒有被實作，寫入時必須為 0。同樣地，MMU 裡面的分頁表敘述元(descriptor)中的 P-bit 也沒有被實作，寫入時也必須為 0。

## 4.4 I/O 順序(I/O Ordering)

應用處理器使用佇列(queue)來接收來自三個內部主控者(master)的記憶體請求：核心(core)、DMA 控制器(DMA Controller)、LCD 控制器(LCD Controller)。由主控者所發出的動作將以接收的請求順序來完成。主控者的動作可能被另一個主控者的動作所中斷。應用處理器並沒有提供任何方法來規範來自不同主控者動作的先後順序。

載入(load)與儲存(store)至內部位址的動作，一般來說會比存取外部位址更快完成。不同點在於完成動作的時間，允許一個動作在另一個動作之前先被接收處理，但在第二個動作完之後才完成。

在下列順序中，儲存至 r4 位址的指令會比儲存至 r2 位址的指令更早完成，因為第一個儲存指令會在佇列中等待外部記憶體，而第二個儲存指令則沒有任何延遲(內部記憶體)。

```
str r1, [r2]      ;儲存至外部記憶體位址[r2]。
str r3, [r4]      ;儲存至內部(on-chip)記憶體位址[r4]。
```

若兩個儲存指令為控制動作時，則必須依序完成，那麼建議的步驟為，在兩個儲存指令之中插入一個載入指令去讀取一個無緩衝且無快取的記憶體分頁，然後這個載入指令之後再插入另一個指令，而這個指令必須依賴先前載入指令所讀取的資料來動作：

```
str r1 r1, [r2]   ;第一個發佈的儲存指令。
ldr r5, [r6]      ;從外部無緩衝、無快取位址載入(若可能，則為[r2])。
mov r5, r5        ;nop stall(暫停)，直到載入 r5。
```

str r3, [r4] ;第二個儲存指令依照程式順序完成。

## 4.5 信號(Semaphores)

Swap(SWP)與 Swap Byte(SWPB)指令，如同 ARM 結構參考資料所描述，可以用來做信號操作。應用處理器內的主控者或程序不可以在 SWP 或 SWPB 指令的載入與儲存時使用相同的位置。

注意：信號連貫性(coherency)可能被中斷，因為在一個鎖定(locked)的順序，外部輔助晶片會使用 MBREQ/MBGNT 交握信號來佔有匯流排的使用權。為了協同外部輔助晶片的信號操作，軟體必須管理其連貫性。

## 4.6 中斷(Interrupts)

中斷控制器(Interrupt Controller)於 6.2 節「中斷控制器」中有詳細說明。應用處理器上所有的中斷都可以被致能、遮蔽，而且都可以被導入至核心的 FIQ 或 IRQ。每個中斷的致能或是不致能都是由中斷遮蔽位元來控制。一般來說，在一個單元內的所有中斷會先經過「OR」布林運算後，產生一個單一信號值給中斷控制器。

每個中斷會先經過中斷控制器之遮蔽暫存器(Interrupt Controller Mask Register)，然後中斷控制器等級暫存器(Interrupt Controller Level Register)將中斷導入 IRQ 或是 FIQ。當中斷發生時，軟體將讀取中斷控制器等候暫存器(Interrupt Controller Pending Register)來辨識其來源。軟體在確認中斷來源之後，軟體有責任為中斷提供對應服務，在執行完服務常式之前清除中斷來源。

注意：清除中斷來源時會有一些延遲。為了使狀態位元在離開中斷服務常式之前清除，請讓程式提前清除中斷。

## 4.7 重置(Reset)

應用處理器可用下列三種任一方法來進行重置：硬體、看門狗(watchdog)與 GPIO 重置。5.4 節「重置與電源模式」中將有詳細說明。

- 硬體重置(Hardware reset)起因於觸發 nRESET 腳位，並強迫所有的單元進入重置狀態。

- 看門狗重置(Watchdog reset)起因於 OS 計時器的逾時，可以從執行中失控的程式碼復原系統。看門狗重置預設值是關閉的，必須藉由軟體來啟動。
- GPIO 重置(GPIO reset)為「軟重置(soft reset)」，與前兩種重置相比較之下，比較不具破壞性。

每一種類型的重置都會影響應用處理器腳位的狀態。表 4-5 顯示出在每一種重置之後應用處理器各個腳位的狀態。

離開睡眠模式(Sleep Mode)會引發一個睡眠模式重置(Sleep Mode Reset)。不同於其他類型的重置，睡眠模式重置不會改變腳位的狀態。

重置控制器狀態暫存器(Reset Controller Status Register - RCSR)中紀錄了重置類型的資訊，其中也包括睡眠模式重置。

**表 4-5 各種重置對內部暫存器狀態的影響**

| 單元               | 睡眠模式 | GPIO 重置                   | 看門狗重置       | 硬體重置 |
|------------------|------|---------------------------|-------------|------|
| 核心               | 重置   | 除了組態暫存器外的所有暫存器(藉由刷新維持其內容) | 重置          | 重置   |
| 記憶體控制器           | 重置   | 重置                        | 重置          | 重置   |
| LCD 控制器          | 重置   | 重置                        | 重置          | 重置   |
| DMA 控制器          | 重置   | 重置                        | 重置          | 重置   |
| 全 功 能<br>UART    | 重置   | 重置                        | 重置          | 重置   |
| 藍芽 UART          | 重置   | 重置                        | 重置          | 重置   |
| 標準 UART          | 重置   | 重置                        | 重置          | 重置   |
| I <sup>2</sup> C | 重置   | 重置                        | 重置          | 重置   |
| I <sup>2</sup> S | 重置   | 重置                        | 重置          | 重置   |
| AC97             | 重置   | 重置                        | 重置          | 重置   |
| USB              | 重置   | 重置                        | 重置          | 重置   |
| ICP              | 重置   | 重置                        | 重置          | 重置   |
| RTC              | 保留   | 保留                        | 重置(RTTR 除外) | 重置   |
| OS 計時器           | 重置   | 重置                        | 重置          | 重置   |
| PWM              | 重置   | 重置                        | 重置          | 重置   |



|       |              |              |              |    |
|-------|--------------|--------------|--------------|----|
| 中斷控制器 | 重置           | 重置           | 重置           | 重置 |
| GPIO  | 重置           | 重置           | 重置           | 重置 |
| 電源管理員 | 保留           | 重置           | 重置           | 重置 |
| SSP   | 重置           | 重置           | 重置           | 重置 |
| MMC   | 重置           | 重置           | 重置           | 重置 |
| 時脈    | 保留 (CP14 除外) | 保留 (CP14 除外) | 重置 (OSCC 除外) | 重置 |

## 4.8 內部暫存器

所有內部暫存器都以 32 位元作為位址邊界，與實體記憶體空間直接對應。使用字組存取(word access)載入和儲存來存取內部暫存器。內部暫存器位址空間必須對應為不可快取。

對內部暫存器的位元組(Byte)和半字組(halfword)存取是不被允許的，因為會產生不可預期的結果。

沒有被對應到的暫存器位址空間，定義為保留位址空間。對保留位址空間做讀取與寫入將會造成不可預期的結果。

應用處理器並沒有使用全部的暫存器位元。未使用的位元被標示成保留，供未來使用。寫入保留位元為 0。忽略這些位元在讀取時的值，因為它們是不可預期的。

## 4.9 選擇週邊 vs. 通用 I/O (Selecting Peripherals vs. General Purpose I/O)

大部分的週邊透過 GPIO 連接到外部的腳位。為了使用經由 GPIO 連結的週邊，軟體必須先設定 GPIO 的組態，如此一來，想要使用的週邊才會連結到它的腳位。腳位的預設狀態為 GPIO 輸入。

為了配置給週邊腳位，必須關閉該腳位的 GPIO 功能，然後將適當的功能對應至腳位上。有一些 GPIO 同時擁有多種功能。當一個腳位的功能被選擇之後，

其他剩下的功能將會被排除。因為如此，有一些週邊同時對應到多個 GPIO 腳位，詳細內容請參考，4.1.2 節「GPIO 交替功能」。多個對應並不代表週邊擁有多個分身，而是代表可以用多種方式連接到與週邊相連的腳位。

## 4.10 電源開啟重置與開機動作(Power on Reset and Boot Operation)

在裝有應用處理器的設備開啟電源之前，系統必須觸發 nRESET 與 nTRST 腳位。為了使內部時脈穩定，所有的電源供應在觸發 nRESET 與 nTRST 之前，必須在一段特定的時間內保持穩定。當 nRESET 被觸發時，nRESET\_OUT 也會觸發，該腳位可以用來重置系統的其他設備。關於詳細的資料，請參考 *PXA250 and PXA210 Application Processors Design Guide, order# 278523* 文件。

當系統移除 nRESET 與 nTRST 的觸發時，應用處理器也會移除 nRESET\_OUT 的觸發，在過了一段特定的時間後，裝置將嘗試由實體位址 0x0000 0000 開機。

當重置的觸發移除時，應用處理器會讀取 BOOT\_SEL[2:0]腳位後嘗試開機，該腳位紀錄由使用者所預先指定類型與寬度的記憶體。軟體可讀取的腳位，請參考 8.11.2 節「開機時間預設」。

## 4.11 電源管理(Power Management)

應用處理器提供一些系統電源管理的模式。提供大範圍的電源的節省與功能。支援的模式如下：

- 加速模式(Turbo Mode)：可在兩個程式化頻率之間切換提供低延遲(nanoseconds)。
- 執行模式(Run Mode)：正常全功能模式。
- 閒置模式(Idle Mode)：停止供應核心時脈，直到發生中斷後回復。
- 睡眠模式(Sleep Mode)：低電源模式，不保留處理器的狀態，但持續供應 I/O 的電源。RTC、電源管理與時脈模組停止供應電源，但協力處理器 14 除外。

注意：在低電源模式下，必須確定輸入腳位不為浮接(floating)，並且輸出腳位沒有透過應用處理器對外部裝置持續驅動。在另一種情況下，輸出腳位沒有透過外部裝置吸取過量的電流。電流吸取通常是浮接腳位的現象，吸取的情況在睡眠模

式中不同，在不同的零件中也不同。

在 5.4 節「重置與電源模式」中有詳細的說明。

## 4.12 腳位列表

有一些應用處理器腳位可以連接至多個信號。連接至腳位的信號由 GPIO 交替功能選擇暫存器(GPIO Alternate Function Select Registers - GAFRn\_m)來決定。有一些信號可以經由多個腳位傳送。透過使用 GAFRn\_m 暫存器，信號只能傳送至單一個腳位。基於這些因素，所以在表格中有一些在裝置中腳位會被列出二次。

表 4-6 應用處理器腳位類型

| 類型    | 功能                |
|-------|-------------------|
| IC    | CMOS 輸入           |
| OC    | CMOS 輸出           |
| OCZ   | CMOS 輸出，高阻抗       |
| ICOCZ | CMOS 雙向，高阻抗       |
| IA    | 類比輸入              |
| OA    | 類比輸出              |
| IAOA  | 類比雙向              |
| SUP   | 電源供應腳位(VCC 或 VSS) |

表 4-7 說明 PXA250 應用處理器的腳位。

表 4-7 PXA250 應用處理器腳位與信號說明

| 腳位名稱      | 類型    | 腳位說明                                    | 重置狀態  | 睡眠狀態    |
|-----------|-------|---|-------|---------|
| 記憶體控制器腳位  |       |   |       |         |
| MA[25:0]  | OCZ   | 記憶體位址匯流排。(輸出) 記憶體存取之位址請求信號。             | 低電位驅動 | 低電位驅動   |
| MD[15:0]  | ICOCZ | 記憶體資料匯流排。(輸入／輸出) 資料匯流排較低的 16 位元。        | 高阻抗   | 低電位驅動   |
| MD[31:16] | ICOCZ | 記憶體資料匯流排。(輸入／輸出) 32 位元記憶體時使用。           | 高阻抗   | 低電位驅動   |
| nOE       | OCZ   | 記憶體輸出致能。(輸出)連接至記憶體裝置的輸出致能，用來控制資料匯流排驅動器。 | 高電位驅動 | Note[4] |

|            |     |   |       |         |
|------------|-----|---|-------|---------|
| new        | OCZ | 記憶體寫入致能。(輸出)連接至記憶體裝置的寫入致能。  | 高電位驅動 | Note[4] |
| nSDCS[3:0] | OCZ | <b>SDRAM Bank 3~0 的 CS</b> 。(輸出)連接至 SDRAM 的 CS 腳位。PXA250 應用處理器的 nSDCS0 可為高阻抗，但 nSDCS1-3 則不可以。   | 高電位驅動 | Note[5] |
| DQM[3:0]   | OCZ | <b>SDRAM 資料位元組 3~0 的 DQM</b> 。(輸出)連接至 SDRAM 的資料輸出遮罩致能(data output mask enables – DQM)腳位。  | 低電位驅動 | 低電位驅動   |
| nSDRAS     | OCZ | <b>SDRAM RAS</b> 。(輸出)連接至 SDRAM 所有 bank 的 row address strobe (RAS)腳位。   | 高電位驅動 | 高電位驅動   |
| nSDCAS     | OCZ | <b>SDRAM CAS</b> 。(輸出)連接至 SDRAM 所有 bank 的 column address strobe (CAS)腳位。  | 高電位驅動 | 高電位驅動   |
| SDCKE[0]   | OC  | <b>同步靜態記憶體時脈致能</b> 。(輸出)連接至 SMROM 的 CKE 腳位。記憶體控制器提供控制暫存器位元供觸發移除。  | 低電位驅動 | 低電位驅動   |
| SDCKE[1]   | OC  | <b>SDRAM 與／或同步靜態記憶體時脈致能</b> 。(輸出)連接至 SDRAM 的時脈致能腳位。在睡眠狀態時觸發移除。在重置時 SDCLK[1] 保持觸發移除。記憶體控制器提供觸發移除的控制暫存器位元。  | 低電位驅動 | 低電位驅動   |
| SDCLK[0]   | OC  | <b>同步靜態記憶體時脈</b> 。(輸出)連接至 SMROM 之 CLK 腳位。它會藉由內部記憶體控制器時脈或是 1/2 內部記憶體控制器時脈來驅動。在重置時，所有時脈腳位都以 1/2 時脈速度執行，而且可以經由自由執行控制器位元(free running control register bits)來關閉。記憶體控制器也提供控制暫存器位元來為每個 SDCLK 腳位做時脈分割與觸發移除。若開機 |       |         |

|                     |           |   |                  |         |
|---------------------|-----------|---|------------------|---------|
|                     |           | 時間靜態記憶體(boot-time static memory) bank 0 設定為 SMROM，則 SDCLK[0]控制暫存器會預設為啟動。  |                  |         |
| SDCLK[1]            | OCZ       | <b>SDRAM 時脈</b> 。(輸出)分別連接 SDCLK[1] 與 SDCLK[2] 至 SDRAM 的 bank pair 0/1 與 bank pair 2/3 的時脈腳位。它會藉由內部記憶體控制器時脈或是 1/2 內部記憶體控制器時脈來驅動。在重置時，所有時脈腳位都以 1/2 時脈速度執行，而且可以經由自由執行控制器位元(free running control register bits)來關閉。記憶體控制器也提供控制暫存器位元來為每個 SDCLK 腳位做時脈分割與觸發移除。SDCLK[2:1]控制暫存器觸發位元總是在重置時觸發移除。 | 低電位驅動            | 低電位驅動   |
| SDCLK[2]            | OC        |   | 低電位驅動            | 低電位驅動   |
| nCS[5]/<br>GPIO[33] | ICOC<br>Z | <b>靜態晶片選擇</b> 。(輸出)靜態記憶體裝置(如 ROM、Flash)之晶片選擇。在記憶體組態暫存器內個別程式化。nCS[5:0]可與可變延遲的 I/O 裝置一同使用。  | 高阻抗 –<br>Note[1] | Note[4] |
| nCS[4]/<br>GPIO[80] | ICOC<br>Z |   |                  |         |
| nCS[3]/<br>GPIO[79] | ICOC<br>Z |   |                  |         |
| nCS[2]/<br>GPIO[78] | ICOC<br>Z |   |                  |         |
| nCS[1]/<br>GPIO[15] | ICOC<br>Z |   |                  |         |
| nCS[0]              | ICOC<br>Z | <b>靜態晶片選擇 0</b> 。(輸出)開機記憶體之晶片選擇。nCS[0]為專用的腳位。   | 高電位驅動            | Note[4] |
| RD/nWR              | OCZ       | <b>靜態介面讀／寫</b> 。(輸出)送出目前處理的讀取或寫入的信號。  | 低電位驅動            | Note[5] |
| RDY/<br>GPIO[18]    | ICOC<br>Z | <b>可變延遲 I/O 準備腳位</b> 。(輸入)當外部匯流排裝置準備好傳送資料時，通知記憶體控制器。  | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[8]/            | ICOC      | <b>LCD 顯示資料</b> 。(輸出)從 LCD 控  | 高阻抗 –            | Note[3] |

|                       |           |  |                  |         |
|-----------------------|-----------|--|------------------|---------|
| GPIO[66]              | Z         | 制器傳送像素資訊至外部 LCD 面板。<br><b>記憶體控制選擇匯流排主控者請求(Memory Controller alternate bus master request)</b> 。(輸入)允許外部裝置自記憶體控制器請求系統匯流排。 | Note[1]          |         |
| L_DD[15]/<br>GPIO[73] | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出)自 LCD 控制器傳送資料給外部 LCD 面板。<br><b>記憶體控制器允許</b> 。(輸出)通知外部裝置取得系統匯流排。                                     | 高阻抗 –<br>Note[1] | Note[3] |
| MBGNT/<br>GP[13]      | ICOC<br>Z | <b>記憶體控制器允許</b> 。(輸出)通知外部裝置取得系統匯流排。  | 高阻抗 –<br>Note[1] | Note[3] |
| MBREQ/<br>GP[14]      | ICOC<br>Z | <b>記憶體控制器選擇匯流排主控者請求</b> 。(輸入)允許外部裝置自記憶體控制器請求系統匯流排。   | 高阻抗 –<br>Note[1] | Note[3] |
| <b>PCMCIA/CF 控制腳位</b> |           |  |                  |         |
| nPOE/<br>GPIO[48]     | ICOC<br>Z | <b>PCMCIA 輸出致能</b> 。(輸出)自 PCMCIA 記憶體讀取至 PCMCIA 屬性空間。   | 高阻抗 –<br>Note[1] | Note[5] |
| nPWE/<br>GPIO[49]     | ICOC<br>Z | <b>PCMCIA 寫入致能</b> 。(輸出)執行寫入至 PCMCIA 記憶體與 PCMCIA 屬性空間。也可當作可變延遲 I/O 寫入致能信號。   | 高阻抗 –<br>Note[1] | Note[5] |
| nPIOW/<br>GPIO[51]    | ICOC<br>Z | <b>PCMCIA I/O 寫入</b> 。(輸出)執行寫入至 PCMCIA I/O 空間。   | 高阻抗 –<br>Note[1] | Note[5] |
| nPIOR/<br>GPIO[50]    | ICOC<br>Z | <b>PCMCIA I/O 讀取</b> 。(輸出)從 PCMCIA I/O 空間執行讀取。   | 高阻抗 –<br>Note[1] | Note[5] |
| nPCE[2]/<br>GPIO[53]  | ICOC<br>Z | <b>PCMCIA 卡致能 2</b> 。(輸出)選擇一個 PCMCIA 卡。nPCE[2]致能高位元組通道，而 nPCE[1]致能低位元組通道。<br><b>MMC 時脈</b> 。(輸出)MMC 控制器時脈信號。             | 高阻抗 –<br>Note[1] | Note[5] |
| nPCE[1]/<br>GPIO[52]  | ICOC<br>Z | <b>PCMCIA 卡致能 1</b> 。(輸出)選擇一個 PCMCIA 卡。nPCE[2]致能高位元組通道，而 nPCE[1]致能低位元組通道。  | 高阻抗 –<br>Note[1] | Note[5] |

|                           |           |  |                  |         |
|---------------------------|-----------|--|------------------|---------|
| nIOIS16/<br>GPIO[57]      | ICOC<br>Z | <b>IO 選擇 16</b> 。(輸入)來自 PCMCIA 卡的通知(acknowledge)，表示目前的位址為有效的 16 位元寬的 I/O 位址。   | 高阻抗 –<br>Note[1] | Note[5] |
| nPWAIT/<br>GPIO[56]       | ICOC<br>Z | <b>PCMCIA 等待</b> 。(輸入)藉由 PCMCIA 卡低電位驅動，用以延伸傳送或是接收 PXA250 應用處理器的距離。   | 高阻抗 –<br>Note[1] | Note[5] |
| PSKTSEL/<br>GPIO[54]      | ICOC<br>Z | <b>PCMCIA 插槽選擇</b> 。(輸出)由外部操作邏輯(steering logic)，將控制、位址與資料信號路由(route)到兩者之一的 PCMCIA 插槽。當 PSKTSET 為低電位時，插槽 0 會被選取。當 PSKTSET 為高電位時，插槽 1 會被選取。與位址匯流排有相同的時序。 | 高阻抗 –<br>Note[1] | Note[5] |
| nPREG/<br>GPIO[55]        | ICOC<br>Z | <b>PCMCIA 暫存器選擇</b> 。(輸出)指出記憶體處理的目標位址是否為屬性空間。與位址匯流排有相同的時序。   | 高阻抗 –<br>Note[1] | Note[5] |
| <b>LCD 控制器腳位</b>          |           |  |                  |         |
| L_DD(7:0)/<br>GPIO[65:58] | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。  | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[8]/<br>GPIO[66]      | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>記憶體控制器選擇匯流排主控者請求</b> 。(輸入)允許外部裝置自記憶體控制器請求系統匯流排。  | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[9]/<br>GPIO[67]      | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>MMC 晶片選擇 0</b> 。(輸出)MMC 控制器晶片選擇 0。   | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[10]/<br>GPIO[68]     | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。  | 高阻抗 –<br>Note[1] | Note[3] |

|                       |           |  |                  |         |
|-----------------------|-----------|--|------------------|---------|
|                       |           | <b>MMC 晶片選擇 1。</b> (輸出)MMC 控制器晶片選擇 1。  |                  |         |
| L_DD[11]/<br>GPIO[69] | ICOC<br>Z | <b>LCD 顯示資料。</b> (輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>MMC 時脈。</b> (輸出)MMC 控制器之時脈。              | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[12]/<br>GPIO[70] | ICOC<br>Z | <b>LCD 顯示資料。</b> (輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>RTC 時脈。</b> (輸出) 1Hz 即時時脈。               | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[13]/<br>GPIO[71] | ICOC<br>Z | <b>LCD 顯示資料。</b> (輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>3.6864MHz 時脈。</b> (輸出)自 3.6864MHz 振盪器輸出。 | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[14]/<br>GPIO[72] | ICOC<br>Z | <b>LCD 顯示資料。</b> (輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>32kHz 時脈。</b> (輸出)自 32kHz 振盪器輸出。         | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[15]/<br>GPIO[73] | ICOC<br>Z | <b>LCD 顯示資料。</b> (輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>記憶體控制器給予。</b> (輸出)通知外部裝置得到系統匯流排允許。       | 高阻抗 –<br>Note[1] | Note[3] |
| L_FCLK/<br>GPIO[74]   | ICOC<br>Z | <b>LCD 框架時脈(frame clock)。</b> (輸出)指出新框架的開始。與 Vsync 同。  | 高阻抗 –<br>Note[1] | Note[3] |
| L_LCLK/<br>GPIO[75]   | ICOC<br>Z | <b>LCD 線時脈(line clock)。</b> (輸出)指出新線的開始。與 Hsync 同。   | 高阻抗 –<br>Note[1] | Note[3] |
| L_PCLK/<br>GPIO[76]   | ICOC<br>Z | <b>LCD 像素時脈(pixel clock)。</b> (輸出)有效的時脈像素資料送入 LCD 線移位緩衝區 (line shift buffer)。                  | 高阻抗 –<br>Note[1] | Note[3] |
| L_BIAS/<br>GPIO[77]   | ICOC<br>Z | <b>AC 偏差驅動器。</b> (輸出)通知某些被動 LCD 面板改變極性。在 TFT 面板裡，此信號表示有效的像素                                    | 高阻抗 –<br>Note[1] | Note[3] |



|                    |           |  |                  |         |
|--------------------|-----------|--|------------------|---------|
|                    |           | 資料。  |                  |         |
| 全功能 UART 腳位        |           |  |                  |         |
| FFRXD/<br>GPIO[34] | ICOC<br>Z | 全功能 UART 接收。(輸入)<br>MMC 晶片選擇 0。(輸出)MMC<br>控制器晶片選擇 0。               | 高阻抗 –<br>Note[1] | Note[3] |
| FFTXD/<br>GPIO[39] | ICOC<br>Z | 全功能 UART 傳送。(輸出)<br>MMC 晶片選擇 1。(輸出)MMC<br>控制器晶片選擇 1。               | 高阻抗 –<br>Note[1] | Note[3] |
| FFCTS/<br>GPIO[35] | ICOC<br>Z | 全功能 UART Clear-to-Send。(輸<br>入)                                    | 高阻抗 –<br>Note[1] | Note[3] |
| FFDCD/<br>GPIO[36] | ICOC<br>Z | 全 功 能 UART<br>Data-Carrier-Detect。(輸入)                             | 高阻抗 –<br>Note[1] | Note[3] |
| FFDSR/<br>GPIO[37] | ICOC<br>Z | 全功能 UART Data-Set-Ready。<br>(輸入)                                   | 高阻抗 –<br>Note[1] | Note[3] |
| FFRI/<br>GPIO[38]  | ICOC<br>Z | 全功能 UART Ring indicator。<br>(輸入)                                   | 高阻抗 –<br>Note[1] | Note[3] |
| FFDTR/<br>GPIO[40] | ICOC<br>Z | 全 功 能 UART<br>Data-Terminal-Ready。(輸出)                             | 高阻抗 –<br>Note[1] | Note[3] |
| FFRTS/<br>GPIO[41] | ICOC<br>Z | 全 功 能 UART<br>Request-to-Send。(輸出)                                 | 高阻抗 –<br>Note[1] | Note[3] |
| 藍芽 UART 腳位         |           |  |                  |         |
| BTRXD/<br>GPIO[42] | ICOC<br>Z | 藍芽 UART 接收。(輸入)  | 高阻抗 –<br>Note[1] | Note[3] |
| BTTXD/<br>GPIO[43] | ICOC<br>Z | 藍芽 UART 傳送。(輸出)  | 高阻抗 –<br>Note[1] | Note[3] |
| BTCTS/<br>GPIO[44] | ICOC<br>Z | 藍芽 UART Clear-to-Send。(輸<br>入)                                     | 高阻抗 –<br>Note[1] | Note[3] |
| BTRTS/<br>GPIO[45] | ICOC<br>Z | 藍 芽 UART<br>Data-Terminal-Ready。(輸出)                               | 高阻抗 –<br>Note[1] | Note[3] |
| 標準 UART 與 ICP 腳位   |           |  |                  |         |
| IRRXD/<br>GPIO[46] | ICOC<br>Z | IrDA 接收信號。(輸入)FIR 功能<br>之接收腳位。<br>標準 UART 接收。(輸入)                  | 高阻抗 –<br>Note[1] | Note[3] |
| IRTXD/<br>GPIO[47] | ICOC<br>Z | IrDA 傳送信號。(輸出)標準<br>UART、SIR 與 FIR 功能之傳送腳<br>位。<br>標準 UART 傳送。(輸出) | 高阻抗 –<br>Note[1] | Note[3] |
| MMC 控制器腳位          |           |  |                  |         |

|                       |           |  |                  |         |
|-----------------------|-----------|--|------------------|---------|
| MMCMD                 | ICOC<br>Z | 多媒體卡命令。(雙向)  | 高阻抗              | 高阻抗     |
| MMDAT                 | ICOC<br>Z | 多媒體卡資料。(雙向)  | 高阻抗              | 高阻抗     |
| nPCE[2]/<br>GPIO[53]  | ICOC<br>Z | <b>PCMCIA 卡致能 2</b> 。(輸出)選擇一個 PCMCIA 卡。位元為 1 時致能高位元組通道，為 0 時致能低位元組通道。<br><b>MMC 時脈</b> 。(輸出)MMC 控制器時脈信號。 | 高阻抗 –<br>Note[1] | Note[5] |
| L_DD[9]/<br>GPIO[67]  | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>MMC 晶片選擇 0</b> 。(輸出)MMC 控制器晶片選擇 0。                 | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[10]/<br>GPIO[68] | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>MMC 晶片選擇 1</b> 。(輸出)MMC 控制器晶片選擇 1。                 | 高阻抗 –<br>Note[1] | Note[3] |
| LDD[11]/<br>GPIO[69]  | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>MMC 時脈</b> 。(輸出)MMC 控制器時脈。                         | 高阻抗 –<br>Note[1] | Note[3] |
| FFRXD/<br>GPIO[34]    | ICOC<br>Z | <b>全功能 UART 接收</b> 。(輸入)<br><b>MMC 晶片選擇 0</b> 。(輸出)MMC 控制器晶片選擇 0。  | 高阻抗 –<br>Note[1] | Note[3] |
| FFTXD/<br>GPIO[39]    | ICOC<br>Z | <b>全功能 UART 傳送</b> 。(輸出)<br><b>MMC 晶片選擇 1</b> 。(輸出)MMC 控制器晶片選擇 1。  | 高阻抗 –<br>Note[1] | Note[3] |
| MMCCLK/<br>GP[6]      | ICOC<br>Z | <b>MMC 時脈</b> 。(輸出)MMC 控制器時脈信號。  | 高阻抗 –<br>Note[1] | Note[3] |
| MMCCS0/<br>GP[8]      | ICOC<br>Z | <b>MMC 晶片選擇 0</b> 。(輸出)MMC 控制器晶片選擇 0。  | 高阻抗 –<br>Note[1] | Note[3] |
| MMCCS1/<br>GP[9]      | ICOC<br>Z | <b>MMC 晶片選擇 1</b> 。(輸出)MMC 控制器晶片選擇 1。  | 高阻抗 –<br>Note[1] | Note[3] |
| SSP 腳位                |           |  |                  |         |

|                                |           |   |                  |         |
|--------------------------------|-----------|---|------------------|---------|
| SSPCLK/<br>GPIO[23]            | ICOC<br>Z | 同步序列埠時脈。(輸出)  | 高阻抗 –<br>Note[1] | Note[3] |
| SSPSFRM/<br>GPIO[24]           | ICOC<br>Z | 同步序列埠框架。(輸出)  | 高阻抗 –<br>Note[1] | Note[3] |
| SSPTXD/<br>GPIO[25]            | ICOC<br>Z | 同步序列埠傳送。(輸出)  | 高阻抗 –<br>Note[1] | Note[3] |
| SSPRXD/<br>GPIO[26]            | ICOC<br>Z | 同步序列埠接收。(輸入)  | 高阻抗 –<br>Note[1] | Note[3] |
| SSPEXTC<br>LK/<br>GPIO[27]     | ICOC<br>Z | 同步序列埠外部時脈。(輸入)  | 高阻抗 –<br>Note[1] | Note[3] |
| USB 客戶端腳位                      |           |   |                  |         |
| USB_P                          | IAOA<br>Z | USB 客戶端正向。(雙向)  | 高阻抗              | 高阻抗     |
| USB_N                          | IAOA<br>Z | USB 客戶端負向腳位。(雙向)  | 高阻抗              | 高阻抗     |
| AC97 控制器與I <sup>2</sup> S控制器腳位 |           |   |                  |         |
| BITCLK/<br>GPIO[28]            | ICOC<br>Z | <p><b>AC97 聲音埠位元時脈。</b>(輸入)AC97 時脈由編解碼器 0 產生，而送進入 PXA250 與編解碼器 1。</p> <p><b>AC97 聲音埠位元時脈。</b>(輸出)AC97 時脈由 PXA250 應用處理器產生。</p> <p><b>I<sup>2</sup>S位元時脈。</b>(輸入) I<sup>2</sup>S時脈由外部產生，而送進入PXA250 應用處理器。</p> <p><b>I<sup>2</sup>S位元時脈。</b>(輸出) I<sup>2</sup>S時脈由 PXA250 應用處理器產生。</p> | 高阻抗 –<br>Note[1] | Note[3] |
| SDATA_IN<br>0/<br>GPIO[29]     | ICOC<br>Z | <p><b>AC97 聲音埠資料輸入。</b>(輸入)編解碼器 0 之輸入。</p> <p><b>I<sup>2</sup>S資料輸入。</b>(輸入) I<sup>2</sup>S控制器之輸入。</p>  | 高阻抗 –<br>Note[1] | Note[3] |
| SDATA_IN<br>1/<br>GPIO[32]     | ICOC<br>Z | <p><b>AC97 聲音埠資料輸入。</b>(輸入)編解碼器 1 之輸入。</p> <p><b>I<sup>2</sup>S系統時脈。</b>(輸出) I<sup>2</sup>S控制器之系統時脈。</p>  | 高阻抗 –<br>Note[1] | Note[3] |
| SDATA_O                        | ICOC      | <b>AC97 聲音埠資料輸出。</b> (輸出)   | 高阻抗 –            | Note[3] |

|                               |           |  |                  |         |
|-------------------------------|-----------|--|------------------|---------|
| UT/<br>GPIO[30]               | Z         | 自 PXA250 輸出至編解碼器 0 與 1。<br><b>I<sup>2</sup>S</b> 資料輸出。(輸出) I <sup>2</sup> S 控制器輸出                        | Note[1]          |         |
| SYNC/<br>GPIO[31]             | ICOC<br>Z | <b>AC97 聲音埠同步信號</b> 。(輸出) AC97 控制器之框架同步信號。<br><b>I<sup>2</sup>S</b> 同步。(輸出) I <sup>2</sup> S 控制器之框架同步信號。 | 高阻抗 –<br>Note[1] | Note[3] |
| nACRESE<br>T                  | OC        | <b>AC97 聲音埠重置信號</b> 。(輸出)  | 低電位驅動            | 低電位驅動   |
| <b>I<sup>2</sup>C 控制器腳位</b>   |           |  |                  |         |
| SCL                           | ICOC<br>Z | <b>I<sup>2</sup>C 時脈</b> 。(雙向)   | 高阻抗              | 高阻抗     |
| SDA                           | ICOC<br>Z | <b>I<sup>2</sup>C 資料</b> 。(雙向)   | 高阻抗              | 高阻抗     |
| <b>PWM 腳位</b>                 |           |  |                  |         |
| PWM[1:0]/<br>GPIO[17:16]      | ICOC<br>Z | <b>脈衝寬度調變通道 0 與 1</b> 。(輸出)  | 高阻抗 –<br>Note[1] | Note[3] |
| <b>DMA 腳位</b>                 |           |  |                  |         |
| DREQ[1:0]<br>/<br>GPIO[19:20] | ICOC<br>Z | <b>DMA 請求</b> 。(輸入) 通知 DMA 控制器有外部裝置請求 DMA 處理。DREQ[1] 為 GPIO[19]，DREQ[0] 為 GPIO[20]。                      | 高阻抗 –<br>Note[1] | Note[3] |
| <b>GPIO 腳位</b>                |           |  |                  |         |
| GPIO[1:0]                     | ICOC<br>Z | <b>通用 I/O</b> 。在 nRESET 腳位，正緣與負緣之喚醒。   | 高阻抗 –<br>Note[1] | Note[3] |
| GPIO[14:2]                    | ICOC<br>Z | <b>通用 I/O</b> 。睡眠模式之喚醒。  | 高阻抗 –<br>Note[1] | Note[3] |
| GPIO[22:21]                   | ICOC<br>Z | <b>通用 I/O</b> 。附加的通用 I/O 腳位。   | 高阻抗 –<br>Note[1] | Note[3] |
| <b>振盪晶體(Crystal)與時脈腳位</b>     |           |  |                  |         |
| PXTAL                         | OA        | <b>3.6864MHz 振盪晶體輸出</b> 。不需要外部線圈。  | Note[2]          | Note[2] |
| PEXTAL                        | IA        | <b>3.6864MHz 振盪晶體輸入</b> 。不需要外部線圈。  | Note[2]          | Note[2] |
| TX TAL                        | OA        | <b>32.768KHz 振盪晶體輸出</b> 。不需  | Note[2]          | Note[2] |

|                       |           |  |                  |                                |
|-----------------------|-----------|--|------------------|--------------------------------|
|                       |           | 要外部線圈。   |                  |                                |
| TEXTAL                | IA        | <b>32.768KHz 振盪晶體輸入</b> 。不需要外部線圈。  | Note[2]          | Note[2]                        |
| L_DD[12]/<br>GPIO[70] | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>RTC 時脈</b> 。(輸出) 1Hz 即時時脈。               | 高阻抗 –<br>Note[1] | Note[3]                        |
| L_DD[13]/<br>GPIO[71] | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>3.6864MHz 時脈</b> 。(輸出)自 3.6864MHz 振盪器輸出。 | 高阻抗 –<br>Note[1] | Note[3]                        |
| L_DD[14]/<br>GPIO[72] | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>32kHz 時脈</b> 。(輸出)自 32kHz 振盪器輸出。         | 高阻抗 –<br>Note[1] | Note[3]                        |
| 48MHz/<br>GP[7]       | ICOC<br>Z | <b>48MHz 時脈</b> 。(輸出)由 PLL 產生得到之週邊時脈輸出。<br><b>注意</b> :當 USB 單元時脈致能被設定時才會輸出時脈。                  | 高阻抗 –<br>Note[1] | Note[3]                        |
| RTCCLK/<br>GP[10]     | ICOC<br>Z | <b>RTC 時脈</b> 。(輸出)自 32kHz 或 3.6864MHz 產生得到 1Hz 時脈輸出。  | 高阻抗 –<br>Note[1] | Note[3]                        |
| 3.6MHz/<br>GP[11]     | ICOC<br>Z | <b>3.6864MHz 時脈</b> 。(輸出)自 3.6864MHz 振盪器輸出。  | 高阻抗 –<br>Note[1] | Note[3]                        |
| 32kHz/<br>GP[12]      | ICOC<br>Z | <b>32kHz 時脈</b> 。(輸出)自 32kHz 振盪器輸出。  | 高阻抗 –<br>Note[1] | Note[3]                        |
| 其它腳位                  |           |  |                  |                                |
| BOOT_SE<br>L<br>[2:0] | IC        | <b>開機選擇腳位</b> 。(輸入)指示開機裝置的類型。  | 輸入               | 輸入                             |
| PWR_EN                | OC        | <b>電源供應之電源致能</b> 。(輸出)當無效時，會發出信號給電源供應器，用來移除核心的電源，因為系統將進入睡眠模式。                                  | 低電位驅動            | 進入睡眠模式：低電位驅動。<br>離開睡眠模式：高電位驅動。 |

|             |    |   |                               |                                  |
|-------------|----|---|-------------------------------|----------------------------------|
| nBATT_FAULT | IC | <b>主電池錯誤。</b> (輸入)當主電池電源不足或移除時發出信號。PXA250 應用處理器會進入睡眠模式或強制產生一個不正確的資料例外處理，且無法被遮蔽。當主電池錯誤信號正在觸發時，PXA250 沒有辦法同時辨識喚醒事件。nBATT_FAULT 之最小觸發時間為 1ms。                                | 輸入                            | 輸入                               |
| nVDD_FAULT  | IC | <b>VDD 錯誤。</b> (輸入)當主電源來源不穩定時發出信號。PXA250 應用處理器會進入睡眠模式或強制產生一個不正確的資料例外處理，且無法被遮蔽。在喚醒事件發生之後，nVDD_FAULT 會被忽略，直到電源供應計時器計時完畢(大約為 10ms)。nVDD_FAULT 之最小觸發時間為 1ms。                  | 輸入                            | 輸入                               |
| nRESET      | IC | <b>硬重置。</b> (輸入)層級感應輸入(level sensitive input)用來從已知的位址啟動處理器。觸發該腳位時會讓目前正在執行的指令不正常地停止，且會引發重置。當 nRESET 驅動為高電位，應用處理器會從位址 0 開始執行。nRESET 必須一直維持低電位，直到電源供應穩定，與 3.6864MHz 振盪器穩定為止。 | 輸入                            | 輸入。睡眠模式時低電位驅動，會引發正常重置程序以及離開睡眠模式。 |
| nRESET_OUT  | OC | <b>重置輸出。</b> (輸出)當 nRESET 被觸發時會觸發，在 nRESET 觸發移除之後與第一個指令被抓取之前會移除觸發。nRESET_OUT 也會觸發「軟」重置事件：如睡眠、看門狗重置或 GPIO 重置。  | 在重置期間為低電位驅動。在第一個指令被抓取之前高電位驅動。 | 低電位驅動                            |
| JTAG 與測試腳位  |    |   |                               |                                  |
| nTRST       | IC | <b>JTAG 測試介面重置。</b> 重置  | 輸入                            | 輸入                               |

|         |     |   |     |         |
|---------|-----|---|-----|---------|
|         |     | JTAG/Debug 埠。若 JTAG/Debug 重置後有被使用，則隨著 nRESET 或是在 nRESET 之前由低電位變為高電位驅動。若 JTAG/Debug 重置後沒有被使用，則在隨著 nRESET 或是在 nRESET 之前變為低電位。 |     |         |
| TDI     | IC  | <b>JTAG 測試資料輸入。</b> (輸入) 使用此腳位自 JTAG 控制器傳送資料至 PXA250。此腳位具有內部提升電阻 (internal pull-up resistor)。                               | 輸入  | 輸入      |
| TDO     | OCZ | <b>JTAG 測試資料輸出。</b> (輸出)PXA250 控制器使用此腳位將資料傳回 JTAG 控制器。  | 高阻抗 | 高阻抗     |
| TMS     | IC  | <b>JTAG 測試模式選擇。</b> (輸入)選擇 JTAG 控制器所需的測試模式。此腳位具有內部提升電阻(internal pull-up resistor)。  | 輸入  | 輸入      |
| TCK     | IC  | <b>JTAG 測試時脈。</b> (輸入)JTAG 測試介面上所有的傳送時脈。  | 輸入  | 輸入      |
| TEST    | IC  | <b>測試模式。</b> (輸入)保留。必須接地。   | 輸入  | 輸入      |
| TESTCLK | IC  | <b>測試時脈。</b> (輸入)保留。必須接地。   | 輸入  | 輸入      |
| 電源與接地腳位 |     |   |     |         |
| VCC     | SUP | <b>內部邏輯之正供應 (positive supply)。</b> 必須連接至 PCB 上的低電壓供應(.85 – 1.3v)。   | 供電  | Note[6] |
| VSS     | SUP | <b>內部邏輯之接地供應 (ground supply)。</b> 必須連接至 PCB 上的共同接地面。  | 接地  | 接地      |
| PLL_VCC | SUP | <b>PLL 與振盪器之正供應(positive supply)。</b> 必須連接至 PCB 上的低電壓供應。  | 供電  | Note[6] |
| PLL_VSS | SUP | <b>PLL 之接地供應 (ground supply)。</b> 必須連接至 PCB 上的共同接地面。  | 接地  | 接地      |

|      |     |  |    |         |
|------|-----|--|----|---------|
| VCCQ | SUP | 記憶體匯流排與 PCMCIA 腳位除外的所有 CMOS I/O 正供應(positive supply)。必須連接至 PCB 上之 3.3v 供應。 | 供電 | Note[7] |
| VSSQ | SUP | 記憶體匯流排與 PCMCIA 腳位除外的所有 CMOS I/O 接地供應(ground supply)。必須連接至 PCB 上的共同接地面。     | 接地 | 接地      |
| VCCN | SUP | 記憶體匯流排與 PCMCIA 腳位之正供應(positive supply)。必須連接至 PCB 上之 3.3v 或 2.5v 供應。        | 供電 | Note[7] |
| VSSN | SUP | 記憶體匯流排與 PCMCIA 腳位之接地供應(ground supply)。必須連接至 PCB 上的共同接地面。                   | 接地 | 接地      |

表 4-8 腳位說明注意事項

| Note | 說明  |
|------|---|
| [1]  | <i>GPIO 重置操作</i> ：在任何重置之後，由預設值設定組態為 GPIO 輸入。這些腳位的輸入緩衝區為關閉的，以避免電流吸取。且在使用這些腳位之前必須先清除 RDH(Read Disable Hold)位元，再將這些腳位的輸入緩衝區致能。詳細說明於 5.5.7 節「電源管理睡眠狀態暫存器」。  |
| [2]  | <i>振盪晶體(Crystal)腳位</i> ：這些腳位用來連接外部振盪晶體與 on-chip 振盪器。關於睡眠模式詳細的操作請參考 5.3.1 節「32.768kHz 振盪器」與 5.3.2 節「3.6864MHz 振盪器」。  |
| [3]  | <i>GPIO 睡眠操作</i> ：在轉換至睡眠模式期間，這些腳位的狀態由對應的 PGSRn 來決定。請參考 5.5.9 節「電源管理 GPIO 睡眠狀態暫存器」與 6.1.3.2 節「GPIO 腳位方向暫存器(GPDR)」。若選擇為輸入，此腳位在睡眠模式期間不會驅動。若選擇為輸出，則當 PXA250 在睡眠模式時，腳位的狀態會依照睡眠狀態暫存器內的值輸出，並且保持。<br><b>若設定為輸入的 GPIO 腳位，在離開睡眠模式時不能使用，一直到 PSSR[RDH]被清除為止。</b>            |
| [4]  | <i>靜態記憶體控制腳位</i> ：在睡眠模式期間，這些腳位可依照睡眠狀態暫存器(Sleep State Register)的值驅動，或是設定為高阻抗。若要設定為高阻抗狀態，軟體必須設定電源管理一般組態暫存器(Power Manager General Configuration Register)內的 FS 位元。若 PCFR[FS]未設定，則在轉換為睡眠模式的期間，這些腳位運作如上面的[3]所示。對 nWE、nOE 與 nCS[0]而言，若 PCFR[FS]未設定，則在進入睡眠模式之前，它們會被記憶體 |



|     |  |
|-----|--|
|     | 控制器驅動為高電位。若 PCFR[FS]已設定，這些腳位會被設定為高阻抗。  |
| [5] | <i>PCMCIA 控制/腳位</i> ：在睡眠模式期間：可以程式化來驅動睡眠狀態暫存器內的值，或置於高阻抗，而軟體必須設定 PCFR[FP]。若未設定，在轉換到睡眠模式期間，這些腳位的功能與[3]所敘述的相同。 |
| [6] | 在睡眠期間，此供應為低電位驅動。   |
| [7] | 在睡眠模式下繼續供電。  |

表 4-9 說明 PXA210 腳位。

表 4-9 PXA210 應用處理器腳位與信號說明

| 腳位名稱       | 類型    | 腳位說明  | 重置狀態  | 睡眠狀態    |
|------------|-------|---|-------|---------|
| 記憶體控制器腳位   |       |   |       |         |
| MA[25:0]   | OCZ   | 記憶體位址匯流排。(輸出) 記憶體存取之位址請求信號。   | 低電位驅動 | 低電位驅動   |
| MD[15:0]   | ICOCZ | 記憶體資料匯流排。(輸入／輸出) 資料匯流排較低的 16 位元。  | 高阻抗   | 低電位驅動   |
| nOE        | OCZ   | 記憶體輸出致能。(輸出)連接至記憶體裝置的輸出致能，用來控制資料匯流排驅動器。   | 高電位驅動 | Note[4] |
| nWE        | OCZ   | 記憶體寫入致能。(輸出)連接至記憶體裝置的寫入致能。  | 高電位驅動 | Note[4] |
| nSDCS[1:0] | OCZ   | <b>SDRAM Bank 1~0 的 CS。</b> (輸出)連接至 SDRAM 的 CS 腳位。PXA210 應用處理器的 nSDCS0 可為高阻抗，但 nSDCS1 則不可以。 | 高電位驅動 | Note[5] |
| DQM[1:0]   | OCZ   | <b>SDRAM 資料位元組 1~0 的 DQM。</b> (輸出)連接至 SDRAM 的資料輸出遮罩致能(data output mask enables – DQM)腳位。    | 低電位驅動 | 低電位驅動   |
| nSDRAS     | OCZ   | <b>SDRAM RAS。</b> (輸出)連接至 SDRAM 所有 bank 的 row address strobe (RAS)腳位。                       | 高電位驅動 | 高電位驅動   |
| nSDCAS     | OCZ   | <b>SDRAM CAS。</b> (輸出)連接至 SDRAM 所有 bank 的 column address strobe (CAS)腳位。                    | 高電位驅動 | 高電位驅動   |
| SDCKE[0]   | OC    | <b>SDRAM 與／或同步靜態記憶體</b>   | 低電位驅動 | 低電位驅動   |

|          |    |   |       |       |
|----------|----|---|-------|-------|
|          |    | 時脈致能。(輸出)連接至 SMROM 以及 SDRAM-timing 同步快閃記憶體的 CKE 腳位。記憶體控制器提供控制暫存器位元供觸發移除。  | 動     | 動     |
| SDCKE[1] | OC | <b>SDRAM 與／或同步靜態記憶體時脈致能。</b> (輸出)連接至 SDRAM 的時脈致能腳位。在睡眠狀態時觸發移除。在重置時 SDCLK[1] 保持觸發移除。記憶體控制器提供觸發移除的控制暫存器位元。  | 低電位驅動 | 低電位驅動 |
| SDCLK[0] | OC | <b>同步靜態記憶體時脈。</b> (輸出)連接至 SMROM 之 CLK 腳位。它會藉由內部記憶體控制器時脈或是 1/2 內部記憶體控制器時脈來驅動。在重置時，所有時脈腳位都以 1/2 時脈速度執行，而且可以經由自由執行控制器位元(free running control register bits)來關閉。記憶體控制器也提供控制暫存器位元來為每個 SDCLK 腳位做時脈分割與觸發移除。若開機時間靜態記憶體(boot-time static memory) bank 0 設定為 SMROM，則 SDCLK[0]控制暫存器會預設為啟動。 | 低電位驅動 | 低電位驅動 |

|                      |           |  |                  |         |
|----------------------|-----------|--|------------------|---------|
| SDCLK[1]             | OCZ       | <b>SDRAM 時脈</b> 。(輸出)連接 SDCLK[1]至 SDRAM 的 bank pair 0/1 的時脈腳位。它會藉由內部記憶體控制器時脈或是 1/2 內部記憶體控制器時脈來驅動。在重置時，所有時脈腳位都以 1/2 時脈速度執行，而且可以經由自由執行控制器位元 (free running control register bits)來關閉。記憶體控制器也提供控制暫存器位元來為每個 SDCLK 腳位做時脈分割與觸發移除。SDCLK[1]控制暫存器觸發位元總是在重置時觸發移除。 | 低電位驅動            | 低電位驅動   |
| nCS[5]/<br>GPIO[33]  | ICOC<br>Z | <b>靜態晶片選擇</b> 。(輸出)靜態記憶體裝置(如 ROM、Flash)之晶片選擇。在記憶體組態暫存器內個別程式化。nCS[5:0]可與可變延遲的 I/O 裝置一同使用。   | 高阻抗 –<br>Note[1] | Note[4] |
| nCS[4]/<br>GPIO[80]  | ICOC<br>Z |  |                  |         |
| nCS[3]/<br>GPIO[79]  | ICOC<br>Z |  |                  |         |
| nCS[2]/<br>GPIO[78]  | ICOC<br>Z |  |                  |         |
| nCS[1]/<br>GPIO[15]  | ICOC<br>Z |  |                  |         |
| nPWE/<br>GPIO[49]    | ICOC<br>Z | <b>VLIO 寫入致能(輸出)</b> 。可變延遲 I/O 的寫入致能信號。  | 高阻抗 –<br>Note[1] | Note[5] |
| nCS[0]               | ICOC<br>Z | <b>靜態晶片選擇 0</b> 。(輸出)開機記憶體之晶片選擇。nCS[0]為專用的腳位。  | 高電位驅動            | Note[4] |
| RD/nWR               | OCZ       | <b>靜態介面讀／寫</b> 。(輸出)送出目前處理的讀取或寫入的信號。   | 低電位驅動            |         |
| RDY/<br>GPIO[18]     | ICOC<br>Z | <b>可變延遲 I/O 準備腳位</b> 。(輸入)當外部匯流排裝置準備好傳送資料時，通知記憶體控制器。   | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[8]/<br>GPIO[66] | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出)從 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>記憶體控制選擇匯流排主控者請</b>   | 高阻抗 –<br>Note[1] | Note[3] |

|                               |           |   |                  |         |
|-------------------------------|-----------|---|------------------|---------|
|                               |           | <b>求(Memory Controller alternate bus master request)。(輸入)允許外部裝置自記憶體控制器請求系統匯流排。</b>                    |                  |         |
| L_DD[15]/<br>GPIO[73]         | ICOC<br>Z | <b>LCD 顯示資料。</b> (輸出)自 LCD 控制器傳送資料給外部 LCD 面板。<br><b>記憶體控制器允許。</b> (輸出)通知外部裝置取得系統匯流排。                  | 高阻抗 –<br>Note[1] | Note[3] |
| <b>LCD 控制器腳位</b>              |           |   |                  |         |
| L_DD(7:0)/<br>GPIO[65:5<br>8] | ICOC<br>Z | <b>LCD 顯示資料。</b> (輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。   | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[8]/<br>GPIO[66]          | ICOC<br>Z | <b>LCD 顯示資料。</b> (輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>記憶體控制器選擇匯流排主控者請求。</b> (輸入)允許外部裝置自記憶體控制器請求系統匯流排。 | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[9]/<br>GPIO[67]          | ICOC<br>Z | <b>LCD 顯示資料。</b> (輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>MMC 晶片選擇 0。</b> (輸出)MMC 控制器晶片選擇 0。              | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[10]/<br>GPIO[68]         | ICOC<br>Z | <b>LCD 顯示資料。</b> (輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>MMC 晶片選擇 1。</b> (輸出)MMC 控制器晶片選擇 1。              | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[11]/<br>GPIO[69]         | ICOC<br>Z | <b>LCD 顯示資料。</b> (輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>MMC 時脈。</b> (輸出)MMC 控制器之時脈。                     | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[12]/<br>GPIO[70]         | ICOC<br>Z | <b>LCD 顯示資料。</b> (輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>RTC 時脈。</b> (輸出) 1Hz 即時時脈。                      | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[13]/                     | ICOC      | <b>LCD 顯示資料。</b> (輸出)自 LCD 控  | 高阻抗 –            | Note[3] |

|                       |           |  |                  |         |
|-----------------------|-----------|--|------------------|---------|
| GPIO[71]              | Z         | 制器傳送像素資訊至外部 LCD 面板。<br><b>3.6864MHz 時脈</b> 。(輸出)自 3.6864MHz 振盪器輸出。                       | Note[1]          |         |
| L_DD[14]/<br>GPIO[72] | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>32kHz 時脈</b> 。(輸出)自 32kHz 振盪器輸出。   | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[15]/<br>GPIO[73] | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>記憶體控制器給予</b> 。(輸出)通知外部裝置得到系統匯流排允許。 | 高阻抗 –<br>Note[1] | Note[3] |
| L_FCLK/<br>GPIO[74]   | ICOC<br>Z | <b>LCD 框架時脈(frame clock)</b> 。(輸出)指出新框架的開始。與 Vsync 同。                                    | 高阻抗 –<br>Note[1] | Note[3] |
| L_LCLK/<br>GPIO[75]   | ICOC<br>Z | <b>LCD 線時脈(line clock)</b> 。(輸出)指出新線的開始。與 Hsync 同。                                       | 高阻抗 –<br>Note[1] | Note[3] |
| L_PCLK/<br>GPIO[76]   | ICOC<br>Z | <b>LCD 像素時脈(pixel clock)</b> 。(輸出)有效的時脈像素資料送入 LCD 線移位緩衝區 (line shift buffer)。            | 高阻抗 –<br>Note[1] | Note[3] |
| L_BIAS/<br>GPIO[77]   | ICOC<br>Z | <b>AC 偏差驅動器</b> 。(輸出)通知某些被動 LCD 面板改變極性。在 TFT 面板裡，此信號表示有效的像素資料。                           | 高阻抗 –<br>Note[1] | Note[3] |
| 全功能 UART 腳位           |           |  |                  |         |
| FFRXD/<br>GPIO[34]    | ICOC<br>Z | <b>全功能 UART 接收</b> 。(輸入)<br><b>MMC 晶片選擇 0</b> 。(輸出)MMC 控制器晶片選擇 0。                        | 高阻抗 –<br>Note[1] | Note[3] |
| FFTXD/<br>GPIO[39]    | ICOC<br>Z | <b>全功能 UART 傳送</b> 。(輸出)<br><b>MMC 晶片選擇 1</b> 。(輸出)MMC 控制器晶片選擇 1。                        | 高阻抗 –<br>Note[1] | Note[3] |
| 藍芽 UART 腳位            |           |  |                  |         |
| BTRXD/<br>GPIO[42]    | ICOC<br>Z | <b>藍芽 UART 接收</b> 。(輸入)  | 高阻抗 –<br>Note[1] | Note[3] |
| BTTXD/<br>GPIO[42]    | ICOC      | <b>藍芽 UART 傳送</b> 。(輸出)  | 高阻抗 –            | Note[3] |

|                       |           |  |                  |         |
|-----------------------|-----------|--|------------------|---------|
| GPIO[43]              | Z         |  | Note[1]          |         |
| BTCTS/<br>GPIO[44]    | ICOC<br>Z | 藍芽 UART Clear-to-Send。(輸入)   | 高阻抗 –<br>Note[1] | Note[3] |
| BTRTS/<br>GPIO[45]    | ICOC<br>Z | 藍芽 UART Data-Terminal-Ready。(輸出)   | 高阻抗 –<br>Note[1] | Note[3] |
| 標準 UART 與 ICP 腳位      |           |  |                  |         |
| IRRXD/<br>GPIO[46]    | ICOC<br>Z | IrDA 接收信號。(輸入)FIR 功能之接收腳位。<br>標準 UART 接收。(輸入)                            | 高阻抗 –<br>Note[1] | Note[3] |
| IRTXD/<br>GPIO[47]    | ICOC<br>Z | IrDA 傳送信號。(輸出)標準 UART、SIR 與 FIR 功能之傳送腳位。<br>標準 UART 傳送。(輸出)              | 高阻抗 –<br>Note[1] | Note[3] |
| MMC 控制器腳位             |           |  |                  |         |
| MMCMD                 | ICOC<br>Z | 多媒體卡命令。(雙向)  | 高阻抗              | 高阻抗     |
| MMDAT                 | ICOC<br>Z | 多媒體卡資料。(雙向)  | 高阻抗              | 高阻抗     |
| GPIO[53]              | ICOC<br>Z | MMC 時脈。(輸出)MMC 控制器時脈信號。  | 高阻抗 –<br>Note[1] | Note[5] |
| L_DD[9]/<br>GPIO[67]  | ICOC<br>Z | LCD 顯示資料。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br>MMC 晶片選擇 0。(輸出)MMC 控制器晶片選擇 0。 | 高阻抗 –<br>Note[1] | Note[3] |
| L_DD[10]/<br>GPIO[68] | ICOC<br>Z | LCD 顯示資料。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br>MMC 晶片選擇 1。(輸出)MMC 控制器晶片選擇 1。 | 高阻抗 –<br>Note[1] | Note[3] |
| LDD[11]/<br>GPIO[69]  | ICOC<br>Z | LCD 顯示資料。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br>MMC 時脈。(輸出)MMC 控制器時脈。         | 高阻抗 –<br>Note[1] | Note[3] |
| FFRXD/<br>GPIO[34]    | ICOC<br>Z | 全功能 UART 接收。(輸入)<br>MMC 晶片選擇 0。(輸出)MMC 控制器晶片選擇 0。                        | 高阻抗 –<br>Note[1] | Note[3] |

|                                |           |  |                  |         |
|--------------------------------|-----------|--|------------------|---------|
| FFTXD/<br>GPIO[39]             | ICOC<br>Z | 全功能 UART 傳送。(輸出)<br>MMC 晶片選擇 1。(輸出)MMC<br>控制器晶片選擇 1。   | 高阻抗 –<br>Note[1] | Note[3] |
| SSP 腳位                         |           |  |                  |         |
| SSPCLK/<br>GPIO[23]            | ICOC<br>Z | 同步序列埠時脈。(輸出)   | 高阻抗 –<br>Note[1] | Note[3] |
| SSPSFRM/<br>GPIO[24]           | ICOC<br>Z | 同步序列埠框架。(輸出)   | 高阻抗 –<br>Note[1] | Note[3] |
| SSPTXD/<br>GPIO[25]            | ICOC<br>Z | 同步序列埠傳送。(輸出)   | 高阻抗 –<br>Note[1] | Note[3] |
| SSPRXD/<br>GPIO[26]            | ICOC<br>Z | 同步序列埠接收。(輸入)   | 高阻抗 –<br>Note[1] | Note[3] |
| SSPEXTC<br>LK/<br>GPIO[27]     | ICOC<br>Z | 同步序列埠外部時脈。(輸入)   | 高阻抗 –<br>Note[1] | Note[3] |
| USB 客戶端腳位                      |           |  |                  |         |
| USB_P                          | IAOA<br>Z | USB 客戶端正向。(雙向)   | 高阻抗              | 高阻抗     |
| USB_N                          | IAOA<br>Z | USB 客戶端負向腳位。(雙向)   | 高阻抗              | 高阻抗     |
| AC97 控制器與I <sup>2</sup> S控制器腳位 |           |  |                  |         |
| BITCLK/<br>GPIO[28]            | ICOC<br>Z | AC97 聲音埠位元時脈。(輸入)AC97 時脈由編解碼器 0 產生，而送進入 PXA250 與編解碼器 1。<br>AC97 聲音埠位元時脈。(輸出)AC97 時脈由 PXA250 應用處理器產生。<br>I <sup>2</sup> S位元時脈。(輸入) I <sup>2</sup> S時脈由外部產生，再送進入PXA250 應用處理器。<br>I <sup>2</sup> S位元時脈。(輸出) I <sup>2</sup> S時脈由 PXA250 應用處理器產生。 | 高阻抗 –<br>Note[1] | Note[3] |
| SDATA_IN<br>0/<br>GPIO[29]     | ICOC<br>Z | AC97 聲音埠資料輸入。(輸入)編解碼器 0 之輸入。<br>I <sup>2</sup> S資料輸入。(輸入) I <sup>2</sup> S控制器之輸入。  | 高阻抗 –<br>Note[1] | Note[3] |
| SDATA_IN                       | ICOC      | AC97 聲音埠資料輸入。(輸入)  | 高阻抗 –            | Note[3] |

|                              |           |  |                  |         |
|------------------------------|-----------|--|------------------|---------|
| 1/<br>GPIO[32]               | Z         | 編解碼器 1 之輸入。<br><b>I<sup>2</sup>S 系統時脈</b> 。(輸出) I <sup>2</sup> S 控制器之系統時脈。                                   | Note[1]          |         |
| SDATA_O<br>UT/<br>GPIO[30]   | ICOC<br>Z | <b>AC97 聲音埠資料輸出</b> 。(輸出) 自 PXA250 輸出至編解碼器 0 與 1。<br><b>I<sup>2</sup>S 資料輸出</b> 。(輸出) I <sup>2</sup> S 控制器輸出 | 高阻抗 –<br>Note[1] | Note[3] |
| SYNC/<br>GPIO[31]            | ICOC<br>Z | <b>AC97 聲音埠同步信號</b> 。(輸出) AC97 控制器之框架同步信號。<br><b>I<sup>2</sup>S 同步</b> 。(輸出) I <sup>2</sup> S 控制器之框架同步信號。    | 高阻抗 –<br>Note[1] | Note[3] |
| nACRESE<br>T                 | OC        | <b>AC97 聲音埠重置信號</b> 。(輸出)  | 低電位驅動            | 低電位驅動   |
| <b>I<sup>2</sup>C 控制器腳位</b>  |           |  |                  |         |
| SCL                          | ICOC<br>Z | <b>I<sup>2</sup>C 時脈</b> 。(雙向)   | 高阻抗              | 高阻抗     |
| SDA                          | ICOC<br>Z | <b>I<sup>2</sup>C 資料</b> 。(雙向)   | 高阻抗              | 高阻抗     |
| <b>PWM 腳位</b>                |           |  |                  |         |
| PWM[1:0]/<br>GPIO[17:1<br>6] | ICOC<br>Z | <b>脈衝寬度調變通道 0 與 1</b> 。(輸出)  | 高阻抗 –<br>Note[1] | Note[3] |
| <b>GPIO 腳位</b>               |           |  |                  |         |
| GPIO[1:0]                    | ICOC<br>Z | <b>通用 I/O</b> 。在 nRESET 腳位，正緣與負緣之喚醒。   | 高阻抗 –<br>Note[1] | Note[3] |
| GPIO[57:4<br>8]              | ICOC<br>Z | <b>通用 I/O</b> 。附加的通用 I/O 腳位。   | 高阻抗 –<br>Note[1] | Note[3] |
| <b>晶體與時脈腳位</b>               |           |  |                  |         |
| PXTAL                        | IA        | <b>3.6864MHz 振盪晶體輸入</b> 。  | Note[2]          | Note[2] |
| PEXTAL                       | OA        | <b>3.6864MHz 振盪晶體輸出</b> 。  | Note[2]          | Note[2] |
| TXTAL                        | IA        | <b>32.768KHz 振盪晶體輸入</b> 。  | Note[2]          | Note[2] |
| TEXTAL                       | OA        | <b>32.768KHz 振盪晶體輸出</b> 。  | Note[2]          | Note[2] |
| L_DD[12]/<br>GPIO[70]        | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出) 自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>RTC 時脈</b> 。(輸出) 1Hz 即時時脈。                            | 高阻抗 –<br>Note[1] | Note[3] |



|                       |           |  |                  |                                |
|-----------------------|-----------|--|------------------|--------------------------------|
| L_DD[13]/<br>GPIO[71] | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>3.6864MHz 時脈</b> 。(輸出)自 3.6864MHz 振盪器輸出。   | 高阻抗 –<br>Note[1] | Note[3]                        |
| L_DD[14]/<br>GPIO[72] | ICOC<br>Z | <b>LCD 顯示資料</b> 。(輸出)自 LCD 控制器傳送像素資訊至外部 LCD 面板。<br><b>32kHz 時脈</b> 。(輸出)自 32kHz 振盪器輸出。   | 高阻抗 –<br>Note[1] | Note[3]                        |
| 其它腳位                  |           |  |                  |                                |
| BOOT_SE<br>L<br>[2:0] | IC        | <b>開機選擇腳位</b> 。(輸入)指示開機裝置的類型。  | 輸入               | 輸入                             |
| PWR_EN                | OC        | <b>電源供應之電源致能</b> 。(輸出)當無效時，會發出信號給電源供應器，用來移除核心的電源，因為系統將進入睡眠模式。  | 高電位驅動            | 進入睡眠模式：低電位驅動。<br>離開睡眠模式：高電位驅動。 |
| nBATT_FAULT           | IC        | <b>主電池錯誤</b> 。(輸入)當主電池電源不足或移除時發出信號。PXA210 應用處理器會進入睡眠模式或強制產生一個不正確的資料例外處理，且無法被遮蔽。當主電池錯誤信號正在觸發時，PXA210 沒有辦法同時辨識喚醒事件。nBATT_FAULT 之最小觸發時間為 1ms。               | 輸入               | 輸入                             |
| nVDD_FAULT            | IC        | <b>VDD 錯誤</b> 。(輸入)當主電源來源不穩定時發出信號。PXA210 應用處理器會進入睡眠模式或強制產生一個不正確的資料例外處理，且無法被遮蔽。在喚醒事件發生之後，nVDD_FAULT 會被忽略，直到電源供應計時器計時完畢(大約為 10ms)。nVDD_FAULT 之最小觸發時間為 1ms。 | 輸入               | 輸入                             |

|                   |     |   |                                   |                                  |
|-------------------|-----|---|-----------------------------------|----------------------------------|
| nRESET            | IC  | <b>硬重置。</b> (輸入)層級感應輸入(level sensitive input)用來從已知的位址啟動處理器。觸發該腳位時會讓目前正在執行的指令不正常地停止，且會引發重置。當 nRESET 驅動為高電位，應用處理器會從位址 0 開始執行。nRESET 必須一直維持低電位，直到電源供應穩定，與 3.6864MHz 振盪器穩定為止。 | 輸入                                | 輸入。睡眠模式時低電位驅動，會引發正常重置程序以及離開睡眠模式。 |
| nRESET_OUT        | OC  | <b>重置輸出。</b> (輸出)當 nRESET 被觸發時會觸發，在 nRESET 觸發移除之後與第一個指令被抓取之前會移除觸發。nRESET_OUT 也會觸發「軟」重置事件：如睡眠、看門狗重置或 GPIO 重置。  | 在重置期間為低電位驅動。<br>在第一個指令被抓取之前高電位驅動。 | 低電位驅動                            |
| <b>JTAG 與測試腳位</b> |     |   |                                   |                                  |
| nTRST             | IC  | <b>JTAG 測試介面重置。</b> 重置 JTAG/Debug 埠。若 JTAG/Debug 重置後有被使用，則隨著 nRESET 或是在 nRESET 之前由低電位變為高電位驅動。若 JTAG/Debug 重置後沒有被使用，則在隨著 nRESET 或是在 nRESET 之前變為低電位。                        | 輸入                                | 輸入                               |
| TDI               | IC  | <b>JTAG 測試資料輸入。</b> (輸入)使用此腳位自 JTAG 控制器傳送資料至 PXA210。此腳位具有內部提升電阻(internal pull-up resistor)。   | 輸入                                | 輸入                               |
| TDO               | OCZ | <b>JTAG 測試資料輸出。</b> (輸出)PXA210 控制器使用此腳位將資料傳回 JTAG 控制器。  | 高阻抗                               | 高阻抗                              |
| TMS               | IC  | <b>JTAG 測試模式選擇。</b> (輸入)選擇 JTAG 控制器所需的測試模式。此腳位具有內部提升電阻(internal   | 輸入                                | 輸入                               |

|                |     |  |    |         |
|----------------|-----|--|----|---------|
|                |     | pull-up resistor)。   |    |         |
| TCK            | IC  | <b>JTAG 測試時脈</b> 。(輸入)JTAG 測試介面上所有的傳送時脈。                                 | 輸入 | 輸入      |
| TEST           | IC  | <b>測試模式</b> 。(輸入)保留。必須接地。  | 輸入 | 輸入      |
| TESTCLK        | IC  | <b>測試時脈</b> 。(輸入)保留。必須接地。  | 輸入 | 輸入      |
| <b>電源與接地腳位</b> |     |  |    |         |
| VCC            | SUP | <b>內部邏輯之正供應 (positive supply)</b> 。必須連接至 PCB 上的低電壓供應(.85 – 1.3v)。        | 供電 | Note[5] |
| VSS            | SUP | <b>內部邏輯之接地供應 (ground supply)</b> 。必須連接至 PCB 上的共同接地面。                     | 接地 | 接地      |
| PLL_VCC        | SUP | <b>PLL 與振盪器之正供應 (positive supply)</b> 。必須連接至 PCB 上的低電壓供應。                | 供電 | Note[5] |
| PLL_VSS        | SUP | <b>PLL 之接地供應 (ground supply)</b> 。必須連接至 PCB 上的共同接地面。                     | 接地 | 接地      |
| VCCQ           | SUP | <b>記憶體匯流排除外的所有 CMOS I/O 正供應 (positive supply)</b> 。必須連接至 PCB 上之 3.3v 供應。 | 供電 | Note[6] |
| VSSQ           | SUP | <b>記憶體匯流排除外的所有 CMOS I/O 接地供應 (ground supply)</b> 。必須連接至 PCB 上的共同接地面。     | 接地 | 接地      |
| VCCN           | SUP | <b>記憶體匯流排之正供應 (positive supply)</b> 。必須連接至 PCB 上之 3.3v 或 2.5v 供應。        | 供電 | Note[6] |
| VSSN           | SUP | <b>記憶體匯流排與某些 GPIO 腳位之接地供應 (ground supply)</b> 。必須連接至 PCB 上的共同接地面。        | 接地 | 接地      |

表 4-10 腳位說明注意事項

| Note | 說明   |
|------|--|
| [1]  | <i>GPIO 重置操作</i> ：在任何重置之後，由預設值設定組態為 GPIO 輸入。這些腳位的輸入緩衝區也是關閉，以避免電流吸取。且在使用這些腳位之前必須先清除 RDH(Read Disable Hold)位元，再將這些腳位的輸入緩 |

|     |  |
|-----|--|
|     | 衝區致能。詳細說明於 5.5.7 節「電源管理睡眠狀態暫存器」。   |
| [2] | 振盪晶體(Crystal)腳位：這些腳位用來連接外部振盪晶體與 on-chip 振盪器。關於睡眠模式詳細的操作請參考 5.3.1 節「32.768kHz 振盪器」與 5.3.2 節「3.6864MHz 振盪器」。   |
| [3] | <b>GPIO 睡眠操作：</b> 在轉換至睡眠模式期間，這些腳位的狀態由對應的 PGSRn 來決定。請參考 5.5.9 節「電源管理 GPIO 睡眠狀態暫存器」與 6.1.3.2 節「GPIO 腳位方向暫存器(GPDR)」。 <b>若選擇為輸入，此腳位在睡眠模式期間不會驅動。若選擇為輸出，則當 PXA250 在睡眠模式時，腳位的狀態會依照睡眠狀態暫存器內的值輸出，並且保持。</b><br><b>若設定為輸入的 GPIO 腳位，在離開睡眠模式時不能使用，一直到 PSSR[RDH]被清除為止。</b>   |
| [4] | <b>靜態記憶體控制腳位：</b> 在睡眠模式期間，這些腳位可依照睡眠狀態暫存器(Sleep State Register)的值驅動，或是設定為高阻抗。若要設定為高阻抗狀態，軟體必須設定電源管理一般組態暫存器(Power Manager General Configuration Register)內的 FS 位元。若 PCFR[FS]未設定，則在轉換為睡眠模式的期間，這些腳位運作如上面的[3]所示。對 nWE、nOE 與 nCS[0]而言，若 PCFR[FS]未設定，則在進入睡眠模式之前，它們會被記憶體控制器驅動為高電位。若 PCFR[FS]已設定，這些腳位會被設定為高阻抗。 |
| [5] | 在睡眠期間，此供應為低電位驅動。   |
| [6] | 在睡眠模式下繼續供電。  |

## 4.13 處理器選項

PXA250 應用處理器的包裝為 17x17mm PBGA。PXA210 應用處理器的包裝為 13x13mm T-PBGA。

PXA250 應用處理器包含所有信號。PXA210 應用處理器不支援的信號列於表 4-11 中。我們可由軟體來讀取應用處理器的類型。

表 4-11 PXA210 應用處理器不支援的信號

| 腳位名稱       | 腳位功能             | 可否存取 |
|------------|------------------|------|
| MD[31:16]  | 高位元的資料匯流排        | 無法存取 |
| DQM[3:2]   | SDRAM 位元組的選擇     | 無法存取 |
| nSDCS[3:2] | SDRAM bank 的晶片選擇 | 無法存取 |
| nSDCLK[2]  | SDRAM 時脈         | 無法存取 |

|                           |                               |              |
|---------------------------|-------------------------------|--------------|
| DREQ[1:0]/<br>GPIO[20:19] | DMA 請求                        | 無法存取         |
| FFCTS/GPIO[35]            | 數據機流量控制 – Clear to Send       | 讀取傳回 0，寫入忽略。 |
| FFDCD/GPIO[36]            | 數據機流量控制 – Carrier Detect      | 讀取傳回 0，寫入忽略。 |
| FFDSR/GPIO[37]            | 數據機流量控制 – Data Set Ready      | 讀取傳回 0，寫入忽略。 |
| FFRI/GPIO[38]             | 數據機流量控制 – Ring Indicate       | 讀取傳回 0，寫入忽略。 |
| FFDTR/GPIO[40]            | 數據機流量控制 – Data Terminal Ready | 讀取傳回 0，寫入忽略。 |
| FFRTS/GPIO[41]            | 數據機流量控制 – Ready to Send       | 讀取傳回 0，寫入忽略。 |
| GPIO[14:2][22:21]         | 通用 I/O 腳位                     | 讀取傳回 0，寫入忽略。 |

注意：PXA210 應用處理器不支援 PCMCIA，但它支援 PXA250 應用處理器所使用的 PCMCIA 腳位的 GPIO 功能。

## 4.14 記憶體地圖

圖 4-2 與圖 4-3 顯示完整的應用處理器記憶體地圖。

位址從 0x4000 0000 至 0x4BFF FFFF 之中，任何未使用的暫存器空間為視為保留的。

注意：存取記憶體地圖中保留的位址將會產生不可預期的結果。

PCMCIA 介面區分為 Socket 0 分割區與 Socket 1 分割區。這兩個分割區又分別細分為 I/O 空間、記憶體空間與屬性空間。每一個空間都分配 128MB 的記憶體位址空間。

|             |          |
|-------------|----------|
| 0xFFFF FFFF | 保留(64MB) |
| 0xFC00 0000 | 保留(64MB) |
| 0xF800 0000 | 保留(64MB) |
| 0xF400 0000 | 保留(64MB) |
| 0xF000 0000 | 保留(64MB) |

|             |                        |
|-------------|------------------------|
| 0xEC00 0000 | 保留(64MB)               |
| 0xE800 0000 | 保留(64MB)               |
| 0xE400 0000 | 保留(64MB)               |
| 0XE000 0000 | 保留(64MB)               |
| 0xDC00 0000 | 保留(64MB)               |
| 0xD800 0000 | 保留(64MB)               |
| 0xD400 0000 | 保留(64MB)               |
| 0xD000 0000 | 保留(64MB)               |
| 0xCC00 0000 | 保留(64MB)               |
| 0xC800 0000 | 保留(64MB)               |
| 0xC400 0000 | 保留(64MB)               |
| 0xC000 0000 | 保留(64MB)               |
| 0xBC00 0000 | 保留(64MB)               |
| 0xB800 0000 | 保留(64MB)               |
| 0xB400 0000 | 保留(64MB)               |
| 0xB000 0000 | SDRAM Bank 3<br>(64MB) |
| 0xAC00 0000 | SDRAM Bank 2<br>(64MB) |
| 0xA800 0000 | SDRAM Bank 1<br>(64MB) |
| 0xA400 0000 | SDRAM Bank 0<br>(64MB) |
| 0xA000 0000 | 保留(64MB)               |
| 0x9C00 0000 | 保留(64MB)               |
| 0x9800 0000 | 保留(64MB)               |
| 0x9400 0000 | 保留(64MB)               |
| 0x9000 0000 | 保留(64MB)               |
| 0x8C00 0000 | 保留(64MB)               |
| 0x8800 0000 | 保留(64MB)               |
| 0x8400 0000 | 保留(64MB)               |
| 0x8000 0000 | 保留(64MB)               |

圖 4-2 記憶體地圖(第一部份)－從 0x8000 0000 到 0xFFFF FFFF

|             |          |
|-------------|----------|
| 0x7FFF FFFF | 保留(64MB) |
|-------------|----------|

|             |  |
|-------------|--|
| 0x7C00 0000 | 保留(64MB)                                 |
| 0x7800 0000 | 保留(64MB)                                 |
| 0x7400 0000 | 保留(64MB)                                 |
| 0x7000 0000 | 保留(64MB)                                 |
| 0x6C00 0000 | 保留(64MB)                                 |
| 0x6800 0000 | 保留(64MB)                                 |
| 0x6400 0000 | 保留(64MB)                                 |
| 0x6000 0000 | 保留(64MB)                                 |
| 0x5C00 0000 | 保留(64MB)                                 |
| 0x5800 0000 | 保留(64MB)                                 |
| 0x5400 0000 | 保留(64MB)                                 |
| 0x5000 0000 | 保留(64MB)                                 |
| 0x4C00 0000 | Memory Mapped registers<br>(Memory Ctl)  |
| 0x4800 0000 | Memory Mapped registers<br>(LCD)         |
| 0x4400 0000 | Memory Mapped registers<br>(Peripherals) |
| 0x4000 0000 | PCMCIA/CF-Slot 1<br>(256MB)              |
| 0x3C00 0000 |  |
| 0x3800 0000 |  |
| 0x3400 0000 |  |
| 0x3000 0000 | PCMCIA/CF-Slot 0<br>(256MB)              |
| 0x2C00 0000 |  |
| 0x2800 0000 |  |
| 0x2400 0000 |  |
| 0x2000 0000 | 保留(64MB)                                 |
| 0x1C00 0000 | 保留(64MB)                                 |
| 0x1800 0000 | Static Chip Select 5 (64MB)              |

|             |                             |
|-------------|-----------------------------|
| 0x1400 0000 | Static Chip Select 4 (64MB) |
| 0x1000 0000 | Static Chip Select 3 (64MB) |
| 0x0C00 0000 | Static Chip Select 2 (64MB) |
| 0x0800 0000 | Static Chip Select 1 (64MB) |
| 0x0400 0000 | Static Chip Select 0 (64MB) |
| 0x0000 0000 |                             |

圖 4-3 記憶體地圖(第二部分)—從 0x0000 0000 到 0x7FFF FFFF

## 4.15 暫存器位址摘要

表 4-12 暫存器位址摘要

| 單元                          | 位址          | 暫存器符號 | 暫存器描述  |
|-----------------------------|-------------|-------|--|
| DMA 控制器<br>(DMA Controller) | 0x4000 0000 |       |  |
|                             | 0x4000 0000 | DCSR0 | 通道 0 DMA 控制/狀態暫存器<br>(Channel 0 Control / Status Register) |
|                             | 0x4000 0004 | DCSR1 | 通道 1 DMA 控制/狀態暫存器<br>(Channel 1 Control / Status Register) |
|                             | 0x4000 0008 | DCSR2 | 通道 2 DMA 控制/狀態暫存器<br>(Channel 2 Control / Status Register) |
|                             | 0x4000 000C | DCSR3 | 通道 3 DMA 控制/狀態暫存器<br>(Channel 3 Control / Status Register) |
|                             | 0x4000 0010 | DCSR4 | 通道 4 DMA 控制/狀態暫存器<br>(Channel 4 Control / Status Register) |
|                             | 0x4000 0014 | DCSR5 | 通道 5 DMA 控制/狀態暫存器<br>(Channel 5 Control / Status Register) |
|                             | 0x4000 0018 | DCSR6 | 通道 6 DMA 控制/狀態暫存器<br>(Channel 6 Control / Status Register) |
|                             | 0x4000 001C | DCSR7 | 通道 7 DMA 控制/狀態暫存器<br>(Channel 7 Control / Status Register) |
|                             | 0x4000 0020 | DCSR8 | 通道 8 DMA 控制/狀態暫存器  |



|  |                |        |  |
|--|----------------|--------|--|
|  |                |        | (Channel 8 Control / Status Register)  |
|  | 0x4000 0024    | DCSR9  | 通道 9 DMA 控制/狀態暫存器<br>(Channel 9 Control / Status Register)   |
|  | 0x4000 0028    | DCSR10 | 通道 10 DMA 控制/狀態暫存器<br>(Channel 10 Control / Status Register)   |
|  | 0x4000<br>002C | DCSR11 | 通道 11 DMA 控制/狀態暫存器<br>(Channel 11 Control / Status Register)   |
|  | 0x4000 0030    | DCSR12 | 通道 12 DMA 控制/狀態暫存器<br>(Channel 12 Control / Status Register)   |
|  | 0x4000 0034    | DCSR13 | 通道 13 DMA 控制/狀態暫存器<br>(Channel 13 Control / Status Register)   |
|  | 0x4000 0038    | DCSR14 | 通道 14 DMA 控制/狀態暫存器<br>(Channel 14 Control / Status Register)   |
|  | 0x4000<br>003C | DCSR15 | 通道 15 DMA 控制/狀態暫存器<br>(Channel 15 Control / Status Register)   |
|  | 0x4000 00f0    | DINT   | DMA 中斷暫存器<br>(Interrupt Register)  |
|  | 0x4000 0100    | DRCMR0 | DREQ 0 請求之通道地圖暫存器<br>(Request to Channel Map Register for<br>DREQ 0)                                       |
|  | 0x4000 0104    | DRCMR1 | DREQ 1 請求之通道地圖暫存器<br>(Request to Channel Map Register for<br>DREQ 1)                                       |
|  | 0x4000 0108    | DRCMR2 | I <sup>2</sup> S接收請求之通道地圖暫存器<br>(Request to Channel Map Register for I <sup>2</sup> S<br>receive Request)  |
|  | 0x4000<br>010C | DRCMR3 | I <sup>2</sup> S傳送請求之通道地圖暫存器<br>(Request to Channel Map Register for I <sup>2</sup> S<br>transmit Request) |
|  | 0x4000 0110    | DRCMR4 | BTUART接收請求之通道地圖暫存器<br>(Request to Channel Map Register for<br>BTUART receive Request)                      |
|  | 0x4000 0114    | DRCMR5 | BTUART 傳送請求之通道地圖暫存器<br>(Request to Channel Map Register for<br>BTUART transmit Request)                    |
|  | 0x4000 0118    | DRCMR6 | FFUART 接收請求之通道地圖暫存器<br>(Request to Channel Map Register for<br>FFUART receive Request)                     |

|  |                |             |  |
|--|----------------|-------------|--|
|  | 0x4000<br>011C | DRCMR7      | FFUART 傳送請求之通道地圖暫存器<br>(Request to Channel Map Register for<br>FFUART transmit Request)      |
|  | 0x4000 0120    | DRCMR8      | AC97 麥克風請求之通道地圖暫存器<br>(Request to Channel Map Register for<br>AC97 microphone Request)       |
|  | 0x4000 0124    | DRCMR9      | AC97 數據機接收請求之通道地圖暫存器<br>(Request to Channel Map Register for<br>AC97 modem receive Request)  |
|  | 0x4000 0128    | DRCMR1<br>0 | AC97 數據機傳送請求之通道地圖暫存器<br>(Request to Channel Map Register for<br>AC97 modem transmit Request) |
|  | 0x4000<br>012C | DRCMR1<br>1 | AC97 聲音接收請求之通道地圖暫存器<br>(Request to Channel Map Register for<br>AC97 audio receive Request)   |
|  | 0x4000 0130    | DRCMR1<br>2 | AC97 聲音傳送請求之通道地圖暫存器<br>(Request to Channel Map Register for<br>AC97 audio transmit Request)  |
|  | 0x4000 0134    | DRCMR1<br>3 | SSP 接收請求之通道地圖暫存器<br>(Request to Channel Map Register for SSP<br>receive Request)             |
|  | 0x4000 0138    | DRCMR1<br>4 | SSP 傳送請求之通道地圖暫存器<br>(Request to Channel Map Register for SSP<br>transmit Request)            |
|  | 0x4000<br>013C | DRCMR1<br>5 | 保留   |
|  | 0x4000 0140    | DRCMR1<br>6 | 保留   |
|  | 0x4000 0144    | DRCMR1<br>7 | ICP 接收請求之通道地圖暫存器<br>(Request to Channel Map Register for ICP<br>receive Request)             |
|  | 0x4000 0148    | DRCMR1<br>8 | ICP 傳送請求之通道地圖暫存器<br>(Request to Channel Map Register for ICP<br>transmit Request)            |
|  | 0x4000<br>014C | DRCMR1<br>9 | STUART 接收請求之通道地圖暫存器<br>(Request to Channel Map Register for<br>STUART receive Request)       |
|  | 0x4000 0150    | DRCMR2      | STUART 傳送請求之通道地圖暫存器  |

|  |                |             |   |
|--|----------------|-------------|---|
|  |                | 0           | (Request to Channel Map Register for STUART transmit Request)                       |
|  | 0x4000 0154    | DRCMR2<br>1 | MMC 接收請求之通道地圖暫存器<br>(Request to Channel Map Register for MMC receive Request)       |
|  | 0x4000 0158    | DRCMR2<br>2 | MMC 傳送請求之通道地圖暫存器<br>(Request to Channel Map Register for MMC transmit Request)      |
|  | 0x4000<br>015C | DRCMR2<br>3 | 保留  |
|  | 0x4000 0160    | DRCMR2<br>4 | 保留  |
|  | 0x4000 0164    | DRCMR2<br>5 | USB 端點 1 請求之通道地圖暫存器<br>(Request to Channel Map Register for USB endpoint 1 Request) |
|  | 0x4000 0168    | DRCMR2<br>6 | USB 端點 2 請求之通道地圖暫存器<br>(Request to Channel Map Register for USB endpoint 2 Request) |
|  | 0x4000<br>016C | DRCMR2<br>7 | USB 端點 3 請求之通道地圖暫存器<br>(Request to Channel Map Register for USB endpoint 3 Request) |
|  | 0x4000 0170    | DRCMR2<br>8 | USB 端點 4 請求之通道地圖暫存器<br>(Request to Channel Map Register for USB endpoint 4 Request) |
|  | 0x4000 0174    | DRCMR2<br>9 | 保留  |
|  | 0x4000 0178    | DRCMR3<br>0 | USB 端點 6 請求之通道地圖暫存器<br>(Request to Channel Map Register for USB endpoint 6 Request) |
|  | 0x4000<br>017C | DRCMR3<br>1 | USB 端點 7 請求之通道地圖暫存器<br>(Request to Channel Map Register for USB endpoint 7 Request) |
|  | 0x4000 0180    | DRCMR3<br>2 | USB 端點 8 請求之通道地圖暫存器<br>(Request to Channel Map Register for USB endpoint 8 Request) |
|  | 0x4000 0184    | DRCMR3<br>3 | USB 端點 9 請求之通道地圖暫存器<br>(Request to Channel Map Register for USB endpoint 9 Request) |

|  |                |             |  |
|--|----------------|-------------|--|
|  | 0x4000 0188    | DRCMR3<br>4 | 保留   |
|  | 0x4000<br>018C | DRCMR3<br>5 | USB 端點 11 請求之通道地圖暫存器<br>(Request to Channel Map Register for USB<br>endpoint 11 Request) |
|  | 0x4000 0190    | DRCMR3<br>6 | USB 端點 12 請求之通道地圖暫存器<br>(Request to Channel Map Register for USB<br>endpoint 12 Request) |
|  | 0x4000 0194    | DRCMR3<br>7 | USB 端點 13 請求之通道地圖暫存器<br>(Request to Channel Map Register for USB<br>endpoint 13 Request) |
|  | 0x4000 0198    | DRCMR3<br>8 | USB 端點 14 請求之通道地圖暫存器<br>(Request to Channel Map Register for USB<br>endpoint 14 Request) |
|  | 0x4000<br>019C | DRCMR3<br>9 | 保留   |
|  | 0x4000 0200    | DDADR0      | DMA 敘述元位址暫存器通道 0<br>(Descriptor Address Register Channel 0)                              |
|  | 0x4000 0204    | DSADR0      | DMA 來源位址暫存器通道 0<br>(Source Address Register Channel 0)                                   |
|  | 0x4000 0208    | DTADR0      | DMA 目標位址暫存器通道 0<br>(Target Address Register Channel 0)                                   |
|  | 0x4000<br>020C | DCMD0       | DMA 命令位址暫存器通道 0<br>(Command Address Register Channel 0)                                  |
|  | 0x4000 0210    | DDADR1      | DMA 敘述元位址暫存器通道 1<br>(Descriptor Address Register Channel 1)                              |
|  | 0x4000 0214    | DSADR1      | DMA 來源位址暫存器通道 1<br>(Source Address Register Channel 1)                                   |
|  | 0x4000 0218    | DTADR1      | DMA 目標位址暫存器通道 1<br>(Target Address Register Channel 1)                                   |
|  | 0x4000<br>021C | DCMD1       | DMA 命令位址暫存器通道 1<br>(Command Address Register Channel 1)                                  |
|  | 0x4000 0220    | DDADR2      | DMA 敘述元位址暫存器通道 2<br>(Descriptor Address Register Channel 2)                              |
|  | 0x4000 0224    | DSADR2      | DMA 來源位址暫存器通道 2<br>(Source Address Register Channel 2)                                   |
|  | 0x4000 0228    | DTADR2      | DMA 目標位址暫存器通道 2<br>(Target Address Register Channel 2)                                   |

|  |                |        |   |
|--|----------------|--------|---|
|  | 0x4000<br>022C | DCMD2  | DMA 命令位址暫存器通道 2<br>(Command Address Register Channel 2)     |
|  | 0x4000 0230    | DDADR3 | DMA 敘述元位址暫存器通道 3<br>(Descriptor Address Register Channel 3) |
|  | 0x4000 0234    | DSADR3 | DMA 來源位址暫存器通道 3<br>(Source Address Register Channel 3)      |
|  | 0x4000 0238    | DTADR3 | DMA 目標位址暫存器通道 3<br>(Target Address Register Channel 3)      |
|  | 0x4000<br>023C | DCMD3  | DMA 命令位址暫存器通道 3<br>(Command Address Register Channel 3)     |
|  | 0x4000 0240    | DDADR4 | DMA 敘述元位址暫存器通道 4<br>(Descriptor Address Register Channel 4) |
|  | 0x4000 0244    | DSADR4 | DMA 來源位址暫存器通道 4<br>(Source Address Register Channel 4)      |
|  | 0x4000 0248    | DTADR4 | DMA 目標位址暫存器通道 4<br>(Target Address Register Channel 4)      |
|  | 0x4000<br>024C | DCMD4  | DMA 命令位址暫存器通道 4<br>(Command Address Register Channel 4)     |
|  | 0x4000 0250    | DDADR5 | DMA 敘述元位址暫存器通道 5<br>(Descriptor Address Register Channel 5) |
|  | 0x4000 0254    | DSADR5 | DMA 來源位址暫存器通道 5<br>(Source Address Register Channel 5)      |
|  | 0x4000 0258    | DTADR5 | DMA 目標位址暫存器通道 5<br>(Target Address Register Channel 5)      |
|  | 0x4000<br>025C | DCMD5  | DMA 命令位址暫存器通道 5<br>(Command Address Register Channel 5)     |
|  | 0x4000 0260    | DDADR6 | DMA 敘述元位址暫存器通道 6<br>(Descriptor Address Register Channel 6) |
|  | 0x4000 0264    | DSADR6 | DMA 來源位址暫存器通道 6<br>(Source Address Register Channel 6)      |
|  | 0x4000 0268    | DTADR6 | DMA 目標位址暫存器通道 6<br>(Target Address Register Channel 6)      |
|  | 0x4000<br>026C | DCMD6  | DMA 命令位址暫存器通道 6<br>(Command Address Register Channel 6)     |
|  | 0x4000 0270    | DDADR7 | DMA 敘述元位址暫存器通道 7<br>(Descriptor Address Register Channel 7) |
|  | 0x4000 0274    | DSADR7 | DMA 來源位址暫存器通道 7<br>(Source Address Register Channel 7)      |

|  |                |         |   |
|--|----------------|---------|---|
|  | 0x4000 0278    | DTADR7  | DMA 目標位址暫存器通道 7<br>(Target Address Register Channel 7)        |
|  | 0x4000<br>027C | DCMD7   | DMA 命令位址暫存器通道 7<br>(Command Address Register Channel 7)       |
|  | 0x4000 0280    | DDADR8  | DMA 敘述元位址暫存器通道 8<br>(Descriptor Address Register Channel 8)   |
|  | 0x4000 0284    | DSADR8  | DMA 來源位址暫存器通道 8<br>(Source Address Register Channel 8)        |
|  | 0x4000 0288    | DTADR8  | DMA 目標位址暫存器通道 8<br>(Target Address Register Channel 8)        |
|  | 0x4000<br>028C | DCMD8   | DMA 命令位址暫存器通道 8<br>(Command Address Register Channel 8)       |
|  | 0x4000 0290    | DDADR9  | DMA 敘述元位址暫存器通道 9<br>(Descriptor Address Register Channel 9)   |
|  | 0x4000 0294    | DSADR9  | DMA 來源位址暫存器通道 9<br>(Source Address Register Channel 9)        |
|  | 0x4000 0298    | DTADR9  | DMA 目標位址暫存器通道 9<br>(Target Address Register Channel 9)        |
|  | 0x4000<br>029C | DCMD9   | DMA 命令位址暫存器通道 9<br>(Command Address Register Channel 9)       |
|  | 0x4000<br>02A0 | DDADR10 | DMA 敘述元位址暫存器通道 10<br>(Descriptor Address Register Channel 10) |
|  | 0x4000<br>02A4 | DSADR10 | DMA 來源位址暫存器通道 10<br>(Source Address Register Channel 10)      |
|  | 0x4000<br>02A8 | DTADR10 | DMA 目標位址暫存器通道 10<br>(Target Address Register Channel 10)      |
|  | 0x4000<br>02AC | DCMD10  | DMA 命令位址暫存器通道 10<br>(Command Address Register Channel 10)     |
|  | 0x4000<br>02B0 | DDADR11 | DMA 敘述元位址暫存器通道 11<br>(Descriptor Address Register Channel 11) |
|  | 0x4000<br>02B4 | DSADR11 | DMA 來源位址暫存器通道 11<br>(Source Address Register Channel 11)      |
|  | 0x4000<br>02B8 | DTADR11 | DMA 目標位址暫存器通道 11<br>(Target Address Register Channel 11)      |
|  | 0x4000<br>02BC | DCMD11  | DMA 命令位址暫存器通道 11<br>(Command Address Register Channel 11)     |
|  | 0x4000<br>02C0 | DDADR12 | DMA 敘述元位址暫存器通道 12<br>(Descriptor Address Register Channel 12) |

|   |                |             |   |
|---|----------------|-------------|---|
|   | 0x4000<br>02C4 | DSADR1<br>2 | DMA 來源位址暫存器通道 12<br>(Source Address Register Channel 12)      |
|   | 0x4000<br>02C8 | DTADR1<br>2 | DMA 目標位址暫存器通道 12<br>(Target Address Register Channel 12)      |
|   | 0x4000<br>02CC | DCMD12      | DMA 命令位址暫存器通道 12<br>(Command Address Register Channel 12)     |
|   | 0x4000<br>02D0 | DDADR1<br>3 | DMA 敘述元位址暫存器通道 13<br>(Descriptor Address Register Channel 13) |
|   | 0x4000<br>02D4 | DSADR1<br>3 | DMA 來源位址暫存器通道 13<br>(Source Address Register Channel 13)      |
|   | 0x4000<br>02D8 | DTADR1<br>3 | DMA 目標位址暫存器通道 13<br>(Target Address Register Channel 13)      |
|   | 0x4000<br>02DC | DCMD13      | DMA 命令位址暫存器通道 13<br>(Command Address Register Channel 13)     |
|   | 0x4000<br>02E0 | DDADR1<br>4 | DMA 敘述元位址暫存器通道 14<br>(Descriptor Address Register Channel 14) |
|   | 0x4000<br>02E4 | DSADR1<br>4 | DMA 來源位址暫存器通道 14<br>(Source Address Register Channel 14)      |
|   | 0x4000<br>02E8 | DTADR1<br>4 | DMA 目標位址暫存器通道 14<br>(Target Address Register Channel 14)      |
|   | 0x4000<br>02EC | DCMD14      | DMA 命令位址暫存器通道 14<br>(Command Address Register Channel 14)     |
|   | 0x4000 02F0    | DDADR1<br>5 | DMA 敘述元位址暫存器通道 15<br>(Descriptor Address Register Channel 15) |
|   | 0x4000 02F4    | DSADR1<br>5 | DMA 來源位址暫存器通道 15<br>(Source Address Register Channel 15)      |
|   | 0x4000 02F8    | DTADR1<br>5 | DMA 目標位址暫存器通道 15<br>(Target Address Register Channel 15)      |
|   | 0x4000<br>02FC | DCMD15      | DMA 命令位址暫存器通道 15<br>(Command Address Register Channel 15)     |
| 全功能<br>UART<br>(Full<br>Function<br>UART) | 0x4010 0000    |             |   |
|   | 0x4010 0000    | FFRBR       | 接收緩衝區暫存器(唯讀)<br>(Receive Buffer Register)                     |
|   | 0x4010 0000    | FFTHR       | 傳送保持暫存器(唯寫)   |

|                                   |             |       |  |
|-----------------------------------|-------------|-------|--|
|                                   |             |       | (Transmit Holding Register)                                |
|                                   | 0x4010 0004 | FFIER | 中斷致能暫存器(讀取／寫入)<br>(Interrupt Enable Register)              |
|                                   | 0x4010 0008 | FFIIR | 中斷 ID 暫存器(唯讀)<br>(Interrupt ID Register)                   |
|                                   | 0x4010 0008 | FFFCR | FIFO 控制暫存器(唯寫)<br>(FIFO Control Register)                  |
|                                   | 0x4010 000C | FFLCR | 線路控制暫存器(讀取／寫入)<br>(Line Control Register)                  |
|                                   | 0x4010 0010 | FFMCR | 數據機控制暫存器(讀取／寫入)<br>(Modem Control Register)                |
|                                   | 0x4010 0014 | FFLSR | 線路狀態暫存器(唯讀)<br>(Line Status Register)                      |
|                                   | 0x4010 0018 | FFMSR | 數據機狀態暫存器(唯讀)<br>(Modem Status Register)                    |
|                                   | 0x4010 001C | FFSPR | 便條暫存器(讀取／寫入)<br>(Scratch Pad Register)                     |
|                                   | 0x4010 0020 | FFISR | 紅外線選擇暫存器(讀取／寫入)<br>(Infrared Selection Register)           |
|                                   | 0x4010 0000 | FFDLL | 除數栓鎖低位暫存器(DLAB=1) (讀取／寫入)<br>(Divisor Latch Low Register)  |
|                                   | 0x4010 0004 | FFDLH | 除數栓鎖高位暫存器(DLAB=1) (讀取／寫入)<br>(Divisor Latch High Register) |
| 藍芽<br>UART<br>(Bluetooth<br>UART) | 0x4020 0000 |       |  |
|                                   | 0x4020 0000 | BTRBR | 接收緩衝區暫存器(唯讀)<br>(Receive Buffer Register)                  |
|                                   | 0x4020 0000 | BTTHR | 傳送保持暫存器(唯寫)<br>(Transmit Holding Register)                 |
|                                   | 0x4020 0004 | BTIER | 中斷致能暫存器(讀取／寫入)<br>(Interrupt Enable Register)              |
|                                   | 0x4020 0008 | BTIIR | 中斷 ID 暫存器(唯讀)<br>(Interrupt ID Register)                   |
|                                   | 0x4020 0008 | BTFCR | FIFO 控制暫存器(唯寫)   |



|                  |                |       |   |
|------------------|----------------|-------|---|
|                  |                |       | (FIFO Control Register)   |
|                  | 0x4020<br>000C | BTLCR | 線路控制暫存器(讀取／寫入)<br>(Line Control Register)   |
|                  | 0x4020 0010    | BTMCR | 數據機控制暫存器(讀取／寫入)<br>(Modem Control Register)   |
|                  | 0x4020 0014    | BTLSR | 線路狀態暫存器(唯讀)<br>(Line Status Register)   |
|                  | 0x4020 0018    | BTMSR | 數據機狀態暫存器(唯讀)<br>(Modem Status Register)   |
|                  | 0x4020<br>001C | BTSPR | 便條暫存器 (讀取／寫入)<br>(Scratch Pad Register)   |
|                  | 0x4020 0020    | BTISR | 紅外線選擇暫存器(讀取／寫入)<br>(Infrared Selection Register)  |
|                  | 0x4020 0000    | BTDLL | 除數栓鎖低位暫存器(DLAB=1)(讀取／<br>寫入)<br>(Divisor Latch Low Register)  |
|                  | 0x4020 0004    | BTDLH | 除數栓鎖高位暫存器(DLAB=1)(讀取／<br>寫入)<br>(Divisor Latch Low Register)  |
| I <sup>2</sup> C | 0x4030 0000    |       |   |
|                  | 0x4030 1680    | IBMR  | I <sup>2</sup> C匯流排監視暫存器－IBMR<br>(Bus Monitor Register)   |
|                  | 0x4030 1688    | IDBR  | I <sup>2</sup> C資料緩衝暫存器－IDBR<br>(Data Buffer Register)  |
|                  | 0x4030 1690    | ICR   | I <sup>2</sup> C控制暫存器－ICR<br>(Control Register)   |
|                  | 0x4030 1698    | ISR   | I <sup>2</sup> C狀態暫存器－ISR<br>(Status Register)  |
|                  | 0x4030<br>16A0 | ISAR  | I <sup>2</sup> C僕人位址暫存器－ISAR<br>(Slave Address Register)  |
| I <sup>2</sup> S | 0x4040 0000    |       |   |
|                  | 0x4040 0000    | SACR0 | 全域控制暫存器<br>(Global Control Register)  |
|                  | 0x4040 0004    | SACR1 | 序列聲音I <sup>2</sup> S /MSB－驗證控制暫存器<br>(Serial Audio I <sup>2</sup> S /MSB-Justified Control<br>Register) |
|                  | 0x4040 0008    | -     | 保留  |
|                  | 0x4040         | SASR0 | 序列聲音I <sup>2</sup> S /MSB－驗證介面與FIFO狀  |

|      |                                 |       |   |
|------|---------------------------------|-------|---|
|      | 000C                            |       | 態暫存器<br>(Serial Audio I <sup>2</sup> S /MSB-Justified Interface and FIFO Status Register) |
|      | 0x4040 0010                     | -     | 保留  |
|      | 0x4040 0014                     | SAIMR | 序列聲音中斷遮罩暫存器<br>(Serial Audio Interrupt Mask Register)                                     |
|      | 0x4040 0018                     | SAICR | 序列聲音中斷清除暫存器<br>(Serial Audio Interrupt Clear Register)                                    |
|      | 0x4040 001C<br>至<br>0x4040 005C | -     | 保留  |
|      | 0x4040 0060                     | SADIV | 聲音時脈分配暫存器<br>(Audio Clock Divider Register)   |
|      | 0x4040 0064<br>至<br>0x4040 007C | -     | 保留  |
|      | 0x4040 0080                     | SADR  | 序列聲音資料暫存器(TX 和 RX FIFO 存取暫存器)<br>(Serial Audio Data Register, TX and RX access Register)  |
| AC97 | 0x4050 0000                     |       |   |
|      | 0x4050 0000                     | POCR  | PCM 輸出控制暫存器<br>(PCM Out Control Register)   |
|      | 0x4050 0004                     | PICR  | PCM 輸入控制暫存器<br>(PCM In Control Register)  |
|      | 0x4050 0008                     | MCCR  | 麥克風輸入控制暫存器<br>(Mic In Control Register)   |
|      | 0x4050 000C                     | GCR   | 全域控制暫存器<br>(Global Control Register)  |
|      | 0x4050 0010                     | POSR  | PCM 輸出狀態暫存器<br>(PCM Out Status Register)  |
|      | 0x4050 0014                     | PISR  | PCM 輸入狀態暫存器<br>(PCM In Status Register)   |
|      | 0x4050 0018                     | MCSR  | 麥克風輸入狀態暫存器<br>(Mic In Status Register)  |

|  |  |      |   |
|--|--|------|---|
|  | 0x4050<br>001C                         | GSR  | 全域狀態暫存器<br>(Global Status Register)             |
|  | 0x4050 0020                            | CAR  | 編解碼器存取暫存器<br>(CODEC Access Register)            |
|  | 0x4050<br>00024<br>至<br>0x4050<br>003C | -    | 保留  |
|  | 0x4050 0040                            | PCDR | PCM FIFO 資料暫存器<br>(PCM FIFO Data Register)      |
|  | 0x4050<br>00044<br>至<br>0x4050<br>005C |      | 保留  |
|  | 0x4050 0060                            | MCDR | 麥克風輸入 FIFO 資料暫存器<br>(Mic-in FIFO Data Register) |
|  | 0x4050 0064<br>至<br>0x4050<br>00FC     | -    | 保留  |
|  | 0x4050 0100                            | MOCR | 數據機輸出控制暫存器<br>(Modem Out Control Register)      |
|  | 0x4050 0104                            | -    | 保留  |
|  | 0x4050 0108                            | MICR | 數據機輸入控制暫存器<br>(Modem In Control Register)       |
|  | 0x4050<br>010C                         | -    | 保留  |
|  | 0x4050 0110                            | MOSR | 數據機輸出狀態暫存器<br>(Modem Out Status Register)       |
|  | 0x4050 0114                            | -    | 保留  |
|  | 0x4050 0118                            | MISR | 數據機輸入狀態暫存器<br>(Modem In Status Register)        |
|  | 0x4050<br>011C<br>至<br>0x4050          | -    | 保留  |

|     |                                    |        |  |
|-----|------------------------------------|--------|--|
|     | 013C                               |        |  |
|     | 0x4050 0140                        | MODR   | 數據機 FIFO 資料暫存器<br>(Modem FIFO Data Register)                           |
|     | 0x4050 0144<br>至<br>0x4050<br>01FC | -      | 保留   |
|     | 0x4050 0200<br>至<br>0x4050<br>02FC | -      | 主要編解碼暫存器<br>(Primary Audio codec Register)                             |
|     | 0x4050 0300<br>至<br>0x4050<br>03FC | -      | 次要聲音編解碼暫存器<br>(Secondary Audio codec Register)                         |
|     | 0x4050 0400<br>至<br>0x4050<br>04FC | -      | 主要數據機編解碼暫存器<br>(Primary Modem codec Register)                          |
|     | 0x4050 0500<br>至<br>0x4050<br>05FC | -      | 次要數據機編解碼暫存器<br>(Secondary Modem codec Register)                        |
| UDC | 0x4060 0000                        |        |  |
|     | 0x4060 0000                        | UDCCR  | UDC 控制暫存器<br>(UDC Control Register)                                    |
|     | 0x4060 0010                        | UDCCS0 | UDC 端點 0 控制／狀態暫存器<br>(UDC Endpoint 0 Control/Status Register)          |
|     | 0x4060 0014                        | UDCCS1 | UDC 端點 1(輸入)控制／狀態暫存器<br>(UDC Endpoint 1 (IN) Control/Status Register)  |
|     | 0x4060 0018                        | UDCCS2 | UDC 端點 2(輸出)控制／狀態暫存器<br>(UDC Endpoint 2 (OUT) Control/Status Register) |
|     | 0x4060<br>001C                     | UDCCS3 | UDC 端點 3(輸入)控制／狀態暫存器<br>(UDC Endpoint 3 (IN) Control/Status Register)  |
|     | 0x4060 0020                        | UDCCS4 | UDC 端點 4(輸出)控制／狀態暫存器   |

|  |             |         |  |
|--|-------------|---------|--|
|  |             |         | (UDC Endpoint 4 (OUT) Control/Status Register)                                 |
|  | 0x4060 0024 | UDCCS5  | UDC 端點 5(中斷)控制／狀態暫存器<br>(UDC Endpoint 5 (Interrupt) Control/Status Register)   |
|  | 0x4060 0028 | UDCCS6  | UDC 端點 6(輸入)控制／狀態暫存器<br>(UDC Endpoint 6 (IN) Control/Status Register)          |
|  | 0x4060 002C | UDCCS7  | UDC 端點 7(輸出)控制／狀態暫存器<br>(UDC Endpoint 7 (OUT) Control/Status Register)         |
|  | 0x4060 0030 | UDCCS8  | UDC 端點 8(輸入)控制／狀態暫存器<br>(UDC Endpoint 8 (IN) Control/Status Register)          |
|  | 0x4060 0034 | UDCCS9  | UDC 端點 9(輸出)控制／狀態暫存器<br>(UDC Endpoint 9 (OUT) Control/Status Register)         |
|  | 0x4060 0038 | UDCCS10 | UDC 端點 10(中斷)控制／狀態暫存器<br>(UDC Endpoint 10 (Interrupt) Control/Status Register) |
|  | 0x4060 003C | UDCCS11 | UDC 端點 11(輸入)控制／狀態暫存器<br>(UDC Endpoint 11 (IN) Control/Status Register)        |
|  | 0x4060 0040 | UDCCS12 | UDC 端點 12(輸出)控制／狀態暫存器<br>(UDC Endpoint 12 (OUT) Control/Status Register)       |
|  | 0x4060 0044 | UDCCS13 | UDC 端點 13(輸入)控制／狀態暫存器<br>(UDC Endpoint 13 (IN) Control/Status Register)        |
|  | 0x4060 0048 | UDCCS14 | UDC 端點 14(輸出)控制／狀態暫存器<br>(UDC Endpoint 14 (OUT) Control/Status Register)       |
|  | 0x4060 004C | UDCCS15 | UDC 端點 15(中斷)控制／狀態暫存器<br>(UDC Endpoint 15 (Interrupt) Control/Status Register) |
|  | 0x4060 0060 | UFNRH   | 高位址 UDC 訊框號碼暫存器<br>(UDC Frame Number Register High)                            |
|  | 0x4060 0064 | UFNRL   | 低位址 UDC 訊框號碼暫存器  |

|  |                |        |  |
|--|----------------|--------|--|
|  |                |        | (UDC Frame Number Register Low)                    |
|  | 0x4060 0068    | UBCR2  | UDC 位元組計數暫存器 2<br>(UDC Byte Count Register 2)      |
|  | 0x4060<br>006C | UBCR4  | UDC 位元組計數暫存器 4<br>(UDC Byte Count Register 4)      |
|  | 0x4060 0070    | UBCR7  | UDC 位元組計數暫存器 7<br>(UDC Byte Count Register 7)      |
|  | 0x4060 0074    | UBCR9  | UDC 位元組計數暫存器 9<br>(UDC Byte Count Register 9)      |
|  | 0x4060 0078    | UBCR12 | UDC 位元組計數暫存器 12<br>(UDC Byte Count Register 12)    |
|  | 0x4060<br>007C | UBCR14 | UDC 位元組計數暫存器 14<br>(UDC Byte Count Register 14)    |
|  | 0x4060 0080    | UDDR0  | UDC 端點 0 資料暫存器<br>(UDC Endpoint Data Register)     |
|  | 0x4060 0100    | UDDR1  | UDC 端點 1 資料暫存器<br>(UDC Endpoint 1 Data Register)   |
|  | 0x4060 0180    | UDDR2  | UDC 端點 2 資料暫存器<br>(UDC Endpoint 2 Data Register)   |
|  | 0x4060 0200    | UDDR3  | UDC 端點 3 資料暫存器<br>(UDC Endpoint 3 Data Register)   |
|  | 0x4060 0400    | UDDR4  | UDC 端點 4 資料暫存器<br>(UDC Endpoint 4 Data Register)   |
|  | 0x4060<br>00A0 | UDDR5  | UDC 端點 5 資料暫存器<br>(UDC Endpoint 5 Data Register)   |
|  | 0x4060 0600    | UDDR6  | UDC 端點 6 資料暫存器<br>(UDC Endpoint 6 Data Register)   |
|  | 0x4060 0680    | UDDR7  | UDC 端點 7 資料暫存器<br>(UDC Endpoint 7 Data Register)   |
|  | 0x4060 0700    | UDDR8  | UDC 端點 8 資料暫存器<br>(UDC Endpoint 8 Data Register)   |
|  | 0x4060 0900    | UDDR9  | UDC 端點 9 資料暫存器<br>(UDC Endpoint 9 Data Register)   |
|  | 0x4060<br>00C0 | UDDR10 | UDC 端點 10 資料暫存器<br>(UDC Endpoint 10 Data Register) |
|  | 0x4060<br>0B00 | UDDR11 | UDC 端點 11 資料暫存器<br>(UDC Endpoint 11 Data Register) |
|  | 0x4060         | UDDR12 | UDC 端點 12 資料暫存器                                    |

|                                  |                |        |   |
|----------------------------------|----------------|--------|---|
|                                  | 0B80           |        | (UDC Endpoint 12 Data Register)                     |
|                                  | 0x4060<br>0C00 | UDDR13 | UDC 端點 13 資料暫存器<br>(UDC Endpoint 13 Data Register)  |
|                                  | 0x4060<br>0E00 | UDDR14 | UDC 端點 14 資料暫存器<br>(UDC Endpoint 14 Data Register)  |
|                                  | 0x4060<br>00E0 | UDDR15 | UDC 端點 15 資料暫存器<br>(UDC Endpoint 15 Data Register)  |
|                                  | 0x4060 0050    | UICR0  | UDC 中斷控制暫存器 0<br>(UDC Interrupt Control Register 0) |
|                                  | 0x4060 0054    | UICR1  | UDC 中斷控制暫存器 1<br>(UDC Interrupt Control Register 1) |
|                                  | 0x4060 0058    | USIR0  | UDC 狀態中斷暫存器 0<br>(UDC Status Interrupt Register 0)  |
|                                  | 0x4060<br>005C | USIR1  | UDC 狀態中斷暫存器<br>(UDC Status Interrupt Register 1)    |
| 標準<br>UART<br>(Standard<br>UART) | 0x4070 0000    |        |   |
|                                  | 0x4070 0000    | STRBR  | 接收緩衝區暫存器(唯讀)<br>(Receive Buffer Register)           |
|                                  | 0x4070 0000    | STTHR  | 傳送保持暫存器(唯寫)<br>(Transmit Holding Register)          |
|                                  | 0x4070 0004    | STIER  | 中斷致能暫存器(讀取／寫入)<br>(Interrupt Enable Register)       |
|                                  | 0x4070 0008    | STIIR  | 中斷 ID 暫存器(唯讀)<br>(Interrupt ID Register)            |
|                                  | 0x4070 0008    | STFCR  | FIFO 控制暫存器(唯寫)<br>(FIFO Control Register)           |
|                                  | 0x4070<br>000C | STLCR  | 線路控制暫存器(讀取／寫入)<br>(Line Control Register)           |
|                                  | 0x4070 0010    | STMCR  | 數據機控制暫存器(讀取／寫入)<br>(Modem Control Register)         |
|                                  | 0x4070 0014    | STLSR  | 線路狀態暫存器(唯讀)<br>(Line Status Register)               |
|                                  | 0x4070 0018    | STMSR  | 保留  |
|                                  | 0x4070<br>001C | STSPR  | 便條暫存器(讀取／寫入)<br>(Scratch Pad Register)              |

|                      |             |         |   |
|----------------------|-------------|---------|---|
|                      | 0x4070 0020 | STISR   | 紅外線選擇暫存器(讀取／寫入)<br>(Infrared Selection Register)          |
|                      | 0x4070 0000 | STDLL   | 除數栓鎖低位暫存器(DLAB=1)(讀取／寫入)<br>(Divisor Latch Low Register)  |
|                      | 0x4070 0004 | STDHL   | 除數栓鎖高位暫存器(DLAB=1)(讀取／寫入)<br>(Divisor Latch High Register) |
| ICP                  | 0x4080 0000 |         |   |
|                      | 0x4080 0000 | ICCR0   | ICP 控制暫存器 0<br>(ICP Control Register 0)                   |
|                      | 0x4080 0004 | ICCR1   | ICP 控制暫存器 1<br>(ICP Control Register 1)                   |
|                      | 0x4080 0008 | ICCR2   | ICP 控制暫存器 2<br>(ICP Control Register 2)                   |
|                      | 0x4080 000C | ICDR    | ICP 資料暫存器<br>(ICP Data Register)                          |
|                      | 0x4080 0010 | -       | 保留  |
|                      | 0x4080 0014 | ICSR0   | ICP 狀態暫存器 0<br>(ICP Status Register 0)                    |
|                      | 0x4080 0018 | ICSR1   | ICP 狀態暫存器 1<br>(ICP Status Register 1)                    |
| RTC                  | 0x4090 0000 |         |   |
|                      | 0x4090 0000 | RCNR    | RTC 計數暫存器<br>(RTC Count Register)                         |
|                      | 0x4090 0004 | RTAR    | RTC 警報暫存器<br>(RTC Alarm Register)                         |
|                      | 0x4090 0008 | RTSR    | RTC 狀態暫存器<br>(RTC Status Register)                        |
|                      | 0x4090 000C | RTTR    | RTC 計時修整暫存器<br>(RTC Timer Trim Register)                  |
| OS 計時器<br>(OS Timer) | 0x40A0 0000 |         |   |
|                      | 0x40A0 0000 | OSMR<0> | OS 計時器符合暫存器<3:0><br>(OS Timer Match Registers <3:0>)      |
|                      | 0x40A0 0004 | OSMR<1> |   |



|                                |                |                 |   |
|--------------------------------|----------------|-----------------|---|
|                                | 0x40A0<br>0008 | OSMR<2<br>>     |   |
|                                | 0x40A0<br>000C | OSMR<3<br>>     |   |
|                                | 0x40A0<br>0010 | OSCR            | OS 計時器計數暫存器<br>(OS Timer Counter Register)                      |
|                                | 0x40A0<br>0014 | OSSR            | OS 計時器狀態暫存器<br>(OS Timer Status Register)                       |
|                                | 0x40A0<br>0018 | OWER            | OS 計時器看門狗致能暫存器<br>(OS Watchdog Enable Register)                 |
|                                | 0x40A0<br>001C | OIER            | OS 計時器中斷致能暫存器<br>(OS Timer Interrupt Enable Register)           |
| PWM 0                          | 0x40B0<br>0000 |                 |   |
|                                | 0x40B0<br>0000 | PWM_CT<br>RL0   | PWM 0 控制暫存器<br>(PWM 0 Control Register)                         |
|                                | 0x40B0<br>0004 | PWM_P<br>WDUTY0 | PWM 0 工作循環暫存器<br>(PWM 0 Duty Cycle Register)                    |
|                                | 0x40B0<br>0008 | PWM_PE<br>RVAL0 | PWM 0 週期控制暫存器<br>(PWM 0 Period Control Register)                |
| PWM 1                          | 0x40C0<br>0000 |                 |   |
|                                | 0x40C0<br>0000 | PWM_CT<br>RL1   | PWM 1 控制暫存器<br>(PWM 1 Control Register)                         |
|                                | 0x40C0<br>0004 | PWM_P<br>WDUTY1 | PWM 1 工作循環暫存器<br>(PWM 1 Duty Cycle Register)                    |
|                                | 0x40C0<br>0008 | PWM_PE<br>RVAL1 | PWM 1 週期控制暫存器<br>(PWM 1 Period Control Register)                |
| 中斷控制<br>(Interrupt<br>Control) | 0x40D0<br>0000 |                 |   |
|                                | 0x40D0<br>0000 | ICIP            | 中斷控制器之 IRQ 等候暫存器<br>(Interrupt Controller IRQ Pending Register) |
|                                | 0x40D0<br>0004 | ICMR            | 中斷控制器之遮罩暫存器<br>(Interrupt Controller Mask Register)             |
|                                | 0x40D0<br>0008 | ICLR            | 中斷控制器之層級暫存器<br>(Interrupt Controller Level Register)            |
|                                | 0x40D0         | ICFP            | 中斷控制器之 FIQ 等候暫存器  |

|             |                |       |  |
|-------------|----------------|-------|--|
|             | 000C           |       | (Interrupt Controller FIQ Pending Register)                                    |
|             | 0x40D0<br>0010 | ICPR  | 中斷控制器之等候暫存器<br>(Interrupt Controller Pending Register)                         |
|             | 0x40D0<br>0014 | ICCR  | 中斷控制器之控制暫存器<br>(Interrupt Controller Control Register)                         |
| <b>GPIO</b> | 0x40E0<br>0000 |       |  |
|             | 0x40E0<br>0000 | GPLR0 | GPIO 腳位層級暫存器 GPIO<31:0><br>(GPIO Pin-Level Register GPIO <31:0>)               |
|             | 0x40E0<br>0004 | GPLR1 | GPIO 腳位層級暫存器 GPIO<63:32><br>(GPIO Pin-Level Register GPIO <63:32>)             |
|             | 0x40E0<br>0008 | GPLR2 | GPIO 腳位層級暫存器 GPIO<80:64><br>(GPIO Pin-Level Register GPIO <80:64>)             |
|             | 0x40E0<br>000C | GPDR0 | GPIO 腳位方向暫存器 GPIO<31:0><br>(GPIO Pin Direction Register<br>GPIO<31:0>)         |
|             | 0x40E0<br>0010 | GPDR1 | GPIO 腳位方向暫存器 GPIO<63:32><br>(GPIO Pin Direction Register<br>GPIO<63:32>)       |
|             | 0x40E0<br>0014 | GPDR2 | GPIO 腳位方向暫存器 GPIO<80:64><br>(GPIO Pin Direction Register<br>GPIO<80:64>)       |
|             | 0x40E0<br>0018 | GPSR0 | GPIO 腳位輸出設定暫存器 GPIO<31:0><br>(GPIO Pin Output Set Register<br>GPIO<31:0>)      |
|             | 0x40E0<br>001C | GPSR1 | GPIO 腳位輸出設定暫存器<br>GPIO<63:32><br>(GPIO Pin Output Set Register<br>GPIO<63:32>) |
|             | 0x40E0<br>0020 | GPSR2 | GPIO 腳位輸出設定暫存器<br>GPIO<80:64><br>(GPIO Pin Output Set Register<br>GPIO<80:64>) |
|             | 0x40E0<br>0024 | GPCR0 | GPIO 腳位輸出清除暫存器 GPIO<31:0><br>(GPIO Pin Output Clear Register<br>GPIO<31:0>)    |
|             | 0x40E0<br>0028 | GPCR1 | GPIO 腳位輸出清除暫存器<br>GPIO<63:32>  |

|  |                |         |  |
|--|----------------|---------|--|
|  |                |         | (GPIO Pin Output Clear Register<br>GPIO<63:32>)                                      |
|  | 0x40E0<br>002C | GPCR2   | GPIO 腳位輸出清除暫存器<br>GPIO<80:64><br>(GPIO Pin Output Clear Register<br>GPIO<80:64>)     |
|  | 0x40E0<br>0030 | GRER0   | GPIO 正緣偵測暫存器 GPIO<31:0><br>(GPIO Rising-Edge Detect Register<br>GPIO<31:0>)          |
|  | 0x40E0<br>0034 | GRER1   | GPIO 正緣偵測暫存器 GPIO<63:32><br>(GPIO Rising-Edge Detect Register<br>GPIO<63:32>)        |
|  | 0x40E0<br>0038 | GRER2   | GPIO 正緣偵測暫存器 GPIO<80:64><br>(GPIO Rising-Edge Detect Register<br>GPIO<80:64>)        |
|  | 0x40E0<br>003C | GFER0   | GPIO 負緣偵測暫存器 GPIO<31:0><br>(GPIO Falling-Edge Detect Register<br>GPIO<31:0>)         |
|  | 0x40E0<br>0040 | GFER1   | GPIO 負緣偵測暫存器 GPIO<63:32><br>(GPIO Falling-Edge Detect Register<br>GPIO<63:32>)       |
|  | 0x40E0<br>0044 | GFER2   | GPIO 負緣偵測暫存器 GPIO<80:64><br>(GPIO Falling-Edge Detect Register<br>GPIO<80:64>)       |
|  | 0x40E0<br>0048 | GEDR0   | GPIO 邊緣偵測狀態暫存器 GPIO<31:0><br>(GPIO Edge Detect Status Register<br>GPIO<31:0>)        |
|  | 0x40E0<br>004C | GEDR1   | GPIO 邊緣偵測狀態暫存器<br>GPIO<63:32><br>(GPIO Edge Detect Status Register<br>GPIO<63:32>)   |
|  | 0x40E0<br>0050 | GEDR2   | GPIO 邊緣偵測狀態暫存器<br>GPIO<80:64><br>(GPIO Edge Detect Status Register<br>GPIO<80:64>)   |
|  | 0x40E0<br>0054 | GAFR0_L | GPIO 交替功能選擇暫存器 GPIO<15:0><br>(GPIO Alternate Function Select Register<br>GPIO<15:0>) |

|  |                |             |   |
|--|----------------|-------------|---|
|  | 0x40E0<br>0058 | GAFR0_<br>U | GPIO 交替功能選擇暫存器<br>GPIO<31:16><br>(GPIO Alternate Function Select Register<br>GPIO<31:16>) |
|  | 0x40E0<br>005C | GAFR1_L     | GPIO 交替功能選擇暫存器<br>GPIO<47:32><br>(GPIO Alternate Function Select Register<br>GPIO<47:32>) |
|  | 0x40E0<br>0060 | GAFR1_<br>U | GPIO 交替功能選擇暫存器<br>GPIO<63:48><br>(GPIO Alternate Function Select Register<br>GPIO<63:48>) |
|  | 0x40E0<br>0064 | GAFR2_L     | GPIO 交替功能選擇暫存器<br>GPIO<79:64><br>(GPIO Alternate Function Select Register<br>GPIO<79:64>) |
|  | 0x40E0<br>0068 | GAFR2_<br>U | GPIO 交替功能選擇暫存器 GPIO 80<br>(GPIO Alternate Function Select Register<br>GPIO 80)            |
| 電源管理<br>與重置控制<br>(Power<br>Manger<br>and Reset<br>Control) | 0x40F0 0000    |             |   |
|  | 0x40F0 0000    | PMCR        | 電源管理控制暫存器<br>(Power Manager Control Register)   |
|  | 0x40F0 0004    | PSSR        | 電源管理睡眠狀態暫存器<br>(Power Manager Sleep Status Register)                                      |
|  | 0x40F0 0008    | PSPR        | 電源管理便條暫存器<br>(Power Manager Scratch Pad Register)   |
|  | 0x40F0<br>000C | PWER        | 電源管理喚醒致能暫存器<br>(Power Manager Wake-up Enable Register)                                    |
|  | 0x40F0 0010    | PRER        | 電源管理 GPIO 正緣偵測暫存器<br>(Power Manager Rasing-Edge Detect<br>Register)                       |
|  | 0x40F0 0014    | PFER        | 電源管理 GPIO 負緣偵測暫存器   |

|                             |             |               |  |
|-----------------------------|-------------|---------------|--|
|                             |             |               | (Power Manager Falling-Edge Detect Register)   |
|                             | 0x40F0 0018 | PEDR          | 電源管理 GPIO 邊緣偵測暫存器<br>(Power Manager Edge Detect Register)                              |
|                             | 0x40F0 001C | PCFR          | 電源管理一般組態暫存器<br>(Power Manager General Configuration Register)                          |
|                             | 0x40F0 0020 | PGSR0         | GP[31-0] 電源管理 GPIO 睡眠狀態暫存器<br>(Power Manager GPIO Sleep State Register for GP[31-0])   |
|                             | 0x40F0 0024 | PGSR1         | GP[63-32] 電源管理 GPIO 睡眠狀態暫存器<br>(Power Manager GPIO Sleep State Register for GP[63-32]) |
|                             | 0x40F0 0028 | PGSR2         | GP[84-64] 電源管理 GPIO 睡眠狀態暫存器<br>(Power Manager GPIO Sleep State Register for GP[84-64]) |
|                             | 0x40F0 002C | -             | 保留   |
|                             | 0x40F0 0030 | RCSR          | 重置控制狀態暫存器<br>(Reset Controller Status Register)  |
| SSP                         | 0x4100 0000 |               |  |
|                             | 0x4100 0000 | SSCR0         | SSP 控制暫存器 0<br>(SSP Control Register 0)  |
|                             | 0x4100 0004 | SSCR1         | SSP 控制暫存器 1<br>(SSP Control Register 1)  |
|                             | 0x4100 0008 | SSSR          | SSP 狀態暫存器<br>(SSP Status Register)   |
|                             | 0x4100 000C | SSITR         | SSP 中斷測試暫存器<br>(SSP Interrupt Test Register)   |
|                             | 0x4100 0010 | SSDR<br>(讀／寫) | SSP 資料寫入暫存器／SSP 資料讀取暫存器<br>(SSP Data Write Register/SSP Data Read Register)            |
| MMC 控制器<br>(MMC Controller) | 0x4110 0000 |               |  |
|                             | 0x4110 0000 | MMC_ST        | 控制 MMC 時脈開始和停止   |

|      |                |                |  |
|------|----------------|----------------|--|
|      |                | RPCL           | (Control to start and stop MMC clock)                          |
|      | 0x4110 0004    | MMC_ST<br>AT   | MMC 狀態暫存器(唯讀)<br>(MMC Status Register)                         |
|      | 0x4110 0008    | MMC_CL<br>KRT  | MMC 時脈比率<br>(MMC clock rate)                                   |
|      | 0x4110<br>000C | MMC_SP<br>I    | SPI 模式控制位元<br>(SPI mode control bit)                           |
|      | 0x4110 0010    | MMC_C<br>MDAT  | 命令／回應／資料順序控制<br>(Command/response/data sequence control)       |
|      | 0x4110 0014    | MMC_RE<br>STO  | 期望的回應逾時<br>(Expected response time out)                        |
|      | 0x4110 0018    | MMC_RD<br>TO   | 期望的資料讀取逾時<br>(Expected data read time out)                     |
|      | 0x4110<br>001C | MMC_BL<br>KLEN | 資料交易的區塊長度<br>(Block length of data transaction)                |
|      | 0x4110 0020    | MMC_N<br>OB    | 區塊模式的區塊數<br>(Number of blocks, for block mode)                 |
|      | 0x4110 0024    | MMC_PR<br>TBUF | 部分的 MMC_TXFIFO FIFO 寫入<br>(Partial MMC_TXFIFO FIFO written)    |
|      | 0x4110 0028    | MMC_I_<br>MASK | 中斷遮罩<br>(Interrupt Mask)                                       |
|      | 0x4110<br>002C | MMC_I_<br>REG  | 中斷暫存器(唯讀)<br>(Interrupt Register)                              |
|      | 0x4110 0030    | MMC_C<br>MD    | 目前的命令索引<br>(Index of current command)                          |
|      | 0x4110 0034    | MMC_AR<br>GH   | 屬於 MSW 部分的目前命令參數<br>(MSW part of the current command argument) |
|      | 0x4110 0038    | MMC_AR<br>GL   | 屬於 LSW 部分的目前命令參數<br>(LSW part of the current command argument) |
|      | 0x4110<br>003C | MMC_RE<br>S    | 回應 FIFO(唯讀)<br>(Response FIFO)                                 |
|      | 0x4110 0040    | MMC_RX<br>FIFO | 接收 FIFO(唯讀)<br>(Receive FIFO)                                  |
|      | 0x4110 0044    | MMC_TX<br>FIFO | 傳送 FIFO(唯寫)<br>(Transmit FIFO)                                 |
| 時脈管理 | 0x4130 0000    |                |  |

|                                    |                |        |  |
|------------------------------------|----------------|--------|--|
| 器<br>(Clocks<br>Manager)           |                |        |  |
|                                    | 0x4130 0000    | CCCR   | 核心時脈組態暫存器<br>(Core Clock Configuration Register)                           |
|                                    | 0x4130 0004    | CKEN   | 時脈致能暫存器<br>(Clock Enable Register)   |
|                                    | 0x4130 0008    | OSCC   | 振盪器組態暫存器<br>(Oscillator Configuration Register)                            |
| LCD 控制<br>器<br>(LCD<br>Controller) | 0x4400 0000    |        |  |
|                                    | 0x4400 0000    | LCCR0  | LCD 控制器控制暫存器 0<br>(LCD Controller Control Register 0)                      |
|                                    | 0x4400 0004    | LCCR1  | LCD 控制器控制暫存器 1<br>(LCD Controller Control Register 1)                      |
|                                    | 0x4400 0008    | LCCR2  | LCD 控制器控制暫存器 2<br>(LCD Controller Control Register 2)                      |
|                                    | 0x4400<br>000C | LCCR3  | LCD 控制器控制暫存器 3<br>(LCD Controller Control Register 3)                      |
|                                    | 0x4400 0200    | FDADR0 | DMA 通道 0 框架描述位址暫存器<br>(DMA Channel 0 Frame Descriptor<br>Address Register) |
|                                    | 0x4400 0204    | FSADR0 | DMA 通道 0 框架來源位址暫存器<br>(DMA Channel 0 Frame Source Address<br>Register)     |
|                                    | 0x4400 0208    | FIDR0  | DMA 通道 0 框架 ID 暫存器<br>(DMA Channel 0 Frame ID Register)                    |
|                                    | 0x4400<br>020C | LDCMD0 | DMA 通道 0 命令暫存器<br>(DMA Channel 0 Command Register)                         |
|                                    | 0x4400 0210    | FDADR1 | DMA 通道 1 框架描述位址暫存器<br>(DMA Channel 0 Frame Descriptor<br>Address Register) |
|                                    | 0x4400 0214    | FSADR1 | DMA 通道 1 框架來源位址暫存器<br>(DMA Channel 0 Frame Source Address<br>Register)     |
|                                    | 0x4400 0218    | FIDR1  | DMA 通道 1 框架 ID 暫存器   |

|                                      |                |        |   |
|--------------------------------------|----------------|--------|---|
|                                      |                |        | (DMA Channel 0 Frame ID Register)   |
|                                      | 0x4400<br>021C | LDCMD1 | DMA 通道 1 命令暫存器<br>(DMA Channel 0 Command Register)  |
|                                      | 0x4400 0020    | FBR0   | DMA 通道 0 框架分支暫存器<br>(DMA Channel 0 Frame Branch Register)   |
|                                      | 0x4400 0024    | FBR1   | DMA 通道 1 框架分支暫存器<br>(DMA Channel 1 Frame Branch Register)   |
|                                      | 0x4400 0038    | LCSR   | LCD 控制器狀態暫存器<br>(LCD Controller Status Register)  |
|                                      | 0x4400<br>003C | LIIDR  | LCD 控制器中斷 ID 暫存器<br>(LCD Controller Interrupt ID Register)  |
|                                      | 0x4400 0040    | TRGBR  | TMED RGB 種子暫存器<br>(TMED RGB Seed Register)  |
|                                      | 0x4400 0044    | TCR    | TMED 控制暫存器<br>(TMED Control Register)   |
| 記憶體控<br>制器<br>(Memory<br>Controller) | 0x4800 0000    |        |   |
|                                      | 0x4800 0000    | MDCNFG | SDRAM 組態暫存器 0<br>(SDRAM Configuration Register 0)   |
|                                      | 0x4800 0004    | MDREFR | SDRAM 刷新控制暫存器<br>(SDRAM Refresh Control Register)   |
|                                      | 0x4800 0008    | MSC0   | 靜態記憶體控制暫存器 0<br>(Static Memory Control Register 0)  |
|                                      | 0x4800<br>000C | MSC1   | 靜態記憶體控制暫存器 1<br>(Static Memory Control Register 1)  |
|                                      | 0x4800 0010    | MSC2   | 靜態記憶體控制暫存器 2<br>(Static Memory Control Register 2)  |
|                                      | 0x4800 0014    | MECR   | 擴充記憶體(PCMCIA／CF)匯流排組態<br>暫存器<br>(Expansion Memory (PCMCIA/Compact<br>Flash) Bus Configuration Register) |
|                                      | 0x4800<br>001C | SXCNFG | 同步靜態記憶體控制暫存器<br>(Synchronous Static Memory Control<br>Register)   |
|                                      | 0x4800 0024    | SXMRS  | 將 MRS 的值寫入 SMROM<br>(MRS value to be written to SMROM)  |



|  |                |              |  |
|--|----------------|--------------|--|
|  | 0x4800 0028    | MCMEM<br>0   | 卡介面命令記憶體空間的插槽 0 之時序組態<br>(Card Interface Common Memory Space Socket 0 Timing Configuration)                      |
|  | 0x4800<br>002C | MCMEM<br>1   | 卡介面命令記憶體空間的插槽 1 之時序組態<br>(Card Interface Common Memory Space Socket 1 Timing Configuration)                      |
|  | 0x4800 0030    | MCATT0       | 卡介面屬性空間的插槽 0 之時序組態<br>(Card Interface Attribute Space Socket 0 Timing Configuration)                             |
|  | 0x4800 0034    | MCATT1       | 卡介面屬性空間的插槽 1 之時序組態<br>(Card Interface Attribute Space Socket 1 Timing Configuration)                             |
|  | 0x4800 0038    | MCIO0        | 卡介面 I/O 空間的插槽 0 之時序組態<br>(Card Interface I/O Space Socket 0 Timing Configuration)                                |
|  | 0x4800<br>003C | MCIO1        | 卡介面 I/O 空間的插槽 1 之時序組態<br>(Card Interface I/O Space Socket 1 Timing Configuration)                                |
|  | 0x4800 0040    | MDMRS        | 將 MRS 的值寫入 SDRAM<br>(MRS value to be written to SDRAM)   |
|  | 0x4800 0044    | BOOT_D<br>EF | 唯讀開機時間暫存器。包括 BOOT_SEL<br>和 PKG_SEL 值。<br>(Read-Only Boot-time Register. Contain<br>BOOT_SEL and PKG_SEL values.) |

### 問題：

1. 請說明何為系統晶片。
2. 請比較在嵌入式系統中使用系統晶片與使用通用型微處理器，各有何優缺點？
3. 請問 Intel XScale 應用處理器與 ARM 有何關聯，具有哪些特性？
4. 請問 Intel XScale 應用處理器包含哪些種類的週邊裝置？
5. 目前有許多公司以 ARM 系列微處理器為基礎，開發出新一代的整合型微處理器。如 Motorola 的 Dragonball MX1 / MXL 以及 TI 的 DSC21 等。請調查並比較這些 ARM 系列延伸的微處理器有何優缺點，並且說明各有何應用範圍。

6. Intel XScale 的協力處理器 15 暫存器 0 為 Intel 的 ID 暫存器，請說明該暫存器的功能。若從該暫存器取得 0x69052903，請問其意義為何？
7. 下列為相鄰兩行組合語言，請討論在何種條件下可依序完成，在何種條件下其完成順序會相反？`str r1, [r2]`；第一個發佈的儲存指令。`str r3, [r4]`；第二個儲存指令依照程式順序完成。
8. 在 XScale 應用處理器中那個命令可用來做同步的應用(如信號機 Semaphor)？
9. 請問在 XScale 應用處理器中的中斷可分為哪兩種？請討論其特點以及應用為何？
10. 請問 Intel XScale 應用處理器可用哪些方法來重置？
11. 請問 Intel XScale 應用處理器提供哪些系統電源管理的模式？