

## 第十四章 快速紅外線通訊埠

在眾多的無線傳輸方式中，紅外線屬於最簡單也是最普通的方式，最常見莫過於電視遙控器，也普遍用在 PDA、Notebook、無線滑鼠和鍵盤。紅外線是一個點對點的傳輸方式，使用上很方便，但缺點是距離短，障礙物會影響通訊品質。常見紅外線分類如下

1. SIR：最高傳輸速率 115 Kbps.
2. MIR：最高傳輸速率 1.152 Mbps.
3. FIR：最高傳輸速率 4 Mbps.
4. VFIR：最高傳輸速率 16 Mbps.

PXA250 和 PXA210 應用處理器的快速紅外線通訊埠(FICP)採用半雙工運行，可直接和市面上 IrDA 相容的 LED 收發器連接。FICP 是以標準的 4-Mbps IrDA 為基礎，使用四位置脈衝控制(4PPM)和 IrDa 傳輸所發展的特別序列封包協定(specialized serial packet protocol)。為了支援標準，FICP 有：

- 一個位元的編碼/解碼器
- 一個序列到平行(serial-to-parallel)資料引擎
- 傳輸的 FIFO，可以存放 128 筆資料，每筆資料寬度 8 位元
- 接收的 FIFO，可以存放 128 筆資料，每筆資料寬度 11 位元

FICP 和標準 UART 共用 GPIO 腳位做為傳送或接收資料用。因此同一時間只能使用其中一種功能。為了支援各種的 IrDA 收發器，傳送和接收腳位可個別設定成正常模式或 active low data。

### 14.1 Signal Description

FICP 訊號是 IRRXD 和 IRTXD。表 14-1 描述每個訊號的功能。大部分的 IrDA 收發器有致能和速度控制腳位。我們需用 GPIOs 來啟動收發器和選擇速度。請參考第六章”系統整合單元”(6-1 頁)。

表 14-1. FICP 訊號說明

訊號名稱	輸入/輸出	說明
IRRXD	輸入	FICP 的接收腳位
IRTXD	輸出	FICP 的傳送腳位

### 14.2 FICP Operation

FICP 在重置之後，進入禁能狀態且無法控制埠的腳位。需先把控制暫存器設定為正確模式，軟體才能啟動 FICP 做高速傳輸。在控制暫存器設定好後，軟體得預先載入 128 bytes 到 FICP 傳送 FIFO 或讓 FIFO 維持清空狀態。在 FICP 致能後則使

用 DMA 做傳送服務。一旦 FICP 致能後，利用傳送和接收腳位做資料傳送/接收。

使用標準 4PPM IrDA 調變方式，將傳輸資料轉換為序列或平行資料（serial or parallel data）。調變技術和訊框格式在後面會詳述。

### 14.2.1 4PPM調變

四位置脈衝調變（4PPM）使用 4.0Mbps 傳送資料。一次編碼二個資料位元，放置在四個時槽裡其中之一，以一個 125 ns 的光脈衝表示之。四個連續時槽(timeslot)稱為一個時片(chip)。一次編碼一個位元組，分為四個 2-bit 位元對，稱為 nibbles。由最低 nibble 先傳送。圖 14-1 表示在 4PPM 編碼下，2-bit nibble 可能的四種組合。圖 14-2 表示以 4PPM 調變的位元組傳送 0b10110001 例子，由四個時片(chip)組成。由最小 nibble 0 先傳送，且最大 nibble 3 最後傳送，順序不能改變。

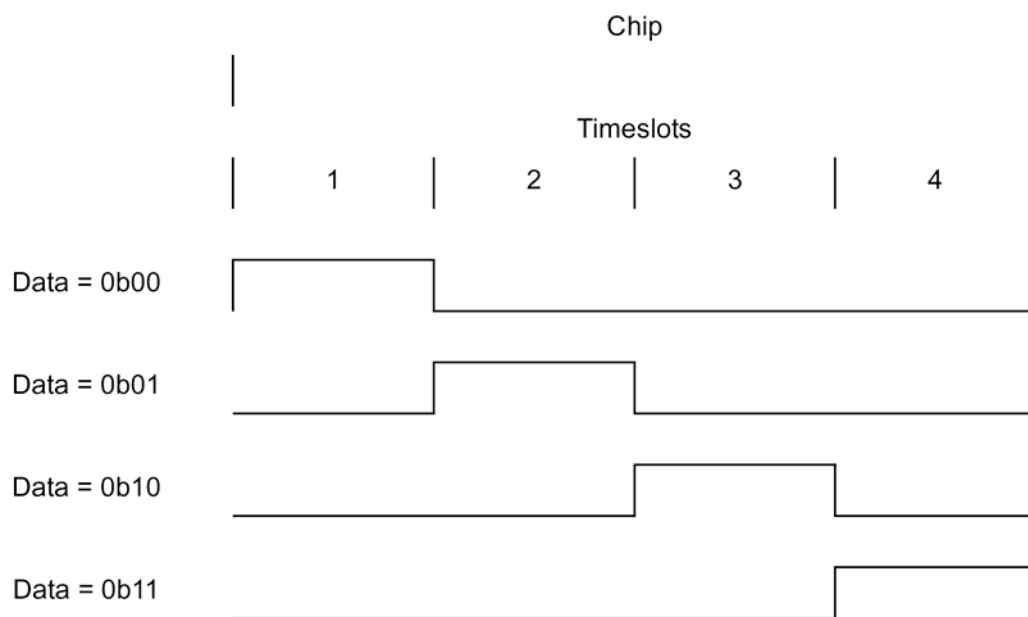


圖 14-1. 4PPM 調變編碼

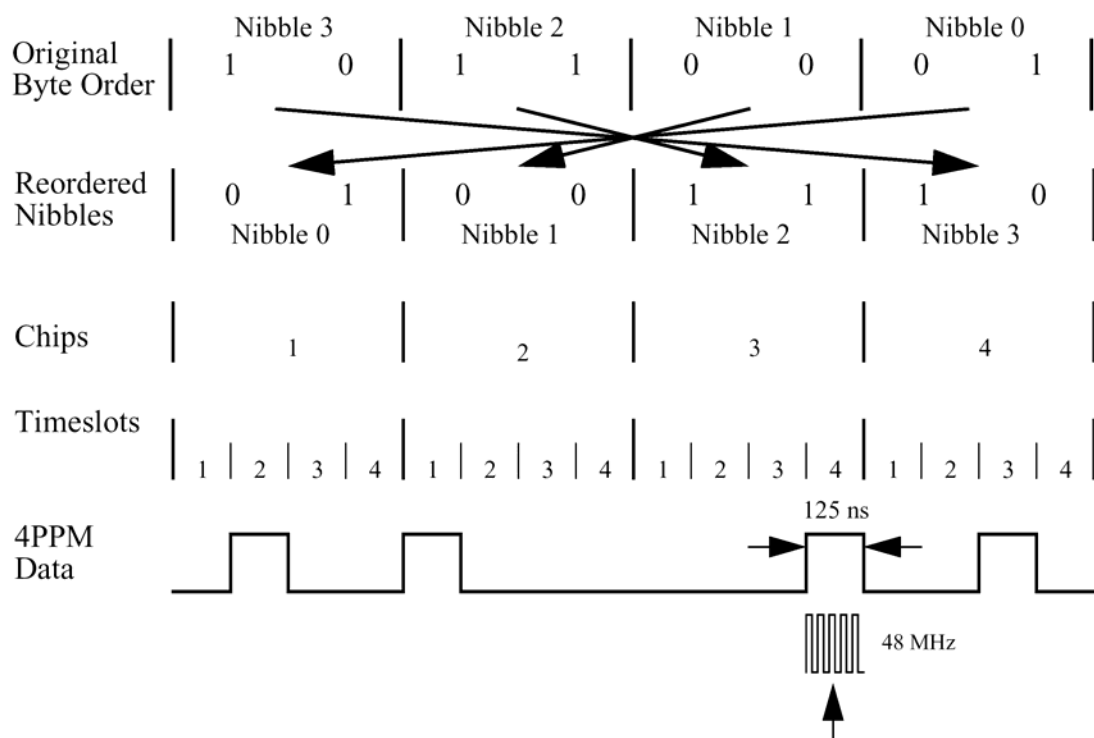


圖 14-2. 4PPM 調變 範例

接收資料樣本計數頻率=6/脈衝寬。每個時槽在第三個 clock 做取樣。

## 14.2.2 訊框格式

4-Mbps 傳輸訊框格式(frame format)如圖 14-3 所示。

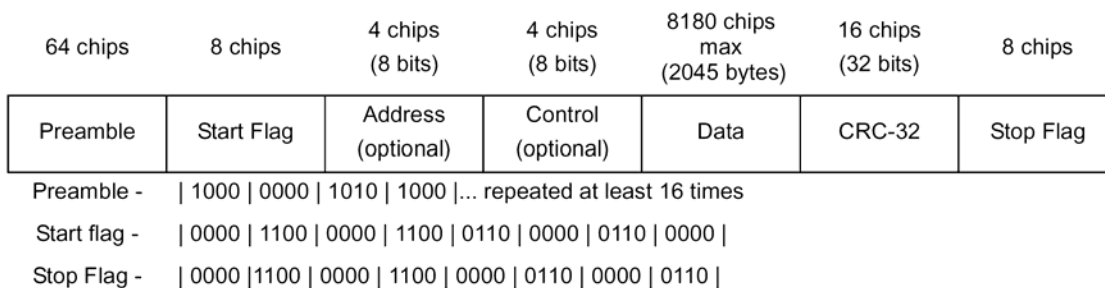


圖 14-3. 紅外線傳輸訊框格式

前置序文、開始、停止旗標是一群時片的組合，可能有 0、1 或 2 脈衝。因時片如果有 0 和 2 個脈衝是屬於無效的位元對，因此可以當作旗標構成單元。前置序文重複 16 次時片：1000 0000 1010 1000。開始旗標有八個時片：0000 1100 0000 1100 0110 0000 0110 0000。停止旗標包含了有八個時片：0000 1100 0000 1100 0000 0110 0000 0110。位址、控制、資料和 CRC-32 使用標準 4PPM 時片編碼，每個時片代表二個位元。

### 14.2.3 位址欄位

當多工作站連到相同階層的序列線路時，發送器使用 8-bit 的地址欄來標定接收者設備。最多同時連接 255 個工作站，位址範圍從 0x00 到 0xFE。廣播位址 0xFF 用來傳送訊息給所有連上的工作站。對接收端而言，FICP 控制暫存器 1(ICCR1)可設定成一個唯一的接收地址。FICP 控制暫存器 0(ICCR0)的 AME 位元決定位址搭配函式。訊框中的地址和一般資料都放在接收 FIFO 中。

### 14.2.4 控制欄位

控制欄位是屬於選擇性欄位，由軟體定義其涵義。FICP 不會對控制位元組做硬體解碼。FICP 把控制欄位當成一般資料。

### 14.2.5 資料欄位

資料欄位長度可以是 0 到 2045 位元組。應用程式的需求和系統的傳輸特性資料欄位的長度有關。當在傳輸期間允許 CRC 監測所有的錯誤時，軟體必需決定每個訊框的最大資料長度。序列埠不包含能限制傳送或接收資料最大長度的硬體。如果接收到的資料欄位位元數目不是 8 的倍數時，就會發出中止信號。

### 14.2.6 CRC欄位

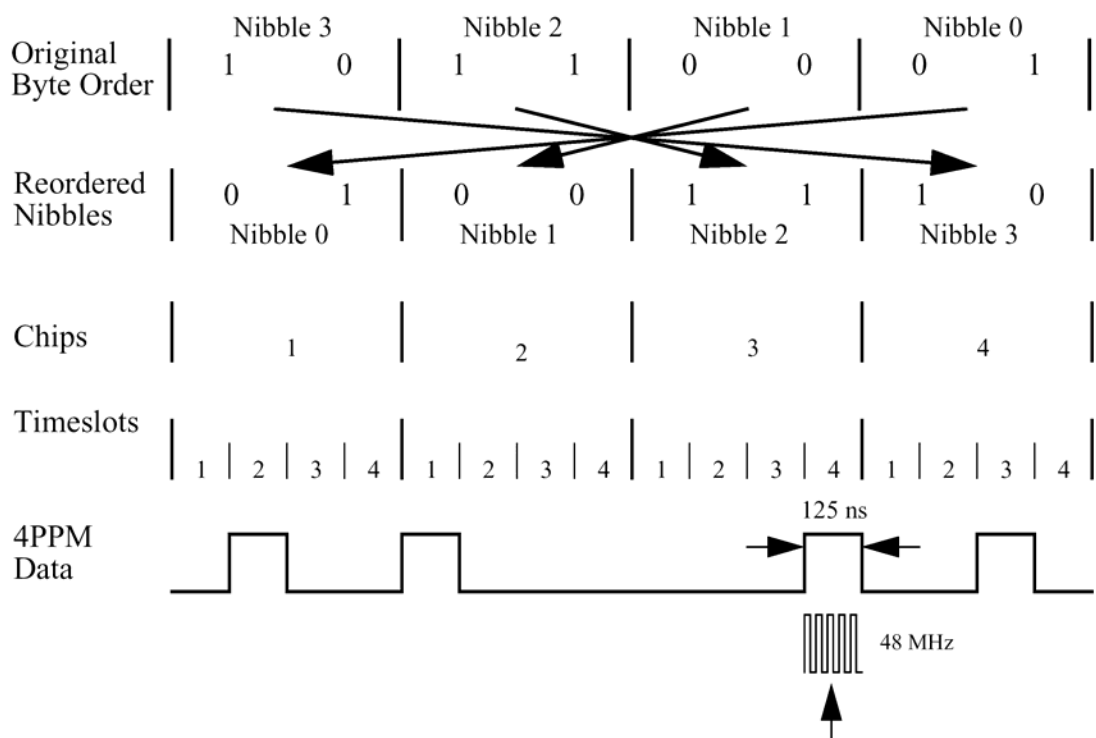
FICP 使用 32 位元的循環冗餘核對(Cyclic Redundancy Check)來偵測在傳輸時所發生的位元錯誤。由每個訊框的位址、控制和資料欄位產生 CRC 檢查碼。傳送和接收的 CRC 單元各自獨立。CRC 計算邏輯在每個訊框(frame)傳送或接收前全設為一，且在用來比較或傳送之前會將計算結果反向。當資料傳送時發送器會計算一個 CRC，且將 32 位元計算結果反向，放在每個訊框(frame)之後，直到傳送停止旗標為止。接送器也會計算一個 CRC，然後跟每個訊框尾的 CRC 值做比對。

如果二個值不相同時，會設定最後一個資料位元組 CRC 錯誤位元。當這個位元組到達觸發層次的範圍(trigger level range)時，會產生一個中斷請求。

注意：和位址、控制和資料欄位不同的是 32 位元反向的 CRC 值由最高 nibble 先傳送或接收。

CRC 使用 32 次多項式如下：

$$CRC(x) = (x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1)$$



### 14.2.7 鮑率產生器

鮑率是由 48-MHz 頻率除 6 降頻。每次在接收資料線路上偵測到有變更，透過數位 PLL，接收邏輯的 8-MHz 鮑率時脈能和 4PPM 資料流同步。要編碼 4-Mbps 資料流，時片頻率需求是 2.0MHz。每個時槽有 6 個 48-MHz 週期寬，接收時在每個時槽的中間連續取樣 3 次。在接收前置序文時，時片取得同步。四個時片的型態重複 16 次，用來是別時片的開端和重置時槽計數邏輯。

### 14.2.8 接收運作方式

IrDA 定義的傳輸都是半雙工的。這個限制迫使軟體在同一時間只能使用一種功能。不能同時啟動傳送或接收功能。FICP 的硬體並沒有這樣的限制。軟體能同時啟動傳送器和接收器。好處是使用 FICP 的回送模式(loopback mode)，能連結傳送序列移位器(transmit serial shifter)的輸出到接收序列移位器(ceive serial shifter)的輸入。

FICP 啟動後，接收器邏輯開始找出時片邊界，從接收資料腳位，接收四個 4PPM 時片，使用序列移位器(serial shifter)從接收腳位抓取四個 4PPM 時片，並且一次解碼四個時片。如果時片(chip)沒有正確的前置訊號，時槽計數器(timeslot counter)會跳過一 8-MHz 週期寬的時間，將時槽計數暫緩一次。這個程序稱為獵取模式(hunt mode)，且會一直重覆直到時片有正確的序文(preamble)，表示時槽計數器已取得同步，才會停止。前置訊號能重覆 16 次或不斷重覆表示傳輸線路處於閒置狀態。

在 16 個前置訊號接收完畢之後，會接收開始旗標。開始旗標有八個時片長。如果開始旗標的任何部分不符編碼要求，接收邏輯會發出訊框錯誤和回到獵取模式(hunt mode)。

當識別出正確的開始旗標，四個時片為一組解碼成資料位元組(data byte)且寫入到 5-byte 的臨時 FIFO，預防 CRC 值放在接收 FIFO。當臨時 FIFO 滿了時，資料值會一次傳送到接收 FIFO。訊框的第一個資料位元組是位址。如果有接收器地址比對致能，接收的地址會跟在 ICCR1 裡的地址相等值欄位(address match value field)做比對。如果比對結果相同或接收的地址全部為 1，連同地址位元組和資料位元組都會存在接收 FIFO 裡。如果比對結果不相同，接收器邏輯(receiver logic)不會儲存任何資料，會忽略訊框(frame)其他的部分，且會去尋找下一個前置訊號。如果接收器地址比對禁能時，訊框的第一個資料位元組會當做普通資料儲存在 FIFO 裡。訊框的第二個資料位元組是一個非必要的控制欄位，需由軟體解釋其涵義。

IrDA 規定限制了訊框長度不得超過 2047 個位元組(包含地址和控制位元組)。FICP 不限制訊框大小。軟體必需確定每個接收的訊框長度不可超過 2047 個位元組。

當接收 FIFO 到達觸發層級時(trigger level)，會產生中斷(如果致能)和 DMA 傳送請求(如果在資料中沒有發現錯誤)。如果資料取走的速度不夠快，就不能避免接收 FIFO 產生溢滿狀況。如果接收邏輯試著將外來的資料寫入溢載的 FIFO 中，且會產生 overrun 的錯誤。當 FIFO 滿載時，所有後來接收的資料位元組都會遺失且 FIFO 的內容不做任何變更。

如果資料欄位有無效時片(例如 0011, 1010, 1110)，則訊框終止且在臨時 FIFO 裡最舊的位元組移到接收 FIFO 時，會丟棄臨時 FIFO 其他的項目，對 FIFO 最後一個項目位元組設定訊框結尾旗標，接收器邏輯再度蒐尋前置訊號。

接收邏輯持續蒐尋 8 個時片停止旗標。當找出停止旗標時，會在接收 FIFO 最後一個位元組標記為訊框尾部位元組，且在暫存 FIFO 裡的資料會移除，做為訊框的 CRC 值。接收邏輯比對訊框的 CRC 值和 CRC-32 值，CRC-32 是由輸入的資料串流所持續計算出而得。如果 CRC 和 CRC-32 值不相同時，接收 FIFO 最後一個位元組會標記為 CRC 錯誤。訊框的 CRC 值不會放在接收 FIFO 裡。如果未發現正確的停止旗標，就會產生中止訊號。

如果正當在做接收運作時，軟體關閉 FICP 的接收器，資料位元組會直接停止，這會清除序列移位器和接收 FIFO，系統整合單元(SIU-System Integration Unit)取得接收資料腳位控制權，且停止接收邏輯使用的計時器以節省電力。如果接收資料腳位當成 GPIO 的輸入來使用時，接收資料輸入的極性需重新設定。

### 14.2.9 傳送運作方式

在啟動 FICP 傳輸之前，軟體能預先載入資料到傳送 FIFO；在 FICP 啟動後，

可請求 CPU 或 DMA 把資料寫入傳送 FIFO。當 FICP 啟動，如果 FIFO 需要更多的資料時，傳送邏輯會發出一個服務請求。

每個訊框傳送 16 個前置訊號。如果前置訊號之後，如果沒有資料可供傳送，直到傳送 FIFO 底部有資料為止。前置訊號接著是開始旗標和來自 FIFO 的資料。以四個時片為一組，編碼後載入到序列移位暫存器中。序列移位暫存器的內容資料，以 8-MHz 鮑率時脈，輸出到傳送資料腳位。前置訊號、開始旗標、停止旗標、CRC 值都是自動傳送。

當傳送 FIFO 有 32 或更多項目時(entries)，就會送出中斷(如果有致能)和 DMA 服務請求。如果新資料還未寫入到 FIFO，FIFO 已經變成清空狀態，造成傳送邏輯會從空的 FIFO 傳送資料。這時軟體需決定是否將資料短缺的中斷視為正常結束訊框或視為意外結束的訊框。

當軟體把資料短缺視為正常結束的訊框，傳送邏輯送出傳送過程中算出的 CRC 值，此值包含地址和控制位元組，接著停止旗標當作訊框的結尾標記。傳送器持續傳送序文(preambles)直到在 FIFO 裡有可用資料為止。當有可用資料為時，傳送器繼續傳送下一個訊框。

當軟體把資料短缺視為意外的結束訊框時，傳送邏輯會傳送一個中止指令且中斷 CPU。傳送器持續送出中止指令直到傳送 FIFO 裡有可用資料。當有可用資料，FICP 傳送 16 個前置訊號和一個開始旗標，開始一個新的訊框。外部接收器能選擇忽略中止訊號或通知 FICP 試圖再傳送一次已經中止的訊框。

在每個訊框傳送結束之後，FICP 送出一個紅外線序列交互(SIP-serial infrared interaction pulse)脈衝。SIP 必需至少每 500ms 送出一一次，以確保低速設備(115.2Kbps 或更慢)不會和較高速傳輸互相干擾。SIP 模擬起始位元，導致低速設備 stay off the air 至少 500ms。SIP 強迫傳送資料腳位有 1.625 $\mu$ s 高電位和 7.375 $\mu$ s 的低電位(全部的 SIP 週期是 9.0 $\mu$ s)。在 SIP 週期之後，持續地傳送前置訊號告訴外部接收器，FICP 傳送器處於閒置或禁能狀態。每 500ms 至少必需有一個訊框已傳送完畢，確保低速設備不會干擾傳輸過程。因為大部分和 IrDA 相容的設備，傳送一個訊框後會產生 SIP，軟體只需要確保每 500ms，FICP 是傳送或接收一個訊框。訊框長度。4Mbps 時，最大的訊框長度是 16568 位元，傳送時大概是 4ms。當傳送致能時，FICP 也會送出 SIP。這樣確保 FICP 傳送資料時，低速設備不會受到干擾。

FICP 正在運作時，如果軟體下達關閉命令，資料傳輸會直接中止，清除序列移位器和傳送 FIFO，且 SIU 取得傳送資料腳位的控制權。如果要當成 GPIO 使用的話，傳送資料腳位必須重新設定。

#### 14.2.10 傳送及接收緩衝區(FIFO)

傳送 FIFO 可容納 128 筆資料，每筆寬度 8 位元。接收 FIFO 可容納 128 筆資料，

每筆寬度 11 位元，其中 3 個位元當作狀態位元。傳送 FIFO 和接收 FIFO 使用各自獨立的 DMA 請求。

當傳送 FIFO 可以容納 32 或更多位元組時，引發傳送 DMA 請求且產生一個中斷(在中斷致能模式)，告訴處理器傳送更多資料給 FIFO。當傳送 FIFO 溢滿，由處理器而來的任何資料都會遺失。當接收 FIFO 到達觸發點層級(trigger level)(在 ICCR2 裡設定)，在資料沒有錯誤的情形下，引發接收 DMA 請求且產生一個中斷(在中斷致能模式)，並告訴處理器從接收 FIFO 裡讀取資料。如果在 FIFO 的觸發點層級(trigger level)發現錯誤，DMA 請求會關閉，且會產生一個中斷以確保 DMAC 不會讀取到錯誤的位元組。

每個 DMA 請求所傳送的位元組數在 DMAC 所設定，且可能是 8、16 或 32 位元組。接收 FIFO 的觸發點層級(trigger level)一定要設定，接收 FIFO 才能有足夠的資料供 DMAC 讀取。傳送 FIFO 設定觸發點層級(trigger level)。當 FIFO 可以容納 32 或更多位元組時，會產生 DMA 請求，和 DMA 傳輸的大小無關。

DMA 控制器不做接收服務的情形下，處理器才能回應接收錯誤中斷時。在 DMAC 完成接收服務前，處理器無法移除錯誤位元組。

### 14.2.11 Trailing or Error Bytes in the Receive FIFO

當接收 FIFO 的位元組數少於觸發點層級時，且再也沒有資料進入接收 FIFO 的情形下，在 FIFO 裡的位元組稱為 trailing 位元組，trailing 位元組不會觸發接收 DMA 請求。替代的方式是觸發 FIFO 裡的結束/錯誤 (ICSR0(EIF) ) 中斷，ICSR0(EIF) 是無法遮蔽中斷。當 ICSR0(EIF)在設定情形下，DMA 請求會關閉。需從 FIFO 連續讀取位元組，直到 ICSR0(EIF)成為清除的狀態。

如果低於 DMA 觸發層級(trigger level)情況下，FIFO 中資料有錯誤時，也需從 FIFO 連續讀取位元組，直到 ICSR0(EIF)成為清除的狀態。當低於觸發層級(trigger level) 情況下，FIFO 中資料不包含狀態旗標，DMA 請求就會致能。

## 14.3 FICP 暫存器

FICP 有六個暫存器：三個控制暫存器，一個資料暫存器和二個狀態暫存器。FICP 的暫存器寬度是 32 位元，但只有最低的 8 個位元是有效的資料。CPU 只能從 FICP 暫存器讀取或寫入 32 位元資料，無法位元組或半字組(half-word)資料，

控制暫存器決定的事項有(1)IrDA 傳輸速率(2)地址比對值(3)傳送 FIFO 資料筆數不足處理方式，正常或降低傳送和接收資料，(4)起動傳送和接收運作(5)FIFO 中斷服務請求(6)接收地址比對和(7)回送(loopback)模式。

資料暫存器處理的對向是傳送 FIFO 頂端或接收 FIFO 底部的資料。對資料暫存



器寫入時，最低的 8 個位元同時進入傳送 FIFO 頂端；對資料暫存器讀取時，接收 FIFO 最底部的資料會先進入資料暫存器，再把資料送給 CPU。

狀態暫存器包含：(1)CRC，資料溢滿 (overrun)，資料短缺(underrun)和接收器中止錯誤；(2)傳送 FIFO 服務請求，接收 FIFO 服務請求和訊框結尾情況。每個硬體偵測事件會引發中斷請求。狀態暫存器也包含傳送器忙錄、接收器已同步、接收 FIFO 未清空和傳送 FIFO 未滿載旗標(沒有中斷產生)。

### 14.3.1 FICP 控制暫存器0

FICP 控制暫存器 0(ICCR0)包含八個欄位，控制 4Mbps IrDA 傳輸的各種功能。當需要變更 ICCR0[ITR]和 ICCR0[LBM]時，FICP 需進入禁能狀態 (RXE=TXE=0)。在 FICP 致能時，可以對 ICCR0[7:2]作設定，進行各種模式轉換。

Table 14-2. Fast Infrared Communication Port Control Register 0 (Sheet 1 of 2)

0x4080 0000																Fast Infrared Communication Port Control Register 0 (ICCR0)																FICP							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
	Reserved																								AME	TIE	RIE	RXE	TXE	TUS	LBM	TR							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0							
Bits	Name		Description																																				
[31:8]	—		Reserved																																				
7	AME		Address match enable. Receive logic will compare the address of the incoming frames to the Address Match Value field in ICCR1. 0 = Disable receiver address match function. Store data in receive FIFO. 1 = Enable receiver address match function. Do not put data in the receive FIFO unless address is recognized or address is the broadcast address.																																				
6	TIE		Transmit FIFO interrupt enable. 0 = Transmit FIFO service request, ICCR0[TFS], does not generate an interrupt. 1 = Transmit FIFO service request generates an interrupt. Setting TIE does not clear TFS or prevent TFS from being set or cleared by the transmit FIFO. TIE does not affect transmit FIFO DMA requests.																																				
5	RIE		Receive FIFO interrupt enable. 0 = Receive FIFO service request, ICCR0[RFS], does not generate an interrupt. 1 = Receive FIFO service request generates an interrupt Setting RIE does not clear RFS or prevent RFS from being set or cleared by the receive FIFO. RIE does not affect receive FIFO DMA requests.																																				
4	RXE		Receive enable. 0 = FICP receive logic disabled. 1 = FICP receive logic enabled if ICCR0[ITR] is set. All other control bits must be configured before setting RXE. If RXE is cleared while receiving data then reception is stopped immediately, all data within the receive FIFO and serial input shifter is cleared, and control of the receive data pin is given to the SIU. While communication is normally half-duplex, it is possible to transmit and receive data at the same time. This is used for testing in Loopback Mode. If RXE is used to clear the receive FIFO, check ICCR1[RNE] to ensure the receive FIFO is clear before re-enabling the receiver.																																				

Table 11-2. Fast Infrared Communication Port Control Register 0 (Sheet 2 of 2)

0x4080 0000										Fast Infrared Communication Port Control Register 0 (ICCR0)										FICP																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
	Reserved																							AME	TIE	RIE	RXE	TXE	TUS	LBM	ITR					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
	Bits		Name		Description																															
	3		TXE		<p>Transmit enable.</p> <p>0 = FICP transmit logic disabled. 1 = FICP transmit logic enabled if ICCR0[ITR] is set.</p> <p>All other control bits must be configured before TXE is set. An SIP is transmitted immediately after the transmitter is enabled. If the transmit FIFO is empty, preambles are sent until data is placed in the FIFO.</p> <p>If TXE is cleared while it transmits data, transmission stops immediately, all data in the transmit FIFO and serial output shifter is cleared, and the SIU takes control of the transmit data pin.</p> <p>While communication is normally half-duplex, it is possible to transmit and receive data at the same time. Duplex communication is used for testing in Loopback Mode.</p> <p>If TXE is used to clear the transmitter, check ICSR1[TBY] to ensure the transmitter is not busy before the transmitter is re-enabled.</p>																															
	2		TUS		<p>Transmit FIFO underrun select.</p> <p>A transmit FIFO underrun can either end the current frame normally, or transmit an abort.</p> <p>0 = Transmit FIFO underrun causes CRC, stop flag, and SIP to be transmitted, and masks transmit underrun interrupt generation. 1 = Transmit FIFO underrun causes abort to be transmitted, and generates an interrupt.</p> <p>Clearing ICCR0[TUS] does not affect the current state of ICSR0[TUR] or prevent TUR from being set or cleared by the transmit FIFO. After an abort, a SIP is transmitted followed by 16 preambles. Preambles continue until data is in the FIFO.</p>																															
	1		LBM		<p>Loopback mode.</p> <p>Used for testing FICP.</p> <p>0 = Normal FICP operation enabled. 1 = Output of transmit serial shifter is connected to input of receive serial shifter.</p>																															
	0		ITR		<p>IrDA transmission.</p> <p>0 = ICP unit is not enabled. 1 = ICP unit is enabled.</p>																															

### 14.3.2 FICP 控制暫存器1

FICP 控制暫存器 1(ICCR1) 是地址比對欄位，寬度 8 位元。FICP 收到訊框後，會做地址值比對，這使得 FICP 對訊框有選擇能力。在 FICP 致能時，可以設定 ICCR1，變更地址欄位的值。

**Table 11-3. Fast Infrared Communication Port Control Register 1**

0x4080 0004										Fast Infrared Communication Port Control Register 1 (ICCR1)																FICP							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	Reserved																								AMV								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits		Name		Description																													
[31:8]		—		Reserved																													
[7:0]		AMV		<p>Address match value.</p> <p>The 8-bit value used by receiver logic to compare to address of incoming frames. If AME=1 and AMV matches the address of the incoming frame, store the frame address, control, and data in receive FIFO. If the address does not match, ignore the frame and search for the next preamble.</p> <p>The broadcast address 0xFF in the incoming frame always generates a match.</p>																													

### 14.3.3 FICP 控制暫存器 2

FICP 控制暫存器 2(ICCR2)有二個位元欄位，控制(1)傳送和接收資料腳位的極性(2)接收 FIFO 的觸發層級(trigger level)。當要改變位元的狀態時，FICP 需要進入禁能狀態(RXE=TXE=0)。

**Table 11-4. Fast Infrared Communication Port Control Register 2**

0x4080 0008								Fast Infrared Communication Port Control Register 2 (ICCR2)																FICP								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Reserved																	RXP		TXP		TRIG										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
Bits	Name		Description																													
[31:4]	—		Reserved																													
3	RXP		Receive pin polarity select. 0 = Data from the receive data pin is inverted before being used by the FICP unit. 1 = Data from the receive data pin to the FICP unit is not inverted. Set on reset.																													
2	TXP		Transmit pin polarity select. 0 = Data from the FICP is inverted before being sent to the transmit data pin. 1 = Data from the FICP is not inverted before being sent to the transmit data pin. Set on reset.																													
[1:0]	TRIG		Receive FIFO trigger level The receive FIFO generates service requests when the FIFO has reached the trigger level and has no errors in its data. The DMA controller data transfer size must be set to the same size as the Receive FIFO trigger level. To change the trigger level, the Receive FIFO must be disabled. 0b00- receive FIFO service request is generated when the FIFO has 8 bytes or more 0b01- receive FIFO service request is generated when the FIFO has 16 bytes or more 0b10- receive FIFO service request is generated when the FIFO has 32 bytes or more 0b11- reserved																													

### 14.3.4 FICP 資料暫存器

FICP 資料暫存器(ICDR)寬度為 32 位元，對資料暫存器寫入時，最低的 8 個位元同時進入傳送 FIFO 頂端；對資料暫存器讀取時，接收 FIFO 最底部的資料會先進入資料暫存器，再把資料送給 CPU。

讀取 ICDR 相當於讀取了接收 FIFO 最底部那一筆資料項目。當資料進入接收 FIFO 的頂部時，位元 8-10 會當成標籤位元指示資料接收的情況。當資料到達接收 FIFO 的底部時，位元 8 傳送給訊框結尾(EOF-end-of-frame)旗標、位元 9 傳送給 CRC 錯誤旗標(CRE)、位元 10 傳送給接收器溢滿旗標(ROR)。這些旗標都屬於 FICP 狀態暫存器 1。這些旗標能決定在 FIFO 最底層的值是否代表訊框(frame)的最後一個位元組或是在接收時遇到錯誤。在檢查過所有的旗標後，FIFO 的值才可以讀取。接收 FIFO 的資料到達最底層，它的 EOF、CRE 和 ROR 位元會傳送給狀態暫存器。

依照觸發層級(trigger level)設定，當接收 FIFO 有 8、16、或 32 筆資料時，任何一筆資料有標籤位元的值為 1 時，會設定狀態暫存器中(EIF)旗標。如果 EIF 為 0 時，表示接收 FIFO 中的資料沒有任何錯誤。當 EIF 為 1 時，會產生一個中斷和關閉接收 FIFO 的 DMA 請求。在這種情形下，軟體必需清空接收 FIFO。且從 FIFO 移除每筆資料前，檢查 ICSR1 裡的 EOF、CRE 和 ROR 錯誤旗標。當清除 EIF 時，接收 FIFO 的 DMA 服務才會重新啟動。

當中央處理器重新啟動時，會清空 FICP 二個 FIFO。當 TXE 是 0 時，會清空傳送 FIFO。當 RXE 是 0 時，會清空接收 FIFO。

Table 11-5. Fast Infrared Communication Port Data Register

0x4080 000C																Fast Infrared Communication Port Data Register (ICDR)																FICP															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
	Reserved																								DATA																						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
Bits	Name		Description																																												
[31:8]	—		Reserved																																												
[7:0]	DATA		Top/bottom of transmit/receive FIFO. Read - Read data from front of receive FIFO Write - Place data at end of transmit FIFO																																												

### 14.3.5 FICP狀態暫存器0

FICP 狀態暫存器 0(ICSR0)標示(1)傳送 FIFO 服務請求(2)接收 FIFO 服務請求(3)接收器中止(4)傳送 FIFO 資料筆數不足(5)訊框錯誤(6)接收 FIFO 在結束或錯誤時的狀況。這些硬體偵事件都向中斷控制器發出一個中斷請求。

如果一個位元能發出中斷請求，只要在位元設定的期間內，都可以發出中斷請

求。當這個位元被清除時，中斷也會清除。我們需要對用詞做一下說明，可以讀取/寫入位元也稱為狀態位元，唯讀位元稱為旗標。在硬體設定之後，須由軟體清除的狀態位元稱為 sticky 狀態位元。對 sticky 狀態位元寫入 1 時，會清除 sticky 狀態位元。寫入到唯讀旗標將不會有任何作用。引發中斷的某些位元在控制暫存器裡會有相對應的遮單位元。我們將在後面章節做說明。

**Table 11-6. Fast Infrared Communication Port Status Register 0**

0x4080 0014														Fast Infrared Communication Port Status Register 0 (ICSR0)														FICP													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0									
	Reserved																		FRE		RFS	TFS	RAB	TUR	EIF																
Reset																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits		Name		Description																																				
	[31:6]		—		Reserved																																				
	5		FRE		Framing error. 0 = No framing errors encountered in the receipt of this data. 1 = Framing error occurred. A preamble was followed by something other than another preamble or start flag, request interrupt.																																				
	4		RFS		Receive FIFO service request (read-only). 0 = Receive FIFO has not reached its trigger level or receiver disabled. 1 = Receive FIFO has reached its trigger level and receiver is enabled. DMA service request signalled. Interrupt request signalled if not masked by ICCR0[RIE].																																				
	3		TFS		Transmit FIFO service request (read-only). 0 = Transmit FIFO has more than 96 entries of data or transmitter disabled. 1 = Transmit FIFO has 96 or less entries of data and transmitter is enabled. DMA service request signalled. Interrupt request signalled if not masked by ICCR0[TIE].																																				

**Table 11-6. Fast Infrared Communication Port Status Register 0**

0x4080 0014														Fast Infrared Communication Port Status Register 0 (ICSR0)														FICP													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0									
	Reserved																										FRE		RFS		TFS		RAB		TUR		EIF				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										
Bits		Name		Description																																					
2		RAB		Receiver abort. 0 = No abort has been detected for the incoming frame. 1 = Abort detected during receipt of incoming frame. Two or more chips containing no pulses or any invalid chips were detected on the receive pin. EOF bit set on last piece of "good" data received before the abort, interrupt requested.																																					
1		TUR		Transmit FIFO underrun. 0 – Transmit FIFO has not experienced an underrun. 1 – Transmit logic attempted to fetch data from transmit FIFO while it was empty. Interrupt request signalled if not masked by ICCR0[TUS]. Underruns are not generated when the FICP transmitter is first enabled and is idle.																																					
0		EIF		End/error in FIFO (read-only). 0 – Bits 8–10 are not set within any of the entries below the trigger level of the receive FIFO. Receive FIFO DMA service requests are enabled. 1 – One or more tag bits (8 – 10) are set within the entries below the trigger level of the receive FIFO. Request interrupt, disable receive FIFO DMA service requests. This interrupt is not maskable in the FICP. Once the bad bytes have been removed from the FIFO and EIF is cleared, DMA requests are automatically enabled.																																					

### 14.3.6 FICP狀態暫存器1

FICP狀態暫存器1(ICSR1)記錄的狀態有(1)接收FIFO溢滿(2)CRC錯誤(3)訊框結束(4)傳送FIFO並未滿載(5)接收FIFO仍有資料 (6)接收器忙碌(7)接收邏輯單元和接收資料取得同步。

**Table 11-7. Fast Infrared Communication Port Status Register 1**

0x4080 0018										Fast Infrared Communication Port Status Register 1 (ICSR1)										FICP													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	Reserved																		ROR	CRE	EOF	TNF	RNE	TBY	RSY								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	
Bits	Name		Description																														
[31:7]	—		Reserved																														
6	ROR		Receive FIFO overrun (read-only). 0 = Receive FIFO has not experienced an overrun. 1 = Receive logic attempted to place data into receive FIFO while it was full. Data received after the FIFO is full are lost.  Each time an 11-bit value reaches the bottom of the receive FIFO, bit 10 from the last FIFO entry is transferred to the ROR bit.																														
5	CRE		CRC error (read-only). 0 = CRC not encountered yet or no CRC check errors encountered in the receipt of data. 1 = CRC calculated on the incoming data. Does not match CRC value contained within the received frame.  Each time an 11-bit value reaches the bottom of the receive FIFO, bit 9 from the last FIFO entry is transferred to the CRE bit.																														
4	EOF		End of frame (read-only). 0 = Current frame has not completed. 1 = The value at the bottom of the receive FIFO is the last byte of data within the frame, including aborted frames.  Each time an 11-bit value reaches the bottom of the receive FIFO, bit 8 from the last FIFO entry is transferred to the EOF bit.																														
3	TNF		Transmit FIFO not full (read-only). 0 = Transmit FIFO is full. 1 = Transmit FIFO is not full (no interrupt generated).																														
2	RNE		Receive FIFO not empty (read-only). 0 – Receive FIFO is empty. 1 – Receive FIFO is not empty (no interrupt generated).																														
1	TBY		Transmitter busy flag (read-only). 0 – Transmitter is idle (continuous preambles) or disabled. 1 – Transmit logic is currently transmitting a frame (address, control, data, CRC, or start/stop flag). No interrupt generated.																														
0	RSY		Receiver synchronized flag (read-only). 0 – Receiver is in hunt mode or is disabled. 1 – Receiver logic is synchronized with the incoming data (no interrupt generated).																														

## 14.4 FICP暫存器位址

表14-8是FICP暫存器實體記憶體位置。

Table 11-8. FICP Control, Data, and Status Register Locations

Address	Name	Description
0x4080_0000	ICCR0	FICP control register 0
0x4080_0004	ICCR1	FICP control register 1
0x4080_0008	ICCR2	FICP control register 2
0x4080_000C	ICDR	FICP data register
0x4080_0010	—	Reserved
0x4080_0014	ICSR0	FICP status register 0
0x4080_0018	ICSR1	FICP status register 1

**問題：**

1. 請說明 FICP 傳送運作方式。
2. 請說明 FICP 接收運作方式。
3. 請說明 4PPM 調變。
4. 請說明 FICP 的 4Mbps 傳輸訊框格式。
5. 試述紅外線通訊的優點與差異。
6. 試述紅外線的分類。
7. 試述 FICP 內部所具備的元件為何。
8. 試述 FICP 的鮑率產生器。
9. 試述 FICP 的傳送及接收緩衝區 (FIFO)。
10. 試述 FICP 的暫存器。