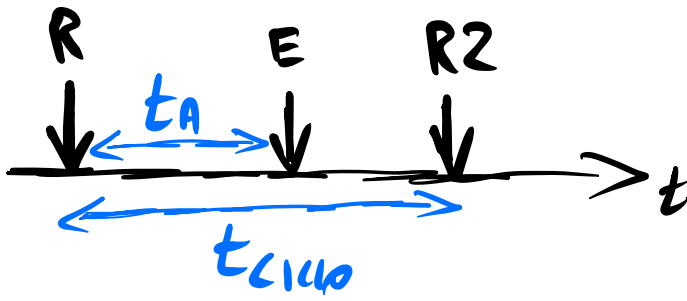


# CLASSIFICAZIONE DELLE M.

- **COSTO:**  $\text{€}/\text{b}$  INCLUDERE ANCHE COSTO DI CIRCUITERIA
- **VELOCITÀ:** 3 PARAMETRI
  1. **TEMPO DI ACCESSO:**

$t$  DA QUANDO C'È RICHIESTA DI ACCESSO A QUANDO È EVASA.  
 $t \neq R \text{ e } W$
  2. **TEMPO DI CICLO:**

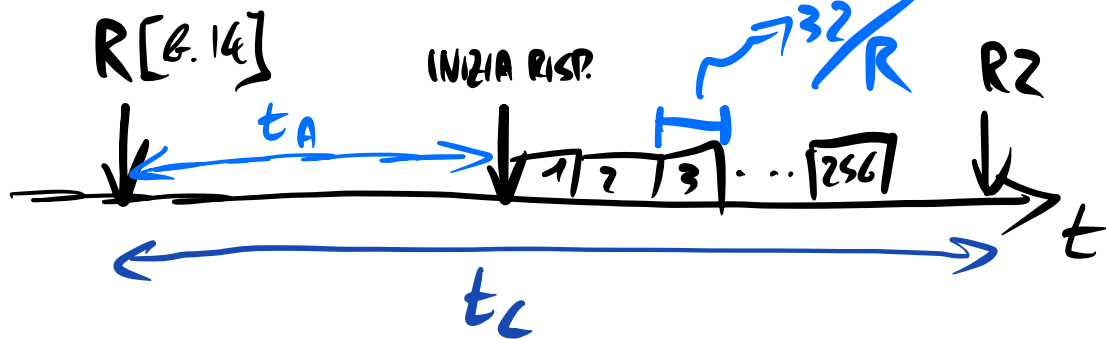
$t$ . TRA 2 ACCESSI CONSECUTIVI


  3. **TASSO DI TRASFERIMENTO**

V. A CUI TRASFERIRLO BLOCCHI:  $\text{bit}/\text{s}$

e.g. DISCHI

$$t_{\text{TOT}} = t_A + \underbrace{M/R}_{\text{bit}} \leadsto \text{TASSO DI TRASF.}$$



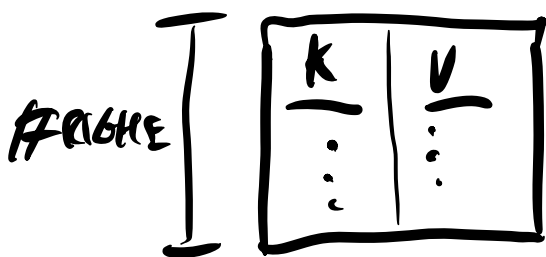
## • MODO DI ACCESSO:

- CASUALE: OGNI LOCAZ. SERVITA NELLO STESSO TEMPO
- SEQUENZIALE: ORDINE DI ACCESSI È DETERMINANTE
- DIRETTO: LA M. ORGANIZZ. A BLOCCHI
  - OGNI BLOCCO HA NUMERO
  - SI USA OFFSET ALL'INTERNO DEL BL.

Q. ACC. AL BLOCCO: CASUALE

ACC. A UN OFFS. NEL BL: SEQUENZ.

- ASSOCIATIVO: TABELLE CHIAVE VALORE



"TI DO K" → "TI DO V"

CPU                      MEM.

"CAM"

## • ALTERABILITÀ:

RON

Σ  
R ONLY

RAN

Σ  
R/W

## • DUREVOLEZZA: DEL CONTENUTO

- DESTRUCTIVE READ OUT: QNDO LEGGO, DISTRUGGO  
⇒ DEVO RISCRIVERLO.

e.g. DRAM

- REFRESHING: DOPO UN PO' GLI 1 DIVENTANO 0  
⇒ OGNI TOT BISOGNA RISCRIVERE

e.g. DRAM

- VOLATILITÀ: PERDO CONTENUTO SENZA ALIMENTAZ.?

## • AFFIDABILITÀ: MEM. SEMPRE + GRANDI, - AFFIDABILI

TIPO DI GUASTO:

- TRANSITORIO ~> RADIAZIONI!
- PERMANENTE

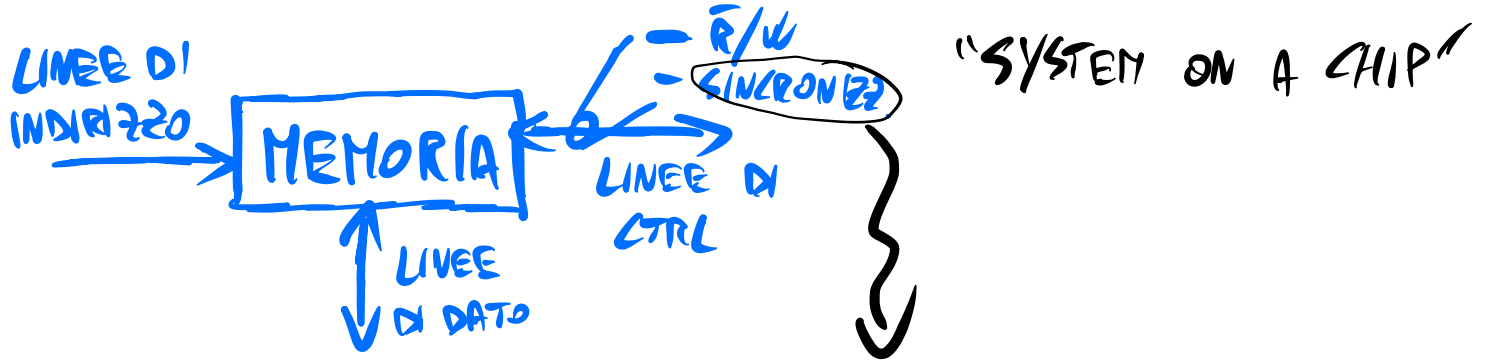
MISURA DI AFFIDABILITÀ

- TRANS. : MEAN TIME BETWEEN FAILURES
- PERM.: // // TO FAILURE

## • ALTRO: - TIPO: ELETTR MAGNETICA OTICA - PORTABILITÀ - CONSUMO

# MEN. AD ACCESSO CASUALE

IL A SEMI CONDUTTORE, SONO CIRCUITI INTEGRATI  
POSSONO ESSERE INTEGRATI IN SOC



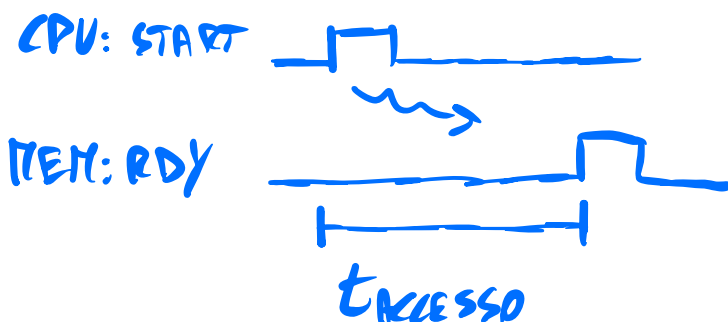
SINCRONIZZANO CPU E MEM.

## APPROCCIO ASINCRONO

- CPU DICE A MEM. DI INIZIARE UN ACCESSO
- MEM. DICE A CPU QNDO È PRONTA

⇒ FLESSIBILE

COMPLESSO



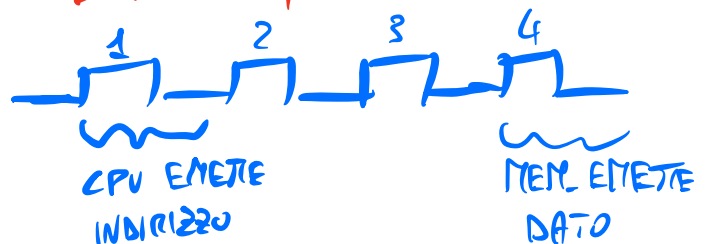
## APPROCCIO SINCRONO

CPU E MEM. CONDIVIDONO UN CLOCK

MEM DEVE RISPONDERE ENTRO M COLPI DI CLK

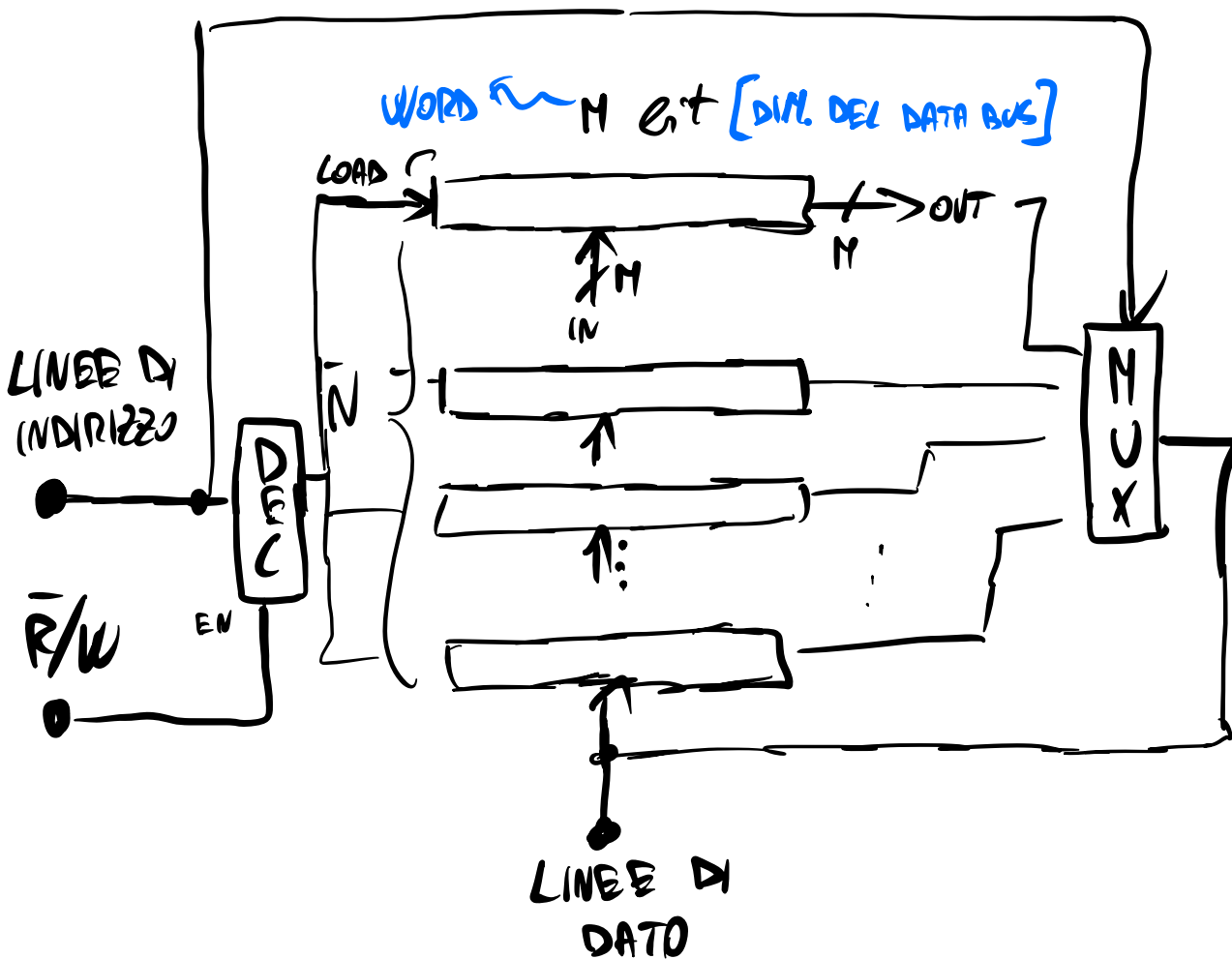
⇒ SEMPLICE (PER CPU)

⇒ RIGIDO, COSTOSO

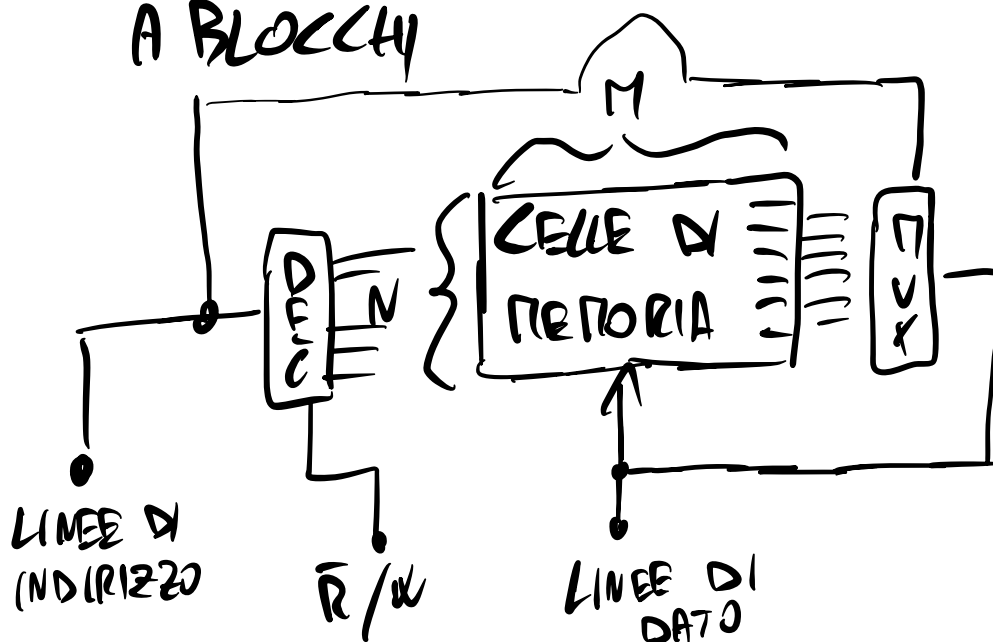


# ARCHITETTURA

## • LOGICA



## A BLOCCHI

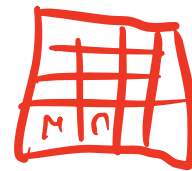


NOTA:

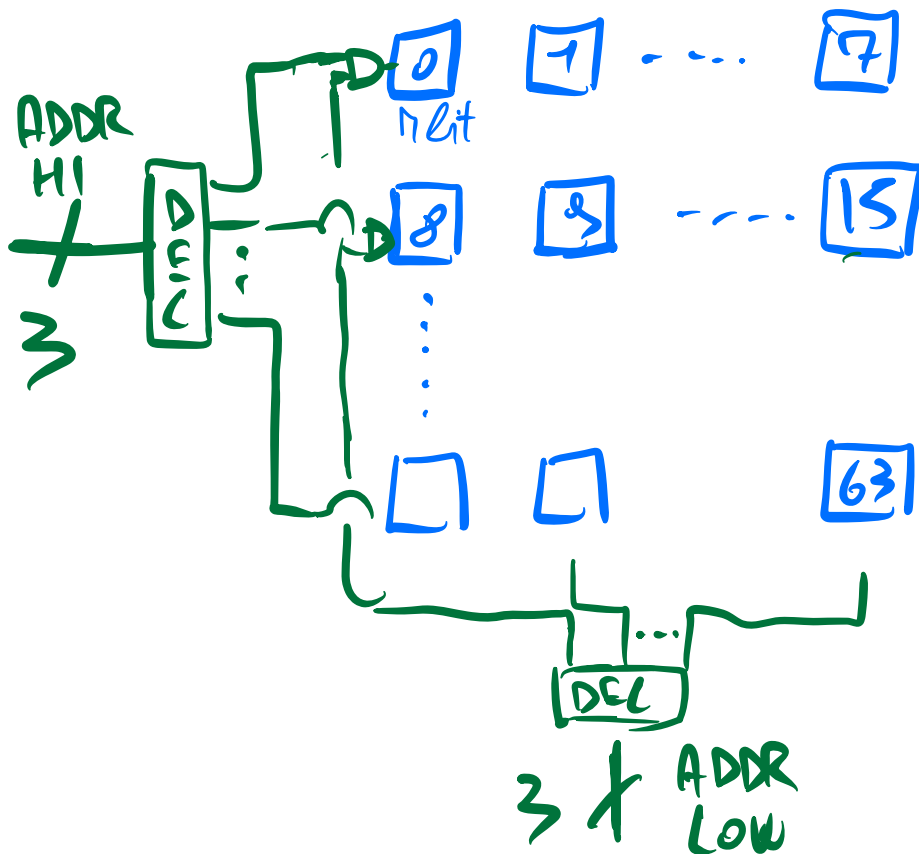
SE MEN GRANDE,  
DECOD. E MUX DIVENTANO  
ENORMI



ARCH. A VETTORE  $\rightarrow$  ARCH. A MATRICE



## • ARCH. A MATRICE



2 DECODER DA

3  $K/2$  INGRESSI

16  $2 \cdot 2^{K/2}$  USCITE

A VETTORE AUREI

1 DECODER

6 DA  $K$  INGRESSI

64 E  $2^K$  USCITE

- INDIRIZZO È DIVISO IN DUE PARTI UGUALI  
→ MATRICE QUADRATA

## • ESEMPIO

16 CELLE

8 bit DATA BUS

⇒ 4 bit ADDR. BUS

⇒ WORD = 8 bit ; N = 8 bit

