

**Universidade Federal de Mato Grosso do Sul**  
**Faculdade de Computação (FACOM)**  
Laboratório de Hardware  
Prof. Renan Albuquerque Marks  
Trabalho Prático

Alberto Yoshiriki Hisano Higuti e Eduardo Lopes de Lemos

Novembro, 2024

## 1 Introdução

Este relatório apresenta o desenvolvimento do projeto prático da disciplina de Laboratório de Hardware na Universidade Federal de Mato Grosso do Sul. O trabalho teve como objetivo aplicar conceitos fundamentais de modelagem digital utilizando a linguagem VHDL, além de explorar a síntese e prototipação de circuitos digitais em FPGA.

Ao longo do desenvolvimento, foram implementadas diferentes entidades responsáveis por simular funcionalidades essenciais em sistemas digitais, além da criação de circuitos de teste (testbenches) para validar o comportamento correto das modelagens. A prototipação do sistema foi realizada utilizando a plataforma FPGA Altera DE-0, disponível no laboratório da disciplina, permitindo a execução e demonstração dos resultados obtidos.

Este relatório detalha a visão geral do projeto, as dificuldades enfrentadas ao longo do projeto e os resultados alcançados. Esse projeto pode ser acessado também no **GitHub**<sup>1</sup>.

## 2 Visão Geral

O trabalho prático consistiu no desenvolvimento de uma fechadura eletrônica simplificada, cujo design foi modelado em VHDL (VHSIC Hardware Description Language). O projeto foi dividido em duas etapas principais: a modelagem de componentes digitais e a síntese/prototipação em FPGA (Field-Programmable Gate Array).

Os principais componentes implementados foram:

- Entidade trava: Responsável por controlar o desbloqueio da fechadura mediante a inserção de uma senha binária de 8 bits. O componente conta com um temporizador que define o tempo disponível para destravar a fechadura. A validação da senha inserida é feita em tempo real e, em caso de erro, o temporizador continua a contagem até o fim do período permitido para desbloqueio.

---

<sup>1</sup>[https://github.com/albertohiguti/Lock\\_LH.git](https://github.com/albertohiguti/Lock_LH.git)

- Entidade *binto7seg*: Um decodificador binário que converte a entrada de um número binário em sua representação hexadecimal, exibindo o valor em um display de 7 segmentos. Esse componente auxilia na visualização de valores numéricos durante a operação da fechadura, permitindo uma interface mais intuitiva.

Além da modelagem dos componentes, o trabalho envolveu a criação de testbenches para validar as funcionalidades das entidades, tanto em simulação quanto no hardware físico. Para a prototipação, foi utilizada a FPGA Altera DE-0, disponível no laboratório da disciplina, onde os componentes foram interligados e testados em tempo real.

### 3 Desenvolvimento do Projeto

Nesta seção serão apresentados uma descrição do que foi concluído do projeto, problemas encontrados e como eles foram solucionados durante o desenvolvimento do trabalho prático.

Primeiramente, foram implementadas as entidades *trava* e o *binto7seg*. A entidade *trava* foi desenvolvida com uma abordagem de circuito sequencial com o objetivo de simplificar e torná-la mais curta e para facilitar o entendimento.

A entidade *binto7seg* foi projetada com a utilização de uma matriz, com uma coluna composta de um *std\_logic\_vector* de oito posições e 16 linhas para representar todas as combinação possíveis do *input* de 4 bits. Cada linha da matriz foi preenchida com o respectivo número binário necessário para apresentar os valores em base hexadecimal no display de sete segmentos.

Além disso, foram desenvolvidas os *testbenches* para as duas entidades, com o nome de *tb\_trava* e *tb\_binto7seg*, respectivamente.

Após isso, foi criada uma outra entidade chamada de *clk\_div* com o objetivo de reduzir o sinal de clock padrão da FPGA Altera DE-0 usada de 50 MHz para um sinal de 1 Hz que será utilizado na entidade *trava*.

Finalmente, foi implementado a entidade *main* para organizar e facilitar a síntese e prototipação do circuito. Nessa entidade, foram definidas e colocadas como comentário no código todas as pinagens que seriam usadas no projeto e o controle das entidades anteriormente descritas para garantir o funcionamento do projeto.

Porém, inicialmente, na entidade *main* houve um problema para colocar a temporização correta nos display de 7 segmentos, pois para esse projeto foram usados dois displays para colocar o tempo restante para destravar a fechadura. Por isso, foi necessário criar duas portas extras: *display\_dir\_out* e *display\_esq\_out*, além de dois sinais auxiliares: *display\_1* e *display\_2*, para atribuir as posições corretas do vetor *segundos* de acordo com cada display.

O vídeo com o funcionamento do trabalho foi disponibilizado na plataforma do **YouTube**<sup>2</sup>, onde foi demonstrado todos os requisitos solicitados na descrição do projeto.

### 4 Conclusão

Portanto, o desenvolvimento do projeto atingiu todos os objetivos propostos. Os testbenches validaram corretamente o funcionamento das entidades em simulação, enquanto a síntese e a prototipação realizadas na FPGA Altera DE-0 confirmaram o desempenho esperado do circuito em hardware. Todas as etapas foram concluídas com êxito e dentro do prazo, atendendo aos requisitos especificados para o projeto.

<sup>2</sup><https://youtu.be/9XnjTxvJ2sM?si=1e8wR7mtYunDlRyI>