

# PARCIALES-2020.pdf



**PruebaAlien**



**Arquitectura de Computadores**



**2º Grado en Ingeniería Informática**



**Escuela Técnica Superior de Ingenierías Informática y de Telecomunicación**  
**Universidad de Granada**

**FORMACIÓN ONLINE Y  
PRESENCIAL EN GRANADA**

**Clases de Inglés B1, B2, C1  
DELF B1 y DELF B2 de Francés**

**academia-granada.es**



**ASIGNATURAS  
DE UNIVERSIDAD:  
HACEMOS GRUPOS  
PARA CLASES DE APOYO**

**FORMACIÓN ONLINE Y  
PRESENCIAL EN GRANADA**

# MEJORA TU INGLÉS

**PLAZAS DISPONIBLES**

**Clases de Inglés B1, B2, C1  
(Centro Preparador  
Premium)**

**DELFB1 y DELFB2  
de Francés**

**ASIGNATURAS  
DE UNIVERSIDAD:**

**HACEMOS  
GRUPOS PARA  
CLASES DE  
APOYO**



**+20**

Años de  
experiencia



**Pro.**

Profesorado  
cualificado



Sede de Matriculaciones  
Sede de Exámenes Oficiales



**DIRECCIÓN**

C/ Acera del Darro nº 2, 3ª planta  
18005 – GRANADA

**TELÉFONOS DE CONTACTO**

958 26 11 59 | 615 83 43 65

**academia-granada.es**

## PARCIAL 1

1	V/F	En la expresión de la ley de Amdahl, $S_p \leq p/(1+f(p-1))$ para la ganancia de velocidad de un computador al mejorar uno de sus recursos, p es el factor de incremento de prestaciones del recurso que se mejora	Usuario Profesores	V	V	Puntuación: 1,00
2	Nº entero	Los núcleos de la arquitectura Sunday Bridge de Intel pueden terminar hasta 8 operaciones en coma flotante (FLOP) por ciclo. ¿Cuál es la velocidad pico (en GFLOPS) de un microprocesador con 4 núcleos Sunday Bridge que funciona a una frecuencia de reloj de 2 GHz?	Usuario Profesores	64	64	Puntuación: 1,00 Cada núcleo tiene una velocidad máxima de $8 \text{ (op\_fp/ciclo)} * 2 * 10^9 \text{ (ciclo/s)} = 16 * 10^9 \text{ op\_fp/s} = 16 * 10^9 \text{ FLOPS} = 16 \text{ GFLOPS}$  Como el microprocesador tiene 4 núcleos, la velocidad máxima sería $4*16=64 \text{ GFLOPS}$
3	V/F	En la expresión de la ley de Amdahl, $S_p \leq p/(1+f(p-1))$ para la ganancia de velocidad de un computador al mejorar uno de sus recursos, f es la fracción del tiempo antes de la mejora en la que se utiliza el recurso mejorado	Usuario Profesores	F	F	Puntuación: 1,00 f es la fracción del tiempo antes de la mejora en la que NO se utiliza el recurso mejorado
4	V/F	Un computador NUMA, es un multiprocesador donde la memoria está físicamente distribuida	Usuario Profesores	V	V	Puntuación: 1,00
5	V/F	Un multiprocesador puede funcionar como computador MISD con la sincronización adecuada entre sus procesadores	Usuario Profesores	V		Puntuación: 0,00
6	Nº entero	Si el bucle siguiente: for i=1 to N do a(i)=b(i)*c; se ejecuta en 2 segundos y $N=10^{11}$ , siendo c, a(), y b() datos en coma flotante, ¿cuántos GFLOPS alcanza la máquina al ejecutar el código?	Usuario Profesores	50	50	Puntuación: 1,00 $1*10^{11} \text{ (op\_fp)}/2\text{s}=5*10^{10} \text{ FLOPS} /10^9 \text{ (FLOPS/GFLOPS)}=50 \text{ GFLOPS}$

1	V/F	En la expresión de la ley de Amdahl, $S_p \leq p/(1+f(p-1))$ para la ganancia de velocidad de un computador al mejorar uno de sus recursos, p es el factor de incremento de prestaciones del recurso que se mejora	Usuario Profesores	V	V	Puntuación: 1,00
2	Nº entero	Los núcleos de la arquitectura Sunday Bridge de Intel pueden terminar hasta 8 operaciones en coma flotante (FLOP) por ciclo. ¿Cuál es la velocidad pico (en GFLOPS) de un microprocesador con 4 núcleos Sunday Bridge que funciona a una frecuencia de reloj de 2 GHz?	Usuario Profesores	64	64	Puntuación: 1,00 Cada núcleo tiene una velocidad máxima de $8 \text{ (op\_fp/ciclo)} * 2 * 10^9 \text{ (ciclo/s)} = 16 * 10^9 \text{ op\_fp/s} = 16 * 10^9 \text{ FLOPS} = 16 \text{ GFLOPS}$  Como el microprocesador tiene 4 núcleos, la velocidad máxima sería $4*16=64 \text{ GFLOPS}$
3	V/F	En la expresión de la ley de Amdahl, $S_p \leq p/(1+f(p-1))$ para la ganancia de velocidad de un computador al mejorar uno de sus recursos, f es la fracción del tiempo antes de la mejora en la que se utiliza el recurso mejorado	Usuario Profesores	F	F	Puntuación: 1,00 f es la fracción del tiempo antes de la mejora en la que NO se utiliza el recurso mejorado
4	V/F	Un computador NUMA, es un multiprocesador donde la memoria está físicamente distribuida	Usuario Profesores	V	V	Puntuación: 1,00
5	V/F	Un multiprocesador puede funcionar como computador MISD con la sincronización adecuada entre sus procesadores	Usuario Profesores	V		Puntuación: 0,00
6	Nº entero	Si el bucle siguiente: for i=1 to N do a(i)=b(i)*c; se ejecuta en 2 segundos y $N=10^{11}$ , siendo c, a(), y b() datos en coma flotante, ¿cuántos GFLOPS alcanza la máquina al ejecutar el código?	Usuario Profesores	50	50	Puntuación: 1,00 $1*10^{11} \text{ (op\_fp)}/2\text{s}=5*10^{10} \text{ FLOPS} /10^9 \text{ (FLOPS/GFLOPS)}=50 \text{ GFLOPS}$

$$N_{\text{operaciones\_Flotantes}} * \text{frecuencia} * N_{\text{nucleos}} * 10^9 \text{ (FLOPS)}$$

$$N_{\text{operaciones\_flotantes}} / \text{Tiempo\_ejecución (Tcpu)} * 10^9 \text{ (GFLOPS)}$$

$$1*10^{11} / 2 * 10^9 = 5 * 10 = 50 \text{ GFLOPS}$$

- 7** En la secuencia de instrucciones:  
 V/F (a) add r1, r2, r3 ; r1 ← r2 + r3  
 (b) sub r1, r1, r4 ; r1 ← r1 - r4
- Hay dependencia WAW entre las instrucciones debido al registro r1  
 Usuario Profesores  
 V V  
 Puntuación: 1,00
- 8** En la expresión de la ley de Amdahl,  $S_p \leq p/(1+f(p-1))$ , para la ganancia de velocidad de un computador al mejorar uno de sus recursos p puede ser mayor que 1  
 V/F Usuario Profesores  
 F V  
 Puntuación: -1,00  
 p es el factor de mejora del recurso
- 9** En la secuencia de instrucciones:  
 V/F (a) add r1, r2, r3 ; r1 ← r2 + r3  
 (b) sub r1, r1, r4 ; r1 ← r1 - r4
- No hay dependencia WAR entre las instrucciones debido al registro r1  
 Usuario Profesores  
 V V  
 Puntuación: 1,00
- 10** Un cluster de computadores es un computador NUMA  
 V/F Usuario Profesores  
 F F  
 Puntuación: 1,00  
 Un cluster de computadores es un computador NORMA o multicomputador. Un computador NUMA es un multiprocesador.

## PARCIAL 2

- 1** La expresión para la ley de Gustafson es  $S = f + p \cdot (1-f)$ , donde f es la fracción no paralelizable del tiempo de ejecución paralelo y p es el número de procesadores que intervienen.  
 V/F Usuario Profesores  
 V V  
 Puntuación: 1,00
- 2** El tiempo de sobrecarga u overhead es un componente del tiempo de procesamiento paralelo junto con el tiempo de comunicación  
 V/F Usuario Profesores  
 F  
 Puntuación: 0,00  
 El tiempo de comunicación forma parte del tiempo de sobrecarga u overhead
- 3** La ganancia de velocidad que consiguen p procesadores en un código secuencial que tarda un tiempo  $T_s$  en ejecutarse en un procesador, con una fracción no paralela de  $T_s$  igual a 0, un grado de paralelismo ilimitado y un tiempo de overhead igual a  $p^2$  es  $T_s / ((T_s/p) + p^2)$   
 V/F Usuario Profesores  
 V  
 Puntuación: 0,00  
 Precisamente  $T_p = T_s/p + p^2$
- 4** La ganancia de velocidad que consiguen p procesadores en un código secuencial que tarda un tiempo  $T_s$  en ejecutarse en un procesador, con una fracción no paralela de  $T_s$  igual a 0, un grado de paralelismo igual a n y un tiempo de overhead igual a 0 es igual a p para  $p < n$   
 V/F Usuario Profesores  
 F V  
 Puntuación: -1,00  
 Precisamente para  $p < n$   $T_p = T_s/p$  dado que  $f=0$  y el overhead es 0 también (para  $p \geq n$   $T_p = T_s/n$ ) y  $S = T_s / (T_s/p)$
- 5** La acumulación (gather) es un modo de comunicación colectiva en el que todos los procesadores envían información a uno de ellos  
 V/F Usuario Profesores  
 V V  
 Puntuación: 1,00  
 Cada procesador puede enviar un dato diferente y todos los datos están al final en el mismo procesador de destino
- 6** Tanto la difusión (broadcast) como la dispersión (scatter) implican comunicación de un procesador a todos los demás  
 V/F Usuario Profesores  
 V V  
 Puntuación: 1,00  
 En el broadcast se envía el mismo elemento a todos y en el scatter un elemento diferente a cada uno de los demás procesadores
- 7** Un programa paralelo tarda 20 ns. Durante 10 ns solo puede ser ejecutado por un procesador y durante los otros 10 ns intervienen 5 procesadores (todos ellos igual de cargados). La sobrecarga se considera despreciable. El valor de la ganancia de velocidad es 3  
 V/F Usuario Profesores  
 F V  
 Puntuación: -1,00  
 $T_s = 10 \text{ ns} + 5 \cdot 10 \text{ ns} = 60 \text{ ns}$ ;  $T_p = 20$   $S = T_s / T_p = 60/20 = 3$



- 8 La ganancia de velocidad que consiguen p procesadores en un código secuencial que tarda un tiempo  $T_s$  en ejecutarse en un procesador, con una fracción no paralela de  $T_s$  igual a f, un grado de paralelismo ilimitado y un tiempo de overhead igual a 0 es  $p/(1+f(p-1))$   
 V/F ☒ ☒  
 Usuario Profesores  
 Puntuación: 1,00  
 Precisamente corresponde a la cota que establece la ley de Amdahl
- 9 La ganancia de velocidad que consiguen p procesadores en un código secuencial que tarda un tiempo  $T_s$  en ejecutarse en un procesador, con una fracción no paralela de  $T_s$  igual a 0, un grado de paralelismo igual a n y un tiempo de overhead igual a p es  $T_s/((T_s/n)+n)$ , para  $p=n$   
 V/F ☒ ☒  
 Usuario Profesores  
 Puntuación: 0,00  
 $S = T_s/((T_s/p)+p)$ , pero para  $p=n$  se tiene  $T_s/((T_s/n)+n)$
- 10 Un programa paralelo tarda 20 ns. Durante 10 ns solo puede ser ejecutado por un procesador y durante los otros 10 ns intervienen 5 procesadores (todos ellos igual de cargados). El valor de la f de la ley de Gustafson es 0.5  
 V/F ☒ ☒  
 Usuario Profesores  
 Puntuación: 1,00  
 El tiempo paralelo  $T_P=20$  y el tiempo no paralelizable es 10ns, por lo que el valor de la f de Gustafson es  $10/20 = 0.5$

### PARCIAL 3

- 1 En el protocolo MESI, si en la cache de un nodo N1 hay un bloque B en estado S (Compartido), y ese nodo detecta que el nodo N2 intenta leer un dato del mismo bloque B, dicho bloque pasará al estado S (Compartido) en la caché del nodo N2, y se mantendrá en el estado S en la caché del nodo N1  
 V/F ☒ ☒  
 Usuario Profesores  
 F
- 2 En un multiprocesador, el procesador P1 ejecuta las instrucciones  
 (1) while (Z==0) {};  
 (2) r1=Y;  
 en paralelo con las instrucciones que ejecuta el procesador P2:  
 (a) X=1;  
 (b) Y=2;  
 (c) Z=1;  
 Si el modelo de consistencia de memoria de un multiprocesador NO respeta el orden W – R (Sí respeta todos los demás), e inicialmente  $X=Y=Z=r1=0$  (donde X,Y,y Z son variables en memoria compartida y r1 es un registro de P1), al final se podría tener r1=2  
 Usuario Profesores  
☒
- 3 Cuando se utilizan instrucciones del tipo LL/SC (lectura enlazada/escritura condicional) para implementar un cerrojo, los recursos hardware asociados a dicha técnica permiten detectar si, entre la ejecución de la lectura enlazada (LL) y la ejecución de la escritura condicional (SC) a la dirección de memoria del cerrojo, algún otro procesador ha accedido a dicha dirección  
 V/F ☒ ☒  
 Usuario Profesores
- 4 En un multiprocesador NUMA con 8 nodos, 8 GBytes por nodo, y líneas de cache de 128 Bytes, el directorio de memoria utilizado en cada nodo para mantener la cache en un protocolo MSI sin difusión tiene  $2^{26}$  (2 elevado a 26) entradas  
 V/F ☒ ☒  
 Usuario Profesores  
 V
- 5 En un microprocesador SMT (multihebra simultánea), se procesan varias hebras concurrentemente y en un instante determinado solo se pueden enviar a ejecutar instrucciones de una misma hebra.  
 V/F ☒ ☒  
 Usuario Profesores  
 F
- 6 En un multiprocesador NUMA con protocolo MSI basado en directorios de vector de bits completo NO puede haber una entrada en uno de los directorios con varios bits a uno (hay copias del bloque correspondiente en varias caches de la máquina) y el bit de estado del bloque en memoria igual a 0 (estado No válido en memoria)  
 V/F ☒ ☒  
 Usuario Profesores  
 V
- 7 En el protocolo MSI de espionaje para la coherencia, si en la cache de un nodo N1 hay un bloque B en estado M (Modificado) y detecta que el nodo N2 intenta escribir en un dato del mismo bloque B, dicho bloque pasará al estado M (Modificado) en la caché del nodo N2, y al estado I en la caché del nodo N1 tras actualizarse en la memoria principal.  
 V/F ☒ ☒  
 Usuario Profesores  
 V
- 8 El código siguiente permite implementar un cerrojo (lock(k)) en el que  $k=1$  significa que el cerrojo está cerrado y  $k=0$  que está abierto:  
 V/F ☒ ☒  
 $b=0; k=1;$   
 while (fetch\_and\_or(k,b)==1) {};  
 Usuario Profesores  
☒
- 9 En un multiprocesador NUMA con 8 nodos, 8 GBytes por nodo, y líneas de cache de 128 Bytes, el número de bits que tiene cada una de las entradas del directorio que se utiliza para mantener la coherencia de cache en un protocolo MSI con directorio y codificación de bit completo es igual a 5  
 V/F ☒ ☒  
 Usuario Profesores  
 F
- 10 En un multiprocesador NUMA con protocolo MSI basado en directorios de vector de bits completo puede haber una entrada en uno de los directorios con un único bit a uno (hay una copia del bloque correspondiente en una cache de la máquina) y el bit de estado del bloque en memoria igual a 1 (estado Válido en memoria)  
 V/F ☒ ☒  
 Usuario Profesores  
 V

PARA GANAR PASTA HAY QUE ESTUDIAR

¿VERDADERO O FALSO?

ENTRA EN **GAMERSFY** Y DESCUBRELO

REGÍSTRATE CON  
EL CÓDIGO:

**WUOLAH**

Y CONSIGUE 100  
MONEDAS GRATIS

#### PARCIAL 4

**1** Suponga que en un mismo ciclo se decodifican las cuatro instrucciones siguientes

V/F

```
(i)  add r2, r2, r1    // r2 = r2+r1
(i+1) mul r3, r4, r1   // r3 = r4*r1
(i+2) add r4, r4, r1   // r4 = r4+r1
(i+3) sub r5, r2, r1   // r5 = r2-r1
```

(entre paréntesis se indica el orden en el que están en el código), y pasan a una ventana de instrucciones única desde la que se emiten a las distintas unidades funcionales. El procesador puede emitir (con emisión DESORDENADA) TRES instrucciones por ciclo y tiene DOS unidades de suma/resta (con un retardo de 1 ciclo) y UN multiplicador (con un retardo de 3 ciclos).

Las instrucciones (i) e (i+3) se pueden emitir en el mismo ciclo

Usuario Profesores

**F**

**2** En la predicción dinámica de dos bits, el sentido de la predicción siempre cambia (de saltar a no saltar o de no saltar a saltar) cuando el predictor falla

V/F

Usuario Profesores

**3** El procesador PROCEXA de 32 bits, puede captar TRES instrucciones por ciclo, DECODIFICAR TRES instrucciones por ciclo, y dispone de una ventana de instrucciones centralizada desde donde se produce la EMISIÓN DESORDENADA de hasta DOS instrucciones por ciclo. También dispone de un buffer de reordenamiento (ROB) donde implementa el renombramiento y la finalización ordenada, pudiendo retirarse desde el ROB, TRES instrucciones por ciclo para escribir sus resultados en la etapa WB del cauce. El procesador incluye además DOS unidades de Suma/Resta de UN ciclo; UN multiplicador de TRES ciclos, y UNA unidad de Carga/Almacenamiento de memoria de DOS ciclos. Por tanto, las etapas del cauce del procesador son: IF (captación de instrucciones), ID (Decodificación de instrucciones), EX (ejecución en unidad funcional de la operación codificada por la instrucción), y WB (retirada de la instrucción del ROB y escritura de resultado en los registros del procesador). No se considera etapa ROB explícita en el cauce porque se supone que en el último ciclo de ejecución de las unidades funcionales, el resultado de la operación queda almacenado en el ROB

N.º  
entero

Para este procesador y la secuencia de instrucciones siguiente

```
(1)  ld r1,0(r3)    // r1=M(r3)
(2)  ld r2,8(r3)    // r2 = M(r3+8)
(3)  add r2, r1, r2  // r2=r1+r2
(4)  mul r4, r1, r2  // r4= r1*r2
(5)  sub r4, r1, r4  // r4=r1-r4
(6)  sub r5, r1, r3  // r5=r1-r3
```

¿En qué ciclo se empieza a ejecutar la instrucción (6)? (los ciclos se numeran desde 1)

Usuario Profesores

**5**

<b>4</b> V/F	El desenrollado de bucles necesita un hardware especial de apoyo Usuario Profesores <b>F</b>
<b>5</b> V/F	El aprovechamiento eficiente del paralelismo entre instrucciones (ILP) en un procesador VLIW necesita el uso del ROB Usuario Profesores 
<b>6</b> N.º entero	Para el procesador PROCEXA y la secuencia de seis instrucciones que se proporcionan en una de las preguntas de esta prueba: ¿Cuántos ciclos tarda en procesarse la secuencia de seis instrucciones indicada? Usuario Profesores <b>11</b>
<b>7</b> V/F	En la predicción dinámica de un bit el sentido de la predicción no cambia (de saltar a no saltar o de no saltar a saltar) mientras el predictor no falle Usuario Profesores <b>V</b>
<b>8</b> N.º entero	Para el procesador PROCEXA y la secuencia de instrucciones que se proporcionan en una de las preguntas de esta prueba: ¿En qué ciclo empieza a ejecutarse la instrucción (4)? (los ciclos se numeran desde 1) Usuario Profesores <b>8</b>
<b>9</b> V/F	Un procesador de 32 bits (4 bytes) que implementa adelantamiento de loads a stores ESPECULATIVO podría adelantar la instrucción i+1 a la i (i precede a i+1 en el código) (i) sw 0(r5), r2 // M(r5) <-- r2 (i+1) lw r4, 8(r5) // r4 <-- M(r5+8) Usuario Profesores <b>F</b>
<b>10</b> N.º entero	Para el procesador PROCEXA y la secuencia de instrucciones que se proporcionan en una de las preguntas de esta prueba: ¿En qué ciclo empieza a ejecutarse la instrucción (2)? (los ciclos se numeran desde 1) Usuario Profesores <b>5</b>