

TestTema4.pdf



Sanchez01



Arquitectura de Computadores



2º Grado en Ingeniería Informática



Escuela Técnica Superior de Ingenierías Informática y de Telecomunicación
Universidad de Granada



Tema 4 Prueba Evaluación Continua 2021

1. Un procesador de 32 bits, puede captar DOS instrucciones por ciclo, DECODIFICAR DOS instrucciones por ciclo, y dispone de una ventana de instrucciones centralizada desde donde se produce la EMISIÓN DESORDENADA de hasta DOS instrucciones por ciclo. También dispone de un buffer de reordenamiento (ROB) donde implementa el renombramiento y la finalización ordenada, pudiendo retirarse desde el ROB, hasta CUATRO instrucciones por ciclo para escribir sus resultados en la etapa WB del cauce. El procesador incluye además DOS unidades de Suma/Resta de UN ciclo; UN multiplicador de TRES ciclos, y DOS unidades de Carga/Almacenamiento de memoria de DOS ciclos. Por tanto, las etapas del cauce del procesador son: IF (captación de instrucciones), ID (Decodificación de instrucciones), EX (ejecución en unidad funcional de la operación codificada por la instrucción), y WB (retirada de la instrucción del ROB y escritura de resultado en los registros del procesador). No se considera etapa ROB explícita en el cauce porque se supone que en el último ciclo de ejecución de las unidades funcionales, el resultado de la operación queda almacenado en el ROB. Las instrucciones de almacenamiento (escritura en memoria) no utilizan etapa WB. Para este procesador y la secuencia de instrucciones siguiente

```
(1) ld r1,0(r3)    // r1=M(r3)
(2) ld r2,0(r3)    // r2 = M(r3)
(3) mul r4, r1, r2 // r4= r1*r2
(4) add r2, r1, r2 // r2=r1+r2
(5) sub r5, r1, r3 // r5=r1-r3
(6) sw 0(r2), r4   // M(r2)=r4
```

La secuencia tarda en procesarse 8 ciclos y la ejecución de la instrucción (5) empieza en el ciclo 6 (empezando a numerarse desde 1).

2. Suponga que en un mismo ciclo se decodifican las cuatro instrucciones siguientes
(i) add r2, r2, r1 // r2 = r2+r1
(i+1) mul r3, r4, r1 // r3 = r4*r1
(i+2) add r4, r4, r1 // r4 = r4+r1
(i+3) sub r5, r2, r1 // r5 = r2- r1
(entre paréntesis se indica el orden en el que están en el código), y pasan a una ventana de instrucciones única desde la que se emiten a las distintas unidades funcionales. El procesador puede emitir (con emisión DESORDENADA) TRES instrucciones por ciclo y tiene DOS unidades de suma/resta (con un retardo de 1 ciclo) y UN multiplicador (con un retardo de 3 ciclos).

1
2 F
3 V
4 F

Las instrucciones (i) e (i+3) se pueden emitir en el mismo ciclo.

3. Es posible implementar el renombramiento en un buffer de reorden (ROB).
4. Las instrucciones de ejecución condicional o vigilada no tienen ninguna utilidad en la planificación estática global en procesadores VLIW.
5. Suponga un procesador donde todas las instrucciones pueden predicarse, y los valores de los predicados se asignan con instrucciones con los formatos p1,p2 cmp.cnd r1,r2, o también p1 cmp.cnd r1,r2 donde cnd es la condición que se comprueba entre r1 y r2 (lt, le, gt, ge, eq, ne, respectivamente, menor que, menor o igual que, mayor que, mayor o igual



que, igual, distinto). En dicho procesador, la sentencia `if ((r1==1) and (r2==1)) then r3=0 else r3=1` puede escribirse sin instrucciones de salto como

```
p3 comp.ne r1,r1
p1,p2 cmp.ne r1,r0
(p1) p3,p2 cmp.ne r2,r0
(p3) add r3,r0,r0 // r3=r0+r0
(p2) add r3, r0,#1 // r3=r0+1
```

donde `r0=0` siempre, `r1` y `r2` pueden ser 0 ó 1, y los predicados, `p1`, `p2`, y `p3` pueden tener cualquier valor (0 ó 1) al iniciarse la ejecución del código.

6. En la predicción dinámica de dos bits, el estado del predictor (los bits de historia) no cambia si se acierta la predicción.
7. Para implementar un procedimiento de predicción dinámica de saltos es preciso utilizar bits de historia.
8. Un procesador de 32 bits (4 bytes) que implementa adelantamiento de loads a stores, no podría adelantar la instrucción `i+1` a la `i` (`i` precede a `i+1` en el código) aun implementando adelantamiento de memoria ESPECULATIVO

```
(i) sw 0(r6), r2 // M(r6)<-- r2
(i+1) lw r4, 8(r6) // r4 <--M(r6+8)
```
9. Un procesador superescalar de 4 GHz cuyo ROB es capaz de retirar dos instrucciones por ciclo tiene una velocidad pico de 8 GIPS (Giga-instrucciones por segundo).
10. El desenrollado de bucles necesita un hardware especial de apoyo.