

Examen-Tema-3-Teoria-Resuelto.pdf



Zukii



Arquitectura de Computadores



2º Grado en Ingeniería Informática



Escuela Técnica Superior de Ingenierías Informática y de Telecomunicación
Universidad de Granada

Estudia tu Grado Universitario en Berlín en inglés y 100% financiado

Escoge entre las 37 carreras universitarias oficiales en inglés que SRH Berlín ofrece y haz despegar tu futuro profesional.

Tema 3 Prueba Evaluación Continua

Universidad de Granada - Grado en Ingeniería Informática
Arquitectura de Computadores

Desconocida: Paco 3 2 1

Nota:

El código siguiente permite implementar un cerrojo (lock(k)) en el que k=0 significa que el cerrojo está cerrado y k=1 que está abierto:

```
lock(k) {  
  while (test_and_set(k)==1) {};  
}
```

Usaria Profesores

F

El código siguiente permite implementar un cerrojo (lock(k)) en el que k=1 significa que el cerrojo está cerrado y k=0 que está abierto:

```
lock(k) {  
  while (fetch_and_and(k,0)==0) {};  
}
```

Usaria Profesores

F

Si en la secuencia de instrucciones siguiente se tiene que r1=1, r2=0, r3=0, dicha secuencia implementa un cerrojo (lock(k)) en el que k=1 significa que el cerrojo está cerrado y k=0 que está abierto.

```
b=r1;  
do  
    compare&swap(r2,b,k); // si r2==k, k y b se intercambian  
while (b==r3);
```

Usaria Profesores

F

Regístrate en el webinar. Donde te contaremos cómo conseguirlo

Fecha 26 de mayo · Hora 18:00 - 19:00

4 En el protocolo MESI para mantener la coherencia de cache, una línea puede estar en el estado E (exclusivo) solo en una cache del multiprocesador

V/F

Usuaría Profesores

V

Si una línea de la cache del nodo N1 está en el estado M del protocolo MSI para mantener la coherencia de caché, el contenido de esa línea es coherente con su contenido en memoria principal.

Usuaría Profesores

F

En un multiprocesador, el procesador P1 ejecuta las instrucciones

- (1) while (Z==0) { };
- (2) r1=Y;

en paralelo con las instrucciones que ejecuta el procesador P2:

- (a) X=1;
- (b) Y=2;
- (c) Z=1;

Si el modelo de consistencia de memoria de un multiprocesador NO respeta el orden W→R (Sí respeta todos los demás), e inicialmente X=Y=Z=r1=0 (donde X,Y,y Z son variables en memoria compartida y r1 es un registro de P1), al final se podría tener r1=2

Usuaría Profesores

V

En un multiprocesador NUMA con 16 nodos, 4 GBytes por nodo, y líneas de cache de 128 Bytes, el directorio de memoria utilizado en cada nodo para mantener la cache en un protocolo MSI sin difusión tiene 2^{25} (2 elevado a 25) entradas

Usuaría Profesores

V

En un multiprocesador NUMA con 16 nodos, 4 GBytes por nodo, y líneas de cache de 128 Bytes, el número de bits que tiene cada una de las entradas del directorio que se utiliza para mantener la coherencia de cache en un protocolo MSI con directorio y codificación de bit completo es igual a 9

Usuaría Profesores

F

Cuando se utilizan instrucciones del tipo LL/SC (lectura enlazada/escritura condicional) para implementar un cerrojo se pueden producir accesos a memoria entre la ejecución de la lectura (LL) y la ejecución de la escritura (SC) a la dirección de memoria del cerrojo.

Usuaría Profesores

V

En un multiprocesador NUMA con protocolo MSI basado en directorios de vector de bits completo puede haber una entrada en uno de los directorios con un único bit a uno (hay una copia del bloque correspondiente en una cache de la máquina) y el bit de estado del bloque en memoria igual a 1 (estado Válido en memoria)

Usuaría Profesores

V

