

# Borrador\_soluciones\_junio2017.pdf



**Bigbounze**



**Arquitectura de Computadores**



**2º Grado en Ingeniería Informática**



**Escuela Técnica Superior de Ingenierías Informática y de Telecomunicación**  
**Universidad de Granada**

**FORMACIÓN ONLINE Y  
PRESENCIAL EN GRANADA**

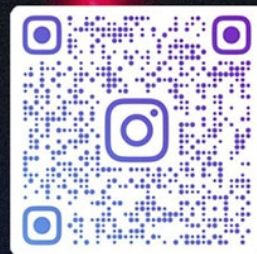
**Clases de Inglés B1, B2, C1  
DELF B1 y DELF B2 de Francés**

**academia-granada.es**



**ASIGNATURAS  
DE UNIVERSIDAD:  
HACEMOS GRUPOS  
PARA CLASES DE APOYO**

**ESCANEA Y PARTICIPA EN EL  
SORTEO DE UN ALIENWARE**



**LA PRIMERA RESIDENCIA GAMING  
EN EL MUNDO ABRE EN MADRID**

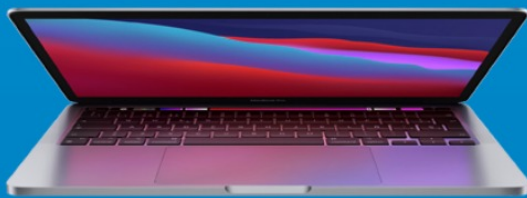


**GAMING RESIDENCES**

[gamingresidences.com](http://gamingresidences.com)

[info@gamingresidences.com](mailto:info@gamingresidences.com)





# Apple Mac

## Apple, un diez en todas las materias.

Rossellimac®

5% dto

Mac

Apple Premium Reseller

2º curso / 2º cuatr.  
Grupos C y D  
Grado en Ing.  
Informática

Arquitectura de Computadores  
Examen Final  
Puntuación: 2 puntos Grupo:  
Nombre:

1	2	3	4
0.1	0.2	0.4	0.05
0.1	0.15	0.1	0.05
0.15	0.05	0.05	0.05
0.05		0.05	0.4
			0.05

Ejercicio 1. (0.4 puntos) Un núcleo de procesamiento (*core*) sin segmentación de cauce tiene una arquitectura de tipo LOAD/STORE en la que las instrucciones que no son de carga (LOAD) y almacenamiento (STORE) sólo utilizan como operandos registros de la microarquitectura. Las aplicaciones que ejecuta tienen, en promedio, un 40% de instrucciones de operaciones con la ALU (4 CPI), el 20% LOADs (4 CPI), el 20% STOREs (3 CPI) y el 20% BRANCHs (4 CPI). Se ha diseñado un nuevo compilador que permite reducir un 20% el número de instrucciones que usan la ALU y otro 20% el de instrucciones LOAD. Si el núcleo funciona a una frecuencia de reloj de 1 GHz, indique: (a) ¿Cuál es el número de MIPS que se tienen con el compilador antiguo y con el nuevo?; (b) ¿Cuál es la ganancia de velocidad que se consigue al utilizar el nuevo compilador?; (c) ¿Qué pasaría si el nuevo compilador solo fuese capaz de reducir un 40% las instrucciones de operación con la ALU y no afectara a las demás instrucciones? (d) El tiempo de CPU depende del número de instrucciones del código que ejecuta el núcleo de procesamiento, ¿de qué otros dos valores depende este tiempo? ¿De cuál de los tres valores de los que depende el tiempo de CPU no dependen los MIPS? Razone sus respuestas.

Ejercicio 2. (0.4 puntos) Un programa secuencial se ha paralelizado distribuyendo el trabajo entre 8 hebras que se ejecutan en 8 núcleos iguales. En cada uno de los núcleos se ejecuta una hebra en paralelo. Los tiempos de cómputo de las hebras son los siguientes: 2 de las hebras consumen T segundos, otras dos de ellas necesitan T/2 segundos, y las otras 4 hebras necesitan T/3 segundos. Por otro lado, el tiempo de sobrecarga total del programa paralelo (no incluido ni solapado con los tiempos de cómputo indicados anteriormente) es de T/4 segundos. Conteste a las siguientes preguntas: (a) ¿Cuál es la ganancia en prestaciones que se consigue? ¿y la eficiencia? (b) ¿Cuál sería la ganancia y la eficiencia si se pudiera repartir el trabajo total entre los otros 8 procesos (en trozos iguales que tarden el mismo tiempo) con la misma sobrecarga de T/4 segundos? (c) ¿A qué se puede deber el tiempo de sobrecarga en un programa paralelo?

Ejercicio 3. (0.6 puntos) Se quiere ejecutar la secuencia de instrucciones de las tablas de abajo en un procesador superescalar. (a) Indicar en la tabla la evolución temporal de las instrucciones teniendo en cuenta que:

–El cauce del procesador dispone de las siguientes 5 etapas: IF, ID, ISS, EX, WB. Cada ciclo de reloj puede captar, decodificar, emitir (de forma ordenada) a estaciones de reserva y retirar del ROB tres instrucciones. En el ROB se puede almacenar simultáneamente resultados de todas las unidades funcionales (por lo que no hace falta una etapa adicional para escribir en el ROB).

–Hay una estación de reserva de dos entradas para cada unidad funcional (o de ejecución) con envío desordenado y un buffer de re-orden (ROB) con 20 entradas.

–El procesador tiene una unidad funcional (o de ejecución) de carga de memoria, una unidad de almacenamiento, una unidad de suma/resta y una de multiplicación. La multiplicación consume 3 ciclos, la suma/resta 1 ciclo, la carga de memoria 2 ciclos, y el almacenamiento 1 ciclo.

–Los operandos se captan en la emisión, no en el envío a unidades funcionales.

(b) ¿Cuál es el valor promedio de CPI (ciclos por instrucción) para este código? (c) Indique en qué etapas del cauce se lee del ROB y en qué etapas se escribe en el ROB. Indique en qué etapas del cauce se accede a los registros de la arquitectura para leer y en cuáles para escribir. Indique en qué etapas del cauce se accede a las estaciones de reserva para escribir y en cuáles para leer. (d) Indique cuál sería el contenido de todas las estaciones de reserva en el ciclo 5 (el contenido de todos los campos) suponiendo que estaban vacías antes de la ejecución. ¿Para qué se usan las estaciones de reserva?

Instrucción	Significado	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
lw r3,0(r2)	$r3 \leftarrow m(r2+0)$																	
lw r4,0x40(r2)	$r4 \leftarrow m(r2+0x40)$																	
add r5,r4,r3	$r5 \leftarrow r4+r3$																	
mult r6,r4,r3	$r6 \leftarrow r4 \times r3$																	
sw 0x20(r2),r6	$m(r2+0x20) \leftarrow r6$																	
sw 0xFF(r2),r5	$m(r2+0xFF) \leftarrow r5$																	
addi r2,r2,0x4	$r2 \leftarrow r2+0x4$																	

Ejercicio 4. (0.6 puntos) Se dispone de un multiprocesador CC-NUMA con 16 procesadores o nodos (N1-N16) y una memoria de 64 GBytes por nodo. Para mantener la coherencia de cache el multiprocesador implementa el protocolo MSI basado en directorios distribuidos sin difusión. Cada procesador dispone de una cache de datos de último nivel de 8 MBytes con marcos de bloque (también llamados líneas) de 64 Bytes (por tanto, los bloques de memoria de 64 Bytes). En el multiprocesador se están ejecutando en paralelo tres threads que acceden a los elementos de dos vectores  $X[0:7]$  y  $Y[0:7]$ , con 8 elementos de 64 bits cada uno almacenados en la memoria principal del nodo N3. Los vectores se encuentran almacenados a partir de una

1

op ALU	0.4 NI <sub>1</sub>	4		0.8 · 0.4 NI <sub>1</sub>
LOAD	0.2 NI <sub>1</sub>	4	⇒	0.8 · 0.2 NI <sub>1</sub>
STORE	0.2 NI <sub>1</sub>	3		0.2 NI <sub>1</sub>
BRANCH	0.2 NI <sub>1</sub>	4		0.2 NI <sub>1</sub>
	NI <sub>1</sub>			$(\frac{0.8 \cdot 0.8 + 0.4}{0.48}) NI_1 =$ $= 0.88 NI_1$

$$t_{ciclo} = 1 \text{ ns.}$$

$$a) \text{ MIPS}_1 = \frac{NI_1}{T_{CPU_1} \cdot 10^6} = \frac{NI_1}{NI_1 \cdot CPI_1 \cdot t_{ciclo_1} \cdot 10^6} = \frac{10^9 \text{ ciclos}}{3.8 \cdot 10^6} = \underline{\underline{\frac{1000}{3.8}}}$$

$$CPI_1 = 0.4 \cdot 4 + 0.2 \cdot 4 + 0.2 \cdot 3 + 0.2 \cdot 4 = 0.4 \cdot 4 + 0.2 \cdot 11 = 1.6 + 2.2 = 3.8$$

$$MIPS_2 = \frac{NI_2}{NI_2 \cdot CPI_2 \cdot t_{ciclo_2} \cdot 10^6} = \frac{10^9}{3.44 \cdot 10^6} = \underline{\underline{\frac{1000}{3.44}}}$$

$$CPI_2 = \frac{0.32}{0.88} \cdot 4 + \frac{0.16}{0.88} \cdot 4 + \frac{0.2}{0.88} \cdot 3 + \frac{0.2}{0.88} \cdot 4 =$$

$$= 0.36 \cdot 4 + 0.18 \cdot 4 + 0.23 \cdot 3 + 0.23 \cdot 4 =$$

$$= 1.44 + 0.72 + 0.69 + 0.92 = 3.77$$

$$b) S = \frac{T_{CPU_1}}{T_{CPU_{mejor}}} = \frac{NI_1 \cdot CPI_1 \cdot t_{ciclo_1}}{NI_2 \cdot CPI_2 \cdot t_{ciclo_2}} = \frac{NI_1 \cdot 3.8}{0.88 NI_1 \cdot 3.44} = \frac{3.8}{3.44 \cdot 0.88} = \underline{\underline{1.145}}$$

$T_{ciclo_1} = T_{ciclo_2}$

c)

Op. ALU	$0.6 * 0.4 NI_1$	4
LOAD	$0.2 NI_1$	4
STORE	$0.2 NI_1$	3
BRANCH	$0.2 NI_1$	4
$(0.24 + 0.6) NI_1 =$		
$= 0.84 NI_1$		

$$CPI_m = \frac{0.24}{0.84} * 4 + \frac{0.2}{0.84} (4+3+4) = \frac{0.96 + 2.2}{0.84} = \frac{3.16}{0.84}$$

$$MIPS_2 = \frac{NI_2}{NI_2 * CPI_2 * T_{tick} * 10^6} = \frac{10^9}{3.16/0.84 * 10^6} = \frac{10^3}{3.76}$$

$$T_{CPU_2} = 0.84 NI_1 * 3.76 * T_{tick_1}$$

$$S_2 = \frac{NI_1 * 3.8 * T_{tick_1}}{0.84 NI_1 * 3.76 * T_{tick_1}} = \frac{3.8}{0.84 * 3.76} = 1.203$$

Aumentan ligeramente la MIPS y la ganancia de velocidad

$$\left( \frac{10^3}{3.77} < \frac{10^3}{3.76} \right)$$

$$(S_2 = 1.203 > 1.145)$$

d) Depend de CPI y de  $T_{tick}$  ....

Del valor de NI ....



Apple Mac

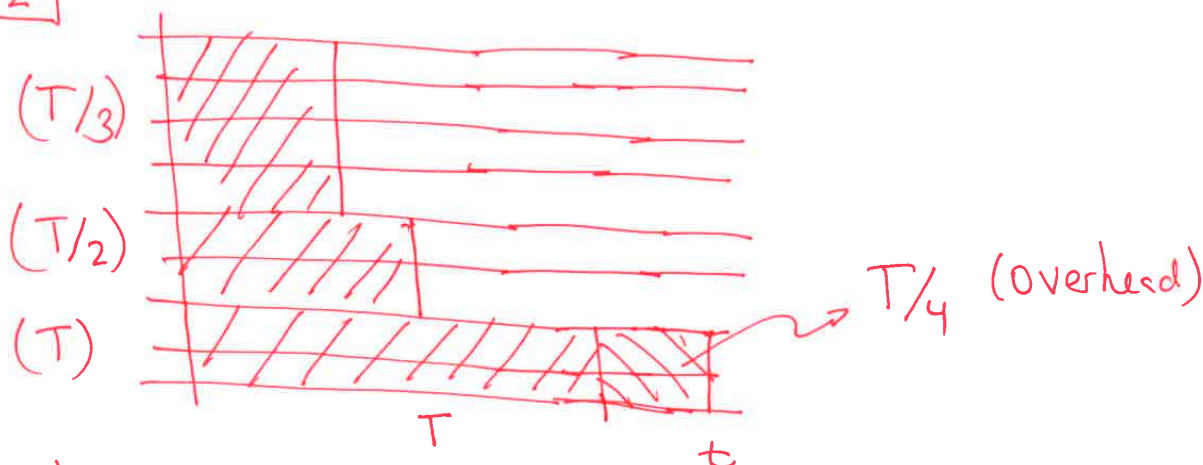
Apple, un diez en todas las materias.

5% dto Mac



Rosellimac®

2



a)

$$T_P = T + \frac{T}{4} = \frac{5T}{4}$$

$$T_S = \left( \frac{4T}{3} + 2\frac{T}{2} + 2T \right) =$$

$$= T \left( \frac{4}{3} + 1 + 2 \right) = T \left( \frac{4+3+6}{3} \right) = \frac{13}{3} T$$

$$S = \frac{T_S}{T_P} = \frac{\frac{13}{3} T}{\frac{5}{4} T} = \frac{13 \cdot 4}{5 \cdot 3} = \frac{52}{15}$$

$$E = \frac{S}{8} = \frac{52}{15 \cdot 8} = \frac{52}{120}$$

b)

$$T_S = \frac{13}{3} T$$

$$T_P = \frac{13}{3 \cdot 8} T + \frac{T}{4} = \left( \frac{13}{24} + \frac{6}{24} \right) T = \left( \frac{19}{24} \right) T$$

$$S = \frac{13/3}{19/24} = \frac{13 \cdot 8}{19} = \frac{104}{19}$$

$$E = \frac{104}{19 \cdot 8} = \frac{104}{152}$$

c) Creación, finiquito de hebras, comunicación y sincronización...

WUOLAH



3

← puede quitar

		1	2	3	4	5	6	7	8	9	10	11	12
lw r3, 0(r2)	$r3 \leftarrow m(r2+0)$	IF	ID	EX	EX	ROB	WB						
lw r4, 0x40(r2)	$r4 \leftarrow m(r2+0x40)$	IF	ID			EX	EX	ROB	WB				
add r5, r4, r3	$r5 \leftarrow r4+r3$	IF	ID					EX	ROB	WB			
mult r6, r4, r3	$r6 \leftarrow r4 \times r3$		IF	ID				EX	EX	EX	ROB	WB	
sw 0x20(r2), r6	$m(r2+0x20) \leftarrow r6$		IF	ID							EX	ROB	WB
sw 0xFF(r2), r5	$m(r2+0xFF) \leftarrow r5$		IF	ID					EX	ROB			WB
addi r2, r2, 0x4	$r2 \leftarrow r2+0x4$			IF	ID	EX	ROB						WB

b)  $T = TLI + (n-1)CPI = 6 + (7-1) * CPI = 12$

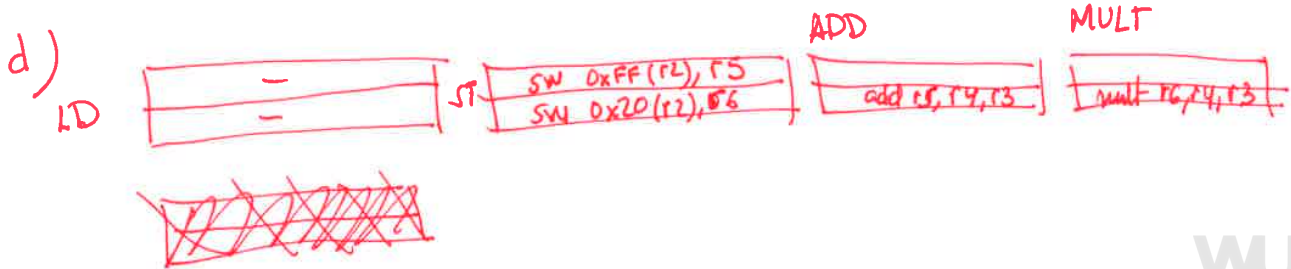
$CPI = \frac{6}{6} = 1 \text{ arch/instr.}$

(puede cambiar según se incluye ISS y ROB)

c) Se lee en el etapa de emisión y en la WB  
 Se escribe en el etapa ROB (o al final de la etapa EX)

ROB

En las etapas de reserva: Al final de ID y de la EX se escribe  
 Al comienzo de EX (envío) se lee



4

16 proc. N1 - N16

$$64 \text{ GByte/nodo} = 2^6 * 2^{30} = 2^{36} \text{ Bytes.}$$

$$\underline{\text{L1 Cache}} = 8 \text{ MByte} = 2^3 * 2^{20} \text{ Byte} = 2^{23} \text{ Bytes.}$$

$$\underline{\text{MBloque}} = \underline{64 \text{ Bytes}} = 2^6 \text{ Bytes}$$

$$X[0:7] \rightarrow 8 * 8 \text{ Bytes} = 64 \text{ Bytes.} \Rightarrow 2 \text{ marcas de Bloque.}$$

$$Y[0:7] \rightarrow 8 * 8 \text{ Bytes} = 64 \text{ Bytes} \Rightarrow 2 \text{ marcas d Bloque}$$

N3

	X[0:3]	MB1
X[4:7]	Y[0:3]	MB2
Y[4:7]		MB3

$$a) \text{ N}^{\circ} \text{ entradas directas} = \frac{2^{36} \text{ Bytes/nodo}}{2^6 \text{ Byte/MBloque}} = 2^{30} \text{ MBloque/nodo} \Rightarrow \underline{\underline{2^{30} \text{ entred}}}$$

$$\text{Tamaño} = (16+1) \text{ bits} * 2^{30} = \boxed{17 * 2^{30} \text{ bits}}$$

→ Informa del estado y ubicar de copias de cada marco de bloque en los distintos caches para gestionar el protocolo de coherencia de memoria.

b) Ocupan 3 Marcas de Bloque, como muestra la figura.

$$c) \begin{array}{l} \boxed{0 \dots 01} \text{ Para MB1} \\ \boxed{0 \dots 01} \text{ Para MB2} \\ \boxed{10 \dots 11} \text{ Para MB3} \end{array}$$

WUOLAH





Apple Mac

Apple, un diez en todas las materias.

5% dto Mac



Rossellimac®

- d)
- ①  $R(P_1, X[4]) \rightarrow R_1(MB2) \checkmark$
  - ②  $W(P_1, Y[4]) \rightarrow W_1(MB3) \checkmark$
  - ③  $R(P_2, Y[1]) \rightarrow R_2(MB2) \checkmark$
  - ④  $R(P_3, X[5]) \rightarrow R_3(MB2) \checkmark$
  - ⑤  $W(P_3, Y[5]) \rightarrow W_3(MB3)$
  - ⑥  $W(P_2, X[6]) \rightarrow W_2(MB2)$

No hay access al MB1

Sit.	Cont. Directorio	Esteb caches.	Evento
	<del>MB1</del> <div>0000...01 MB1</div> <div>0001...01 MB2</div> <div>000...01 MB3</div>	<div>I -</div> <div>I -</div> <div>I -</div>	$R_1(MB2)$
$R_1(MB2)$	<div>400...01 MB2</div>	<div>I -</div> <div>S(C1) (MB2)</div> <div>I -</div>	$W_1(MB3)$
$W_1(MB3)$	<div>100...01 MB2</div> <div>1100...00 MB3</div>	$(MB2) S(C1) // M(C1) (MB3)$	$R_2(MB2)$
$R_2(MB2)$	<div>110...01 MB2</div> <div>100...00 MB3</div>	<div>(MB2) <u>S(C1)</u> <u>S(C2)</u></div> <div>(MB3) <u>M(C1)</u></div>	$R_3(MB2)$
$R_3(MB2)$	<div>1110...01 MB2</div> <div>1100...00 MB3</div>	<div>(MB2) <u>S(C1)</u> <u>S(C2)</u> <u>S(C3)</u></div> <div>(MB3) <u>M(C1)</u></div>	$W_3(MB3)$
$W_3(MB3)$	<div>11110...01 MB2</div> <div>10010...00 MB3</div>	<div>(MB2) <u>S(C1)</u> <u>S(C2)</u> <u>S(C3)</u></div> <div>(MB3) <u>I(C1)</u> <u>M(C3)</u></div>	$W_2(MB2)$
$W_2(MB2)$	<div>1010...01 MB2</div> <div>10010...00 MB3</div>	<div>(MB2) <u>I(C1)</u> <u>M(C2)</u> <u>I(C3)</u></div> <div>(MB3) <u>I(C1)</u> <u>M(C3)</u></div>	

e) Coherencia se refiere al mismo dato y consiste a decir que pueden ser diferentes. ....