

# Tema-4-Preguntas-Examen-2020-A.pdf



pr0gramming\_312823



Arquitectura de Computadores



2º Grado en Ingeniería Informática



Escuela Técnica Superior de Ingenierías Informática y de Telecomunicación  
Universidad de Granada



**CELEBRACIÓN:  
¡FIN DE CURSO!**

**INFO AQUÍ**

Consulta condiciones de la promoción  
en <https://promociones.fostershollywood.es/descuento-2x1-estudiantes>



**2x1**  
**UNIVERSITARIOS  
Y ESTUDIANTES**  
**+18**



# Apple Mac

## Apple, un diez en todas las materias.

# 5% dto



# Rossellimac®

Plataforma > España > ugr.es > ETSIT > Gr.I.Informática > AC

Arquitectura de Computadores

INICIO ASIGNATURA EVALUACION ARCHIVOS USUARIOS MENSAJES ANALISIS PERFIL

Sistema Actividades Proyectos Convocatorias Test Exámenes Juegos Encuestas

Resultado

Universidad de Granada - Grado en Ingeniería Informática  
Arquitectura de Computadores

Test nº 3 que realiza usted en esta asignatura

1

V/F

En la predicción dinámica de un bit el sentido de la predicción no cambia (de saltar a no saltar o de no saltar a saltar) mientras el predictor no falle

Usuario Profesores

V

2

V/F

Un procesador de 32 bits (4 bytes) que implementa adelantamiento de loads a stores ESPECULATIVO podría adelantar la instrucción i+1 a la i (i precede a i+1 en el código)

(i) sw 0(r5), r2 // M(r5) <- r2

(i+1) lw r4, 8(r5) // r4 <- M(r5+8)

Usuario Profesores

☒

3

V/F

En la predicción dinámica de dos bits, el sentido de la predicción siempre cambia (de saltar a no saltar o de no saltar a saltar) cuando el predictor falla

Usuario Profesores

F

4

V/F

El desenrollado de bucles necesita un hardware especial de apoyo

Usuario Profesores

F

5

N.º entero

Para el procesador PROCEXA y la secuencia de seis instrucciones que se proporcionan en una de las preguntas de esta prueba:

¿Cuántos ciclos tarda en procesarse la secuencia de seis instrucciones indicada?

Usuario Profesores

12

6

V/F

Suponga que en un mismo ciclo se decodifican las cuatro instrucciones siguientes

(i) add r2, r2, r1 // r2 = r2+r1

(i+1) mul r3, r4, r1 // r3 = r4\*r1

(i+2) add r4, r4, r1 // r4 = r4+r1

(i+3) sub r5, r2, r1 // r5 = r2-r1

(entre paréntesis se indica el orden en el que están en el código), y pasan a una ventana de instrucciones única desde la que se emiten a las distintas unidades funcionales. El procesador puede emitir (con emisión DESORDENADA) TRES instrucciones por ciclo y tiene DOS unidades de suma/resta (con un retardo de 1 ciclo) y UN multiplicador (con un retardo de 3 ciclos).

Las instrucciones (i) e (i+3) se pueden emitir en el mismo ciclo

Usuario Profesores

F

7

N.º entero

El procesador PROCEXA de 32 bits, puede captar TRES instrucciones por ciclo, DECODIFICAR TRES instrucciones por ciclo, y dispone de una ventana de instrucciones centralizada desde donde se produce la EMISIÓN DESORDENADA de hasta DOS instrucciones por ciclo. También dispone de un buffer de reordenamiento (ROB) donde implementa el renombramiento y la finalización ordenada, pudiendo retirarse desde el ROB, TRES instrucciones por ciclo para escribir sus resultados en la etapa WB del cauce. El procesador incluye además DOS unidades de Suma/Resta de UN ciclo; UN multiplicador de TRES ciclos; y UNA unidad de Carga/Almacenamiento de memoria de DOS ciclos.

Por tanto, las etapas del cauce del procesador son: IF (captación de instrucciones), ID (Decodificación de instrucciones), EX (ejecución en unidad funcional de la operación codificada por la instrucción), y WB (retirada de la instrucción del ROB y escritura de resultado en los registros del procesador). No se considera etapa ROB explícita en el cauce porque se supone que en el último ciclo de ejecución de las unidades funcionales, el resultado de la operación queda almacenado en el ROB

Para este procesador y la secuencia de instrucciones siguiente

(1) ld r1, 0(r3) // r1 = M(r3)

(2) ld r2, 8(r3) // r2 = M(r3+8)

(3) add r2, r1, r2 // r2 = r1+r2

(4) mul r4, r1, r2 // r4 = r1\*r2

(5) sub r4, r1, r4 // r4 = r1-r4

(6) sub r5, r1, r3 // r5 = r1-r3

¿En qué ciclo se empieza a ejecutar la instrucción (6)? (los ciclos se numeran desde 1)

Usuario Profesores

5

8

N.º entero

Para el procesador PROCEXA y la secuencia de instrucciones que se proporcionan en una de las preguntas de esta prueba:

¿En qué ciclo empieza a ejecutarse la instrucción (4)? (los ciclos se numeran desde 1)

Usuario Profesores

8

9

V/F

El aprovechamiento eficiente del paralelismo entre instrucciones (ILP) en un procesador VLIW necesita el uso del ROB

Usuario Profesores

F

10

N.º entero

Para el procesador PROCEXA y la secuencia de instrucciones que se proporcionan en una de las preguntas de esta prueba:

¿En qué ciclo empieza a ejecutarse la instrucción (2)? (los ciclos se numeran desde 1)

Usuario Profesores

5

WUOLAH