

## **EXAMEN-FINAL-2018.pdf**



**PruebaAlien** 



**Arquitectura de Computadores** 



2º Grado en Ingeniería Informática



Escuela Técnica Superior de Ingenierías Informática y de Telecomunicación Universidad de Granada

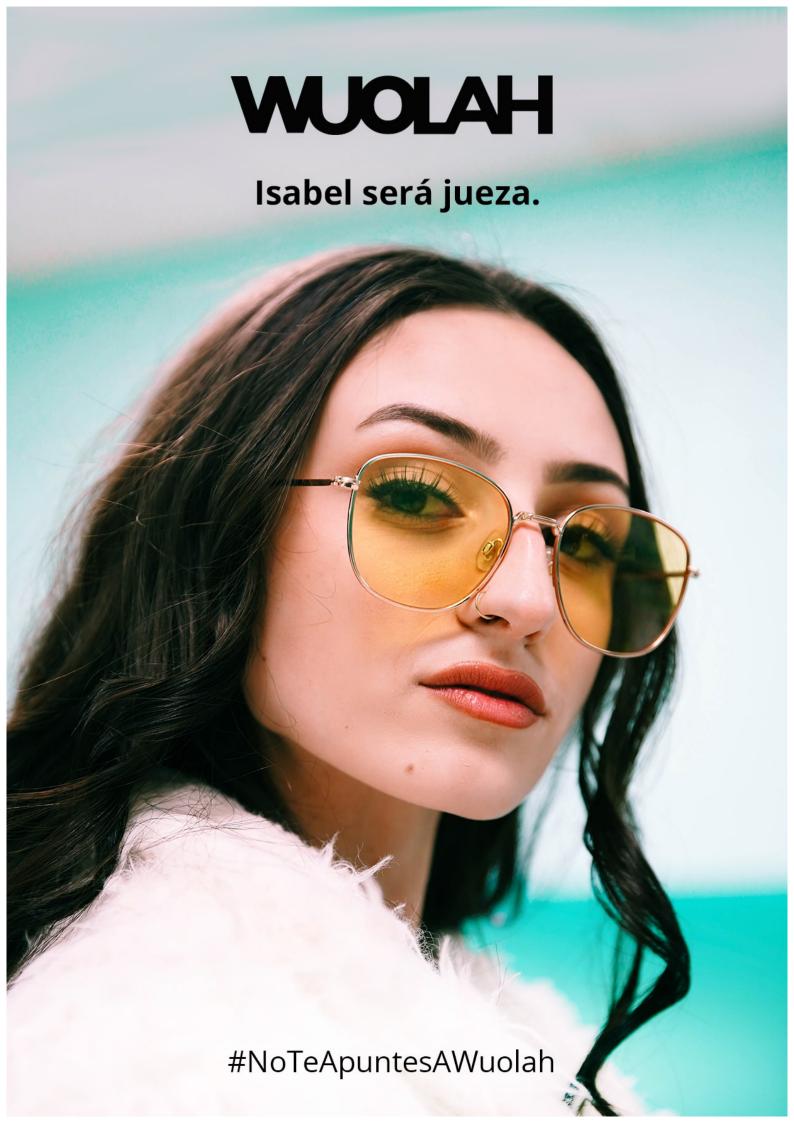




Llévate Un patinete, unos auriculares o una tablet voom tab pro+teclado.

Todos los estudiantes que presenten unos apuntes de **Wuolah** en tienda se les aplicará un **10% de descuento** en la compra de cualquiera de nuestros productos.

www.innjoo.es



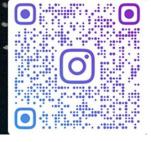


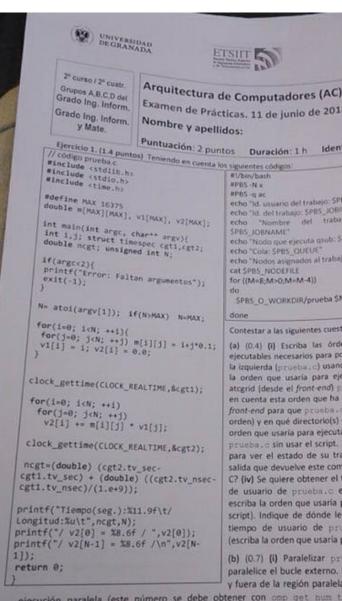
info@gamingresidences.com

amingresidences.com

## PRIMERA RESIDENCIA GAMING EN MADRID MUNDO ABRE

A EL CÓDIGO OR Y PARTICIPA° SORTEO DE UN ALIENWARE CANEA





Examen de Prácticas. 11 de junio de 2018. Puntuación: 2 puntos Duración: 1 h Identificación: Muestre DNI APBS-NX echo "Id. usuario del trabajo: SPBS\_O\_LOGNAME" echo "Id. del trabajo: SPBS\_JOBIO" echo "Nombre del trabajo especificado por SPBS\_IDIRALES" SPBS\_JOBNAME echo "Nodo que ejecuta qsub: \$PB\$\_O\_HOST" echo "Cola: \$PB\$\_QUEUE" echo "Nodos asignados al trabajo:" cat SPRS NODEFILE for ((M=8;M>0;M=M-4)) SPBS\_O\_WORKDIR/prueba \$M done Contestar a las siguientes cuestiones: (a) (0.4) (i) Escriba las órdenes que usaría para generar los ejecutables necesarios para poder ejecutar en atogrid el código de la izquierda (prueba. c) usando el script de la derecha. (ii) Escriba la orden que usaria para ejecutar en un nodo de cómputo de atogrid (desde el front-end) paueba, o usando el script. Teniendo en cuenta esta orden que ha escrito, indique qué debe estar en el front-end para que prueba o se ejecute correctamente (con esta orden) y en qué directorio(s) debe(n) encontrarse. Escriba ahora la orden que usaria para ejecutar en un nodo de cómputo de atcgrid prueba . c sin usar el script. (iii) ¿Qué comando de Torque usaría

ATC (X)

para ver el estado de su trabajo en la cola Torque? Describa la salida que devuelve este comando. ¿Qué significan los estados Q y C? (iv) Se quiere obtener el tiempo de ejecución total y el tiempo de usuario de prueba c en un nodo de cómputo de ategrid, escriba la orden que usaria para obtener estos tiempos (no use el script). Indique de dónde leeria el tiempo de ejecución total y el tiempo de usuario de prueba.c una vez finalizada la orden (escriba la orden que usaría para ver estos tiempos).

(b) (0.7) (i) Paralelizar prueba.c con OpenMP, en particular, paralelice el bucle externo. El thread master debe imprimir dentro y fuera de la región paralela el número de threads utilizados en la

ejecución paralela (este número se debe obtener con omo get num threads ()). (Se tendrá en cuenta la eficiencia del código implementado). (ii) Comentar con claridad para qué se usan todas y cada una de las directivas, cláusulas y funciones de OpenMP que haya incluido. (iii) Escriba la orden que usaría para generar el ejecutable del código implementado.



2/2 ST RTC tamen the Area (c) (0.3) Haga las modificaciones necesarias en el script (no modifique se sena el para que Torque devuelva los resultados de la ejecurario en el script (no modifique se se también las modificaciones necesarias en el script (no modifique se sena el también las modificaciones necesarias en el script (no modifique se se también las modificaciones necesarias en el script (no modifique se se también las modificaciones necesarias en el script (no modifique se se también las modificaciones necesarias). resultados de la ejecución en ficheros cuyo nombre contenga "prueba". Haga también las modificaciones necesarias para que el script se que da contenga "prueba". Haga también las modificaciones necesarias para que el script se que da contenga "prueba" para que el script se que da contenga para que el script se q para que el script se pueda utilizar para obtener los tiempos necesarios para realizar un estudio de escalabilidad en atogrid del código resultar para obtener los tiempos necesarios para realizar un estudio de escalabilidad en atogrid del código resultars. atogrid del código resultante del apartado (b) usando en este estudio matrices de 10000x10000 y un número de nucleos que varia desde 1 b. nucleos que varia desde 1 hasta el número de núcleos físicos disponibles en un nodo de computo de accent. (a) Indicar cuát de los códigos de la izquierda (a) o Cuestión 1.(0.3 puntos) Conteste a las siguientes cuestiones a2) ofrece mejores prestaciones y explicar los else a[1]=y; et :(1=2)==0; a[1]==; motivos (b) Indicar cual de los códigos de la izquierda (b1 o b2) ofrece mejores for(3-0; 3-8; 4-3)) for(3-0; 3-8; 4-3)) v2(x) -- m(3)(3) for(1=0; 1<H; ++1); for(3=0; 3<H; ++3) v2(1) -= m[11(3) · v1(3); prestaciones y explicar los motivos Cuestión 2.(0.3 puntos) Se ha obtenido la asignación de iteraciones (0-15) a threads que se muestra en la tabla en tres ejecuciones con distinta planificación (statio, dynamic o guided). (a) ¿A qué tipo de planificación corresponde cada fila (a ha usado el mismo en corresponde cada fila (a, b y c) y que tamaño de chunk se ha usado en las tres ejecuciones (se ha usado el mismo en las tres)? Justifique la respuesta aclarando el motivo que hace que una fila corresponda a una planificación y aclarando también los motivos por el que no puede ser resultado de ninguna de las otras. (b) ¿Cuál es la diferencia en general entre usar una planificación dynamic y usar una qui ded? 0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 c 0 0 0 0 0 0 0 0 1 1 1 1 1 1 0 1



2º curso / 2º cuatr. Grado en Ing. Informática

## Arquitectura de Computadores

Nombre y apellidos:

Puntuación: 2 puntos

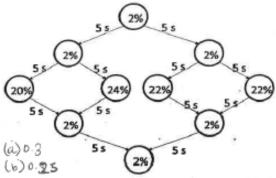
Duración: 2 horas

Grupo:

(a) 0.1 (b) 0.2 10 0.1 (d) 0.05 (e.) 0.05

Ejercicio 1. (0.5 puntos) Los programas que ejecuta un procesador con una microarquitectura sin segmentación de cauce (pipelining) y una frecuencia de reloj de 1 GHz incluyen, por término medio, un 40% de instrucciones con operaciones con la ALU (de 4 ciclos por instrucción, CPI), un 20% de instrucciones BRANCH (5 CPI), un 30% de instrucciones de carga de datos de memoria, LOADs (4 CPIs), y un 10% de instrucciones de almacenamiento de datos en memoria, STORES (3 CPIs). (a) ¿Cuánto tardaría en ejecutarse un programa con 1 millón de instrucciones? (b) ¿Qué es mejor (i) diseñar una nueva microarquitectura para ese procesador que reduce en uno los CPI de las instrucciones con la ALU y de las instrucciones BRANCH a costa de aumentar el tiempo de ciclo de reloj un 10% o (ii) utilizar, para la microarquitectura inicial, un compilador que es capaz de reducir a un tercio el número de LOADs y a la mitad las operaciones con la ALU? (obtenga los tiempos de CPU) (c) Calcule los MIPS para las dos opciones del apartado (b). ¿Cuál de las dos opciones tiene mayor MIPS? ¿Coincide con la mejor opción? (d) El tiempo de CPU depende del número de instrucciones por ciclo (IPC), del número de instrucciones, ¿y de qué más? (e) ¿Cuál es la expresión de los MIPS en términos de la frecuencia de reloj y del número de ciclos por instrucción (CPI)?

Ejercicio 2. (0.6 puntos) La estructura de tareas de un código se muestra en la figura (las tareas no se pueden subdividir en otras subtareas). Se dispone de un computador paralelo donde el tiempo de ejecución del código secuencial es de 1000 s en uno de los núcleos del computador. El computador cuenta con una red de interconexión entre núcleos que permite realizar en paralelo el número de comunicaciones que haga falta en cada caso (el coste de cada comunicación si las tareas se asignan a núcleos distintos se indican en los arcos de la estructura de tareas de la figura). Obtenga la ganancia de velocidad y la eficiencia (a) si utiliza dos núcleos (dibuje sobre el grafo la asignación de tareas a



threads/núcleos); y (b) si utiliza cuatro núcleos (dibuje sobre el grafo la asignación de tareas a threads/núcleos). (c) ¿En qué tipo de aplicaciones se generan estructuras de tareas en forma de árbol? (c) 0.05

Cuestión 1.(0.2 puntos) (a) ¿Qué es un núcleo multihebra simultánea o SMT? ¿En qué momento (o, si lo recuerda, en qué década) se extendieron los núcleos con multithread simultánea en el mercado de computadores de propósito general? (b) Se quiere implementar un núcleo de procesamiento que sea capaz de emitir 4 instrucciones en paralelo cada ciclo de reloj de un flujo de instrucciones o de dos flujos de instrucciones, además debe ser capaz de extraer paralelismo entre instrucciones. Indicar qué arquitecturas utilizaría en la implementación para conseguir ajustarse a estos requisitos.

Ejercicio 3. (0.5 puntos) La secuencia de instrucciones de la tabla que acompaña a este ejercicio se ha ejecutado en un procesador superescalar con ciacó etapas IF, ID, EX, WB (dispone de un ROB en el que se pueden almacenar simultáneamente resultados de todas las unidades funcionales, esto hace que no tenga etapa adicional de escritura en el ROB). Cada ciclo de reloj puede captar, decodificar, emitir a las unidades funcionales (de forma desordenada desde una única ventana de instrucciones), y retirar TRES instrucciones. El procesador dispone de una unidad funcional de carga de memoria que consume 2 ciclos, una unidad de multiplicación de 3 ciclos, una unidad de suma/resta de un ciclo, y una de almacenamiento en memoria de 1 ciclo. Conteste a las siguientes preguntas: (a) Complete la tabla de evolución temporal de las instrucciones teniendo en cuenta que las lecturas (loads) pueden adelantar a las escrituras (stores). (b) ¿¿Qué valor promedio de CPI (ciclos por instrucción se tiene para este código? (c) ¿Para qué se usa ROB en esuperescalares? (d) ¿En qué momento (o, si lo recuerda, en qué década) se extendieron los núcleos superescalares en el mercado de computadores de propósito general?

Instrucción	Significado	1	2	3	4	5	6	7	8	9	10	12	13	14	15	16	i0 = 5+
lw r4,0(r1)	r4←m(r1+0)	IF	ID	EX	EX	WB											
mult r3,r4,r2	r3←r4*r2	IF	$q_{\mathcal{I}}$			EX	EX	EX	WB								.5 =
sw 0(r1),r3	m(r1+0) ←r3	IF	ID						Ex	WB		2					6
lw r5,4(r1)	r5←m(r1+4)		IF	T.D	更高	EX	EX			WB							-> File
add r3,r5,r2 🗦	r3←r5+r2		IF	aı			極水	EX		WB							8 2000
sw 4(r1),r3	m(r1+4) ←r3	- 10	ŢF	2D						EX	MB						Ro
addi r1.r1.#8	r1←r1+8			1F	ID	EX					MB						1

Konume

Ejercicio 4. (0.2 puntos) Se ha implementado el código para barrera que se puede ver en el recuadro para procesadores con un modelo de consistencia que no garantiza W->R ni W->W. Los procesadores tienen una instrucción máquina, BAR, que garantiza que hasta que no han terminado los accesos a memoria que hay antes de esta instrucción BAR no se inician los accesos a memoria que hay detrás. Cuando se reutiliza la barrera varias veces en el código que ejecutan los threads, éstos se quedan bloqueados en algunas de las ejecuciones, no llegando a terminar ningún

threads. (a) ¿A qué es debido? (b) ¿Qué cambios habría que hacer en el código para que se pueda utilizar sin problemas.

De So podric pover el valor de la bendera ber I'd I. bendera = bendera-local
antique 6 y otros precesadors detenido verían la endición de la final de la berran
ante que el controlor de la berrana se ponya a 0

Thebria que exister esto si humado BAR entre (1) y (2)

di se boloque a el
proceso (le hebr) y
luego se melve a achu
acende se recebulis le
berrere, no se orregun
que hubiar el número
de flajs adiamado.

EL CÓDIGO QR Y PAR ORTEO DE UN ALIEN



Ejercicio 1

f=16H2 -> Taich= 1 mg

1	Nº dutas.	CPJ
ALU	0.4 NI,	4
BRANCH	0. 2 NI,	5
LOAO	0.3 NI,	4
STORE	0.1 NI,	3
	NI,	

a) 
$$T_{CPU} = NI_1 * CPI_1 * Taxb = 10^6 * 4.1 \cdot 1 \text{ ng} =$$

$$= 10^6 * 4.1 * 10^{-9} \text{ sg} = 4.1 * 10^{-3} \text{ sg} = 4.1 \text{ msg}$$

$$CPI = (4 * 0.4 # 5.0.2 + 0.3 * 4 + 0.1 * 3) NI_1$$

= 1.6+\$0+1.2+0.3 = 4.1 mg.

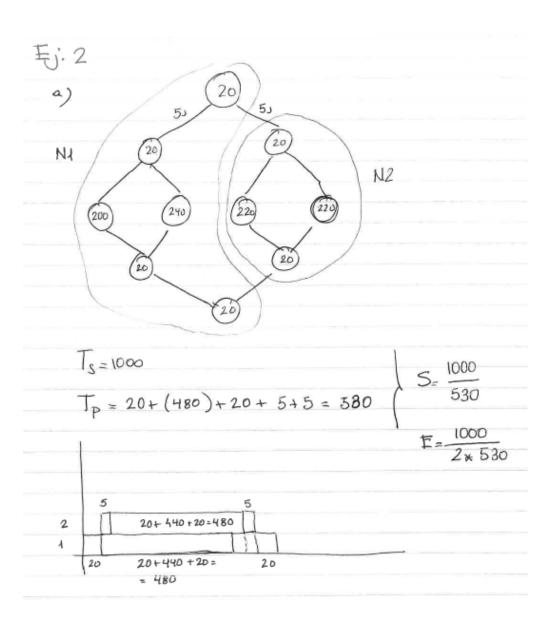
b)	Nº Instrum	CPT	
ALU	O.YNI,	3	Tail = 1.1 nig.
BRANCH	0.2 NE,	4	CPI = (0.4.3 + 0.5.4+0.1-3) NT,
LOAD	0.3 NE,	3	NE.
STORE	0.1 NS,	3	
	MFI		11.

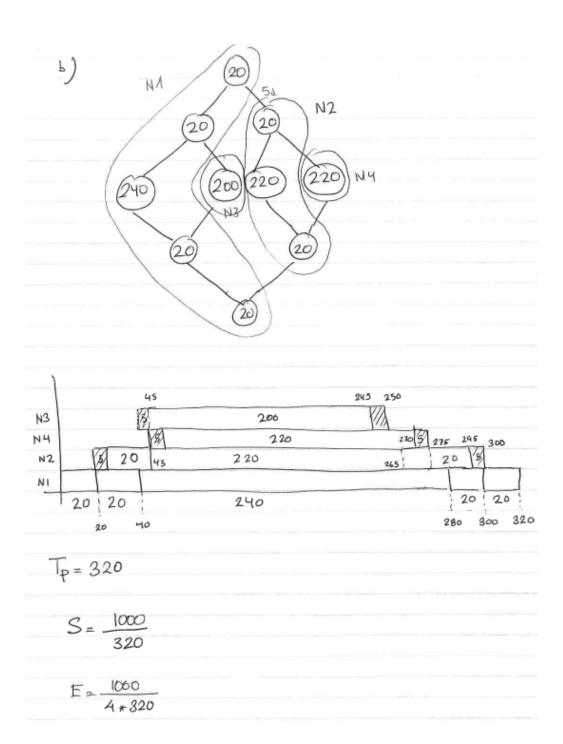
Topu, = NI, \* (0.4.3+0.5.4+0.1.3) + 1.1 mg. -= NI, + (1.2+2.0+0.3) .1.1 ty = NI, \* 3.85 . Ing

3.5		3.5	
35	3,85		

1		
ALU	0.4 NI, /2 = 0.2 NI, 4	
BRANCH	0.2NI, 5	
LOADS	0.3 NI/3 = 0.19 NI, 4	
STORES	0.1 NEI 3	
	0.60 NI	
	= NI2 * CPI2 * 1 mg =	
,	= ORNI1 + 4x0.2 + 5x0.2 +	4-0.1 + 3=0.1) NS, # 1 =
	= 0 ENF1 + 4 x 0.2 + 5 x 0.2 +	inj.
	//	
	= NI, (0.8+1+0.4+0.3) -	X
	2.5	
E,	mejor la segunde.	
e)	$M/PS_{i} = \frac{\overline{F_{i}}}{CPI_{i} * 10^{6}} = \frac{0.9}{3.5}$	10 <sup>9</sup> <u>900</u> 3.5 V
	$MIPS_2 = \frac{F_2}{CPI_2 \times 10^6} = \frac{1.10^9}{(2.5/0.6)}$	1000 4.16
(2,		to thep MIPS el 1





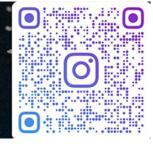






LA PRIMERA RESIDENCIA GAMING EN EL MUNDO ABRE EN MADRID

ESCANEA EL CÓDIGO OR Y PARTICIPA EN EL SORTEO DE UN ALIENWARE



gamingresidences.com info@gamingresidences.com Reservados todos los derechos. No se permite la explotación económica ni la transformación de esta obra. Queda permitida la impresión en su totalidad.

WUOLAH