

1. El aprovechamiento eficiente del paralelismo entre instrucciones (ILP) en un procesador VLIW necesita estructuras hardware como el ROB

EXPLICACIÓN: *Precisamente se intenta reducir la complejidad hardware del procesador eliminando estructuras como el ROB y dejando que sea el compilador el principal responsable de la planificación de las instrucciones.*

RESPUESTA: FALSO

2. El aprovechamiento eficiente del paralelismo entre instrucciones (ILP) en un procesador VLIW NO requiere el uso del ROB.

EXPLICACIÓN: *Precisamente se intenta reducir la complejidad hardware del procesador eliminando estructuras como el ROB y dejando que sea el compilador el principal responsable de la planificación de las instrucciones.*

RESPUESTA: VERDADERO

3. El buffer de reordenamiento (ROB) permite implementar la finalización ordenada en un procesador superescalar.

EXPLICACIÓN: *Efectivamente, el ROB facilita implementar de la finalización ordenada en los superescalares.*

RESPUESTA: VERDADERO

4. El principal responsable del aprovechamiento eficiente del paralelismo entre instrucciones (ILP) en un procesador superescalar es el compilador.

EXPLICACIÓN: *Precisamente es el aumento de la complejidad del hardware del superescalar el que ha permitido aumentar la eficiencia con la que se aprovecha el paralelismo ILP en estos procesadores.*

RESPUESTA: FALSO

5. En la predicción dinámica de dos bits, el sentido de la predicción cambia (de saltar a no saltar o de no saltar a saltar) solo cuando el predictor falla dos veces seguidas.

EXPLICACIÓN: *No siempre. Depende del estado en que esté, el cambio de sentido puede necesitar dos fallos o puede producirse con un único fallo.*

RESPUESTA: FALSO

6. En la predicción dinámica de dos bits, el sentido de la predicción puede no cambiar (de saltar a no saltar o de no saltar a saltar) cuando el predictor falla.

EXPLICACIÓN: *Esto ocurriría si se encontrase en el estado 11 ó en el 00 Depende del estado en que esté, el cambio de sentido puede necesitar dos fallos o puede producirse con un único fallo.*

RESPUESTA: VERDADERO

7. En la predicción dinámica de dos bits, el sentido de la predicción siempre cambia (de saltar a no saltar o de no saltar a saltar) cuando el predictor falla.

EXPLICACIÓN: *No siempre cambia el sentido de la predicción. Depende del estado en que esté puede necesitar hasta dos fallos para cambiar el sentido de la predicción.*

RESPUESTA: FALSO

8. En la predicción dinámica de un bit el sentido de la predicción no cambia (de saltar a no saltar o de no saltar a saltar) mientras el predictor no falle

EXPLICACIÓN: *Es lo que ocurriría*

RESPUESTA: VERDADERO

9. En la predicción dinámica de un bit el sentido de la predicción cambia (de saltar a no saltar o de no saltar a saltar) si el predictor falla.

EXPLICACIÓN: *Es lo que ocurriría*

RESPUESTA: VERDADERO

10. La segmentación software es una técnica puramente software.

RESPUESTA: VERDADERO

11. La segmentación software no se puede aplicar en el caso de los procesadores superescalares.

EXPLICACIÓN: *En una técnica software que puede utilizarse para cualquier procesador, independientemente de su microarquitectura, aunque tiene más sentido utilizarla para ciertos procesadores.*

RESPUESTA: FALSO

12. El buffer de reorden se usa para eliminar dependencias WAW:

RESPUESTA: VERDADERO

13. En un VLIW, una instrucción decodificada que no disponga de unidad para su ejecución está ocupando una entrada de una estación de reserva.

RESPUESTA: FALSO

14. Hasta que una instrucción decodificada no disponga de los operandos para su ejecución permanecerá en una ventana de instrucciones de un VLIW.

RESPUESTA: FALSO