

RespuestasAC.pdf



Anónimo



Arquitectura de Computadores



2º Grado en Ingeniería Informática



**Escuela Técnica Superior de Ingenierías Informática y de Telecomunicación
Universidad de Granada**



**CELEBRACIÓN:
¡FIN DE CURSO!**

INFO AQUÍ

Consulta condiciones de la promoción
en <https://promociones.fostershollywood.es/descuento-2x1-estudiantes>



2x1
**UNIVERSITARIOS
Y ESTUDIANTES**
+18



Apple Mac

Apple, un diez en todas las materias.

1.- Suponga que en un mismo ciclo se decodifican las cuatro instrucciones siguientes

```
(i) add r2, r2, r1 // r2 = r2 + r1
(i + 1) mul r3, r4, r1 // r3 = r4 * r1
(i + 2) add r4, r4, r1 // r4 = r4 + r1
(i + 3) sub r5, r2, r1 // r5 = r2 - r1
```

(entre paréntesis se indica el orden en el que están en el código), y pasan a una ventana de instrucciones única desde la que se emiten distintas unidades funcionales. El procesador puede emitir (con emisión DESORDENADA) TRES instrucciones por ciclo y tiene DOS unidades de suma/resta (con un retardo de 1 ciclo) y UN multiplicador (con un retardo de 3 ciclos).

Las instrucciones (i) e (i+3) se pueden emitir en el mismo ciclo, F

2.- En la predicción dinámica de un bit el sentido de la predicción no cambia (de saltar a no saltar o de no saltar a saltar) mientras el predictor no falle. V

3.- Un procesador de 32 bits (4 bytes) que implementa adelantamiento de loads a stores ESPECULATIVO podría adelantar la instrucción i+1 a la i (i precede a i+1 en el código)

```
(i) sw 0(r5), r2 // M(r5)←- r2
(i + 1) lw r4, 8(r5) //r4←-M(r5+8)
```

V

4.- Para el procesador PROCEXA y la secuencia de seis instrucciones que se proporcionan en una de las preguntas de esta prueba: ¿Cuántos ciclos tarde en procesarse la secuencia de seis instrucciones indicada? 8

5.- El aprovechamiento eficiente del paralelismo entre instrucciones (ILP) en un procesador VLIW necesita el uso del ROB. F

6.- El desenrollado de bucles necesita un hardware especial de apoyo. F

7.- Para el procesador PROCEXA y la secuencia de instrucciones que se proporcionan en una de las preguntas de esta prueba: ¿En qué ciclo empieza a ejecutarse la instrucción (2)? (los ciclos se numeran desde 1). 5

8.- Para el procesador PROCEXA y la secuencia de instrucciones que se proporcionan en una de las preguntas de esta prueba: ¿En qué ciclo empieza a ejecutarse la instrucción (4)? (los ciclos se numeran desde 1). 8

9.- En la predicción dinámica de dos bits, el sentido de la predicción siempre cambia (de saltar a no saltar o de no saltar a saltar) cuando el predictor falla. F

10.- El procesador PROCEXA de 32 bits, puede captar TRES instrucciones por ciclo, DECODIFICAR TRES instrucciones por ciclo, y dispone de una ventana de instrucciones centralizada desde donde se produce la EMISIÓN DESORDENADA de hasta DOS instrucciones por ciclo. También dispone de un buffer de reordenamiento (ROB) donde implementa el renombramiento y la finalización ordenada, pudiendo retirarse desde el ROB, TRES instrucciones por ciclo para escribir sus resultados en la etapa WB del cauce. El procesador incluye además DOS unidades de Suma/Resta de UN ciclo; UN multiplicador de TRES ciclos, y UNA unidad de Carga/Almacenamiento de memoria de DOS ciclos.

Por tanto, las etapas del cauce del procesador son IF(capatación de instrucciones), ID(Decodificación de instrucciones), EX(ejecución en unidad funcional de la operación codificada por la instrucción), y WB(retirada de la instrucción del ROB y escritura de resultado en los registros del procesador). No se considera etapa ROB explícita en el cauce porque se supone que en el último ciclo de ejecución de las unidades funcionales, el resultado de la operación queda almacenado en el ROB

Para este procesador y la secuencia de instrucciones siguiente

```
(1) ld r1,0(r3) //r1=M(r3)
```

5% dto Mac



Rossellimac®

```
(2) ld r2,8(r3) //r2=M(r3+8)
(3) add r2, r1, r2 //r2=r1+r2
(4) mul r4, r1, r2 //r4=r1*r2
(5) sub r4, r1, r4 //r4=r1-r4
(6) sub r5, r1, r3 //r5=r1-r3
```

¿En qué ciclo se empieza a ejecutar la instrucción (6)? (los ciclos se numeran desde 1). 5

11.- La segmentación software es una técnica puramente software. V

12.- El aprovechamiento eficiente del paralelismo entre instrucciones (ILP) en un procesador VLIW NO requieren el uso del ROB. V

13.- Un procesador de 32 bits (4 bytes) que implementa adelantamiento de loads a stores, aunque no implementa el adelantamiento ESPECULATIVO, podría adelantar la instrucción $i+$ a la i (i precede a $i+1$ en el código)

```
(i) sw 0(R6), r2 //r2=r2+r1
(i+1) lw r4, 8(r6) //r4<--M(r6+8)
```

V

15.- Suponga que en un mismo ciclo se decodifican las cuatro instrucciones siguientes

```
(i) add r2, r2, r1 // r2 = r2 + r1
(i + 1) mul r3, r4, r1 // r3 = r4 * r1
(i + 2) add r4, r4, r1 // r4 = r4 + r1
(i + 3) sub r5, r2, r1 // r5 = r2 - r1
```

(entre paréntesis se indica el orden en el que están en el código), y pasan a una ventana de instrucciones única desde la que se emiten distintas unidades funcionales. El procesador puede emitir (con emisión DESORDENADA) CUATRO instrucciones por ciclo y tiene TRES unidades de suma/resta (con un retardo de 1 ciclo) y UN multiplicador (con un retardo de 3 ciclos).

La instrucción (i) NO se puede emitir en el mismo ciclo que la (i+3), V

16.- Para el procesador PROCEXB y la secuencia de seis instrucciones que se proporcionan en una de las preguntas de esta prueba: ¿En qué ciclo empieza a ejecutarse la instrucción (4)?(los ciclos se numeran desde 1). 8

17.- En la predicción dinámica de dos bits, el sentido de la predicción siempre cambia (de saltar a no saltar o de no saltar a saltar) cuando el predictor falla. F

18.- El procesador PROCEXB de 32 bits, puede captar TRES instrucciones por ciclo, DECODIFICAR TRES instrucciones por ciclo, y dispone de una ventana de instrucciones centralizada desde donde se produce la EMISIÓN DESORDENADA de hasta DOS instrucciones por ciclo. También dispone de un buffer de reordenamiento (ROB) donde implementa el renombramiento y la finalización ordenada, pudiendo retirarse desde el ROB, TRES instrucciones por ciclo para escribir sus resultados en la etapa WB del cauce. El procesador incluye además DOS unidades de Suma/Resta de UN ciclo; UN multiplicador de TRES ciclos, y UNA unidad de Carga/Almacenamiento de memoria de DOS ciclos.

Por tanto, las etapas del cauce del procesador son IF(capatación de instrucciones), ID(Decodificación de instrucciones), EX(ejecución en unidad funcional de la operación codificada por la instrucción), y WB(retirada de la instrucción del ROB y escritura de resultado en los registros del procesador). No se considera etapa ROB explícita en el cauce porque se supone que en el último ciclo de ejecución de las unidades funcionales, el resultado de la operación queda almacenado en el ROB

Para este procesador y la secuencia de instrucciones siguiente

```
(1) ld r1,0(r3) //r1=M(r3)
(2) ld r2,8(r3) //r2=M(r3+8)
(3) add r2, r1, r2 //r2=r1+r2
(4) mul r4, r1, r2 //r4=r1*r2
```

(5) sub r4, r1, r4 //r4=r1-r4
(6) sub r5, r1, r3 //r5=r1-r3

¿En qué ciclo se empieza a ejecutar la instrucción (6)? (los ciclos se numeran desde 1). 5

19.- Para el procesador PROCEXB y la secuencia de seis instrucciones que se proporcionan en una de las preguntas de esta prueba: ¿En qué ciclo empieza a ejecutarse la instrucción (2)?(los ciclos se numeran desde 1). 5

20.- Para el procesador PROCEXB y la secuencia de seis instrucciones que se proporcionan en una de las preguntas de esta prueba: ¿Cuántos ciclos tarde en procesarse la secuencia de seis instrucciones indicada? 12