

# Examen-Tema-4-Teoria-Resuelto.pdf



Zukii



Arquitectura de Computadores



2º Grado en Ingeniería Informática



Escuela Técnica Superior de Ingenierías Informática y de Telecomunicación  
Universidad de Granada



**EDUCOWAY**  
EUROPEAN EXCELLENCE EDUCATION

Lunes, 14 de  
junio de 2021,  
a las 18h.

Escoge entre:

- ENFERMERÍA
- VETERINARIA
- MEDICINA
- ODONTOLOGÍA



LITHUANIAN UNIVERSITY  
OF HEALTH SCIENCES

**¿Tu sueño es estudiar Medicina pero  
no sabes si podrás conseguirlo?**  
Pues deja de soñar y vive tus sueños.

**ACCEDER A MEDICINA EN LITUANIA**  
sin nota de corte y 100% en inglés



WEBINAR GRATUITO

## Tema 4 Prueba Evaluación Continua

Universidad de Granada - Grado en Ingeniería Informática  
Arquitectura de Computadores

PD: no estoy seguro de muchas  
opciones, úsalo de guía

**1**

V/F

Un procesador de 32 bits, puede captar CUATRO instrucciones por ciclo, DECODIFICAR DOS instrucciones por ciclo, y dispone de una ventana de instrucciones centralizada desde donde se produce la EMISIÓN DESORDENADA de hasta CUATRO instrucciones por ciclo. También dispone de un buffer de reordenamiento (ROB) donde implementa el renombramiento y la finalización ordenada, pudiendo retirarse desde el ROB, CUATRO instrucciones por ciclo para escribir sus resultados en la etapa WB del cauce. El procesador incluye además DOS unidades de Suma/Resta de UN ciclo; UN multiplicador de TRES ciclos, y DOS unidades de Carga/Almacenamiento de memoria de UN ciclo de latencia. Por tanto, las etapas del cauce del procesador son: IF (captación de instrucciones), ID (Decodificación de instrucciones), EX (ejecución en unidad funcional de la operación codificada por la instrucción), y WB (retirada de la instrucción del ROB y escritura de resultado en los registros del procesador). No se considera etapa ROB explícita en el cauce porque se supone que en el último ciclo de ejecución de las unidades funcionales, el resultado de la operación queda almacenado en el ROB. Las instrucciones de almacenamiento (escritura en memoria) no utilizan etapa WB.

Para este procesador y la secuencia de instrucciones siguiente

- (1) `ld r1,0(r2) // r1=M(r2)`
- (2) `ld r3,0(r1) // r3 = M(r1)`
- (3) `mul r5, r1, r2 // r5= r1*r2`
- (4) `add r4, r1, r2 // r4=r1+r2`
- (5) `sub r6, r1, r2 // r6=r1-r2`
- (6) `sw 0(r1), r6 // M(r1)=r6`

La instrucción (6) se empieza a ejecutar en el ciclo 5 (los ciclos se numeran desde 1) y la secuencia completa de instrucciones tarda 7 ciclos en procesarse

Usaria Profesores

**F** 

## 2 Suponga que en un mismo ciclo se decodifican las cuatro instrucciones siguientes

V/F

(i) add r2, r2, r1 // r2 = r2+r1  
(i+1) mul r3, r4, r1 // r3 = r4\*r1  
(i+2) add r4, r4, r1 // r4 = r4+r1  
(i+3) sub r5, r2, r1 // r5 = r2- r1

(entre paréntesis se indica el orden en el que están en el código), y pasan a una ventana de instrucciones única desde la que se emiten a las distintas unidades funcionales. El procesador puede emitir (con emisión

DESORDENADA) CUATRO instrucciones por ciclo y tiene TRES unidades de suma/resta (con un retardo de 1 ciclo) y UN multiplicador (con un retardo de 3 ciclos).

Las cuatro instrucciones se pueden emitir en un único ciclo  
Usuaría Profesores

F



## 3 EsUsuaría posible implementar Profesores el renombramiento en un buffer de reorden (ROB)

V/F

V



## 4 Las instrucciones de ejecución condicional o vigilada no tienen ninguna utilidad en la planificación estática global en procesadores VLIW

V/F Usuaría Profesores

F



## 5 Suponga un procesador los valores de los predicados se asignan con instrucciones con los formatos donde todas las instrucciones pueden predicarse, y

V/F p1,p2 cmp.cnd r1,r2, o también p1 cmp.cnd r1,r2 donde cnd es la condición que se comprueba entre r1 y r2 (lt, le, gt, ge, eq, ne, respectivamente, menor que, menor o igual que, mayor que, mayor o igual que, igual, distinto). En dicho procesador, la sentencia if ((r1==0) and (r2==0)) then r3=0 else r3=1 puede escribirse sin instrucciones de salto como

p3 comp.eq r1,r1 p1,p2 cmp.eq r1,r0  
(p1) p3,p2 cmp.eq r2,r0  
(p3) add r3,r0,r0 // r3=r0+r0 (p2) add  
r3, r0,#1 //r3=r0+1

donde r0=0 siempre y los predicados, p1, p2, y p3 pueden tener cualquier valor (0 ó 1) al iniciarse la ejecución del código



**6** En la predicción dinámica de dos bits, el sentido de la predicción puede no cambiar (de saltar a no saltar o de no saltar a saltar) cuando el predictor  
V/F falla.

Usuaría Profesores

**V**



**7** Para implementar un procedimiento de predicción dinámica de saltos es preciso utilizar bits de historia.

V/F

Usuari Professore

**F**



**8** Un procesador de 32 bits (4 bytes) que implementa adelantamiento de loads a stores ESPECULATIVO podría adelantar la instrucción  $i+1$  a la  $i$  ( $i$  precede a  $i+1$  en el código)

V/F

(i) `sw 0(r5), r2` // `M(r5) <-- r2`  
( $i+1$ ) `lw r4, 8(r5)` // `r4 <-- M(r5+8)`

Usuari Professore

**V**



**9** Un procesador superescalar de 4 GHz cuyo ROB es capaz de retirar dos instrucciones por ciclo tiene una velocidad pico de 8 GIPS (Giga-instrucciones por segundo)

V/F

Usuari Professore

**V**



**10** El desenrollado de bucles necesita un hardware especial de apoyo

V/F

Usuari Professore

**F**

