



Documento anónimo

EXAMENES_TOC_2011-2012.pdf

Exámenes



1º Tecnología y Organización de Computadores



Doble Grado en Ingeniería Informática y Matemáticas



**Escuela Técnica Superior de Ingenierías Informática y de
Telecomunicación
Universidad de Granada**

Apellidos :

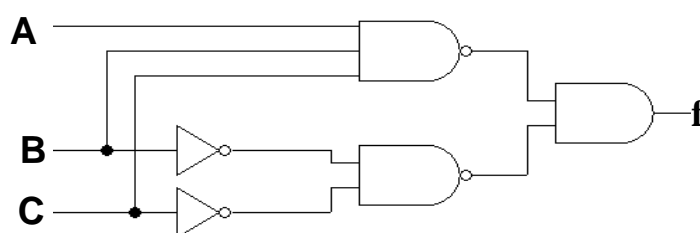
Nombre :

Grupo :

D.N.I. :

EJERCICIOS:

- (0,75 pto.)** Una unidad de disco duro de 120GBs, tiene 5 platos (10 superficies). Cada pista tiene 128 sectores y cada sector puede almacenar 512 Bytes.
 - ¿Cuál es la capacidad de cada pista?
 - Número de pistas que tiene cada superficie.
- (0,75 pto.)** Suponga un sistema de memoria con tan sólo dos niveles de jerarquía (caché y memoria principal). Si los tiempos de acceso de los dispositivos utilizados son 2ns y 60 ns, respectivamente, y el porcentaje de aciertos en caché del 92%.
 - Estimar el tiempo de acceso efectivo.
 - Estimar el número de fallos de caché que se producen al ejecutar un programa de 200.000 instrucciones.
- (0,50 pto.)** Sabiendo que la calidad CD estéreo se corresponde con los parámetros siguientes: $f_s = 44,1$ KHz, 2Bytes/muestra, 2 canales. ¿Qué tiempo de música en calidad CD estéreo sin comprimir se puede almacenar en una memoria flash USB de 1 GB? Indicar el tiempo en horas.
- (0,50 pto.)** Analice el circuito de la figura y obtenga la tabla de verdad de la función de conmutación resultante.



- (0,50 pto.)** Dada la siguiente función de conmutación, en la que " x_0 " representa la variable menos significativa:

$$f(x_3, x_2, x_1, x_0) = \sum m(1, 4, 5, 7, 11) + d(0, 12, 14)$$

Minimícela e impleméntela (dibuje el circuito) mediante síntesis AND/OR (Suma de Productos).

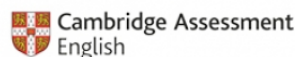


Tu academia de idiomas y tu centro examinador de Cambridge.

Cursos super-intensivos de preparación B1, B2, C1 y C2. Comienzo 20 de enero.

100 HORAS

325€



Authorised Exam Centre
Official Examination Centre No: ES815

www.clgranada.com

☎ | +34 958 53 52 53 📍 | C/ Puentezuelas, nº 32, 1ª planta (Granada)

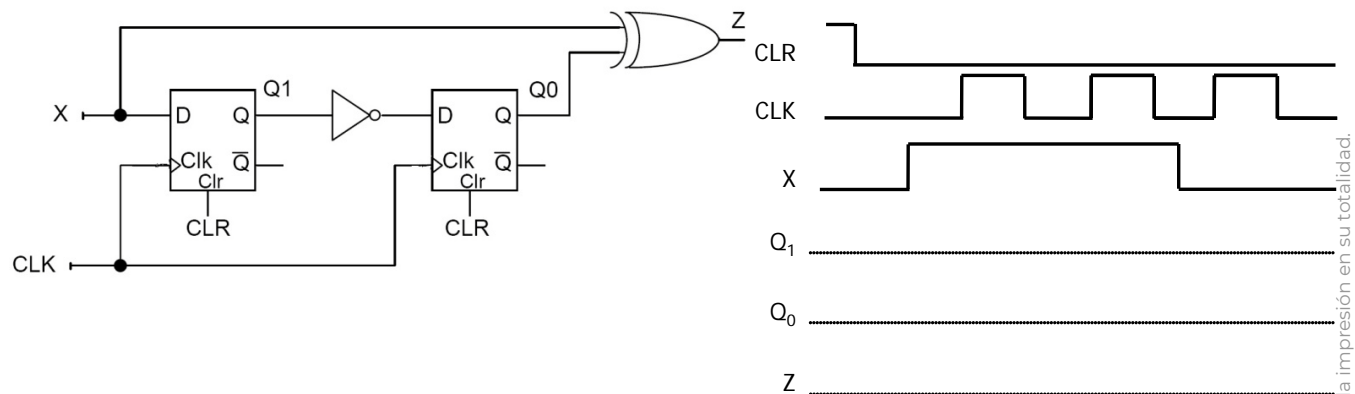
✉ | info@clgranada.com

6. (1,00 pto.) Dadas las siguientes funciones de conmutación, en las que "x₀" representa la variable menos significativa:

- $f_0(x_2, x_1, x_0) = \sum m(0, 1, 2, 5)$
- $f_1(x_2, x_1, x_0) = \sum m(2, 3, 5)$
- $f_2(x_2, x_1, x_0) = \sum m(0, 1, 3)$

- a. Implemente dichas funciones en una PLA de tamaño 3x4x3. Dibuje explícitamente la estructura interna de la PLA con las conexiones adecuadas.
- b. Implemente dichas funciones mediante una ROM de tamaño adecuado. ¿Cuál es el tamaño de dicha memoria ROM? Dibuje explícitamente la estructura interna de la ROM con las conexiones adecuadas del plano OR.

7. (0,50 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura



8. (1,00 pto.) Diseñe un generador de secuencias que genere cíclicamente la secuencia de salidas siguiente

$Z = 0, 9, 2, 9, 4, 5 ; 0, 9, 2, 9, 4, 5, \dots$

Utilice para el diseño biestables de tipo T activo por flanco de subida (si lo prefiere, puede usar biestables de tipo D, en vez de tipo T).

9. (0,50 pto.) Diseñe un registro de desplazamiento de 3 bits que tenga las características dadas por la siguiente tabla de funcionamiento simplificada (utilice biestables de tipo D y multiplexores de 2 a 1):

Clk	Clr	LD	Q (Q ₂ , Q ₁ , Q ₀)	Q ₂ ⁺ , Q ₁ ⁺ , Q ₀ ⁺
-	1	-	Q _i =0, i=0...2 (asíncronamente)	0 0 0
↑	0	0	DESPLAZAMIENTO DERECHA	Ar Q ₂ Q ₁
↑	0	1	CARGA SÍNCRONA EN PARALELO Q _i ← D _i , i=0...2	D ₂ D ₁ D ₀



Apellidos :

Nombre :

Grupo :

D.N.I. :

1. (0,50 pto.) Se quiere diseñar un circuito semisumador y encapsularlo como se muestra en la Figura 1.1. Un estudiante ha diseñado el circuito de la Figura 1.2, pero tiene problemas en el encapsulado. El error está en que le faltan dos elementos o componentes al circuito de la Figura 1.2 para que se genere correctamente el símbolo asociado en la Figura 1.1. Indique los elementos o componentes que tendría que añadir en el circuito de la Figura 1.2.

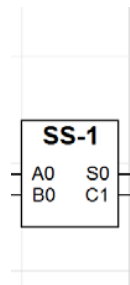


Figura 1.1

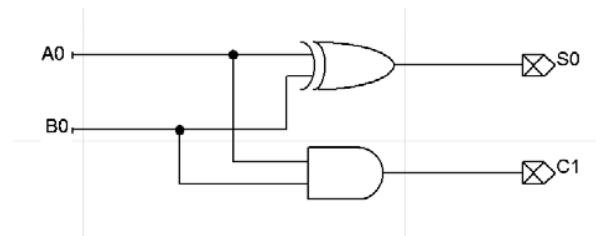


Figura 1.2

2. (1,00 pto.) En la práctica 4, de "realización de una ALU", un estudiante implementó la etapa lógica sencilla (de un bit) según el esquema de circuito mostrado en la Figura 2.

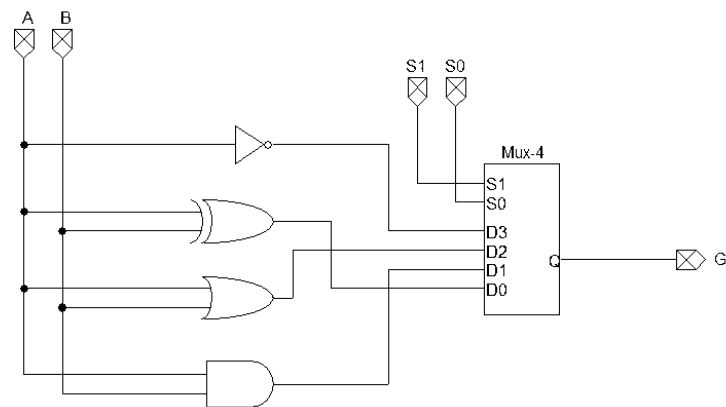


Figura 2

Rellene la Tabla 2.1 indicando la operación que se realiza con cada combinación de señales de control (S_1 , S_0), según la versión de etapa lógica de la Figura 2.

Señales de control $S_1 S_0$	Operación
00	
01	
10	
11	

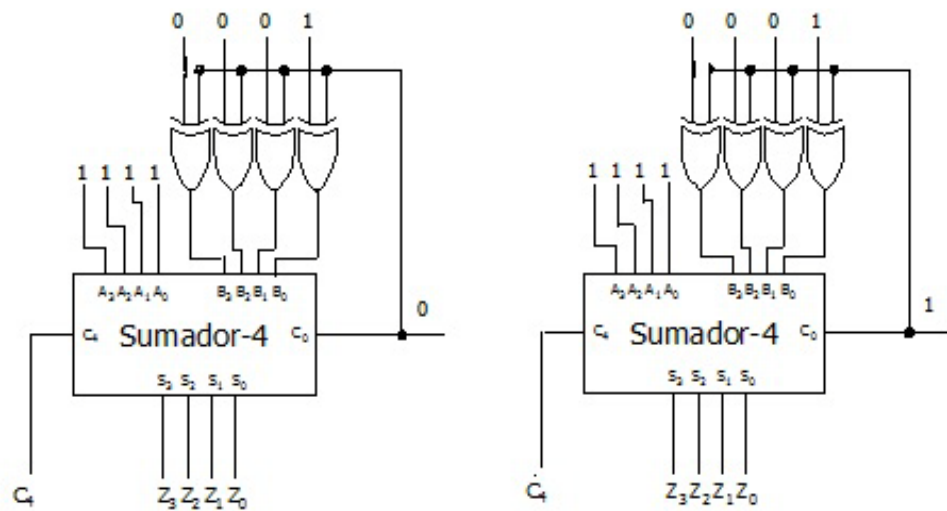
Tabla 2.1

Indique en la Tabla 2.2 el resultado que se obtiene en la salida G_i con los siguientes datos A y B y las combinaciones $S_1 S_0$

A B $S_1 S_0$	Resultado G_i
0 1 0 0	
0 0 0 0	
1 0 0 1	
1 0 1 1	

Tabla 2.1

3. (0,50 pto.) Determine las salidas C_4 , Z_3 , Z_2 , Z_1 , Z_0 de los siguientes circuitos combinacionales para los valores de las entradas que se indican en cada uno de ellos.



Formación
Online
Especializada

Clases Online
Prácticas
Becas

Ponle
nombre
a lo que
quieres ser

Jose María Girela
Bim Manager.





ugr

Universidad
de Granada

DEPARTAMENTO DE ARQUITECTURA Y TECNOLOGÍA DE COMPUTADORES

TECNOLOGÍA Y ORGANIZACIÓN DE
COMPUTADORES

1º Grado en Ingeniería Informática

GRANADA, 6 de Septiembre de 2011

Apellidos :

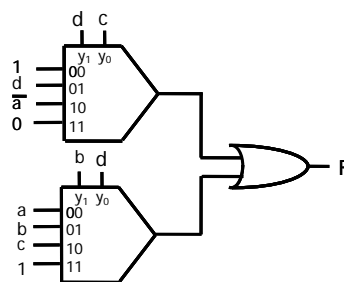
Nombre :

Grupo :

D.N.I. :

EJERCICIOS:

- (0,75 pto.)** Un procesador dispone, entre otros, de los siguientes elementos: registro de dirección (AR) de 32 bits, registro de datos (DR) de 16 bits, contador de programa (PC), y puntero de pila (SP). Indicar:
 - Número de bits del bus de datos
 - Número de bits del bus de direcciones.
 - Tamaño máximo posible de la memoria principal (en GB)
 - Tamaño en bits del registro PC
 - Tamaño en bits del registro SP
- (0,75 pto.)** Un programa de prueba (en lenguaje de alto nivel) se ejecuta en un procesador obteniéndose una velocidad de 120 MIPS y tardando su ejecución 35 segundos. Sabiendo que por término medio cada instrucción consume 6 ciclos de reloj, obtener:
 - El número de instrucciones máquina totales del programa de prueba.
 - La frecuencia de reloj del computador
- (0,50 pto.)** El siguiente número $N = (00E0\ 0000)_H$ está en representación interna IEEE-754 (Precisión sencilla). Indicar el número en decimal que representa.
- (0,50 pto.)** Analice el circuito de la figura y obtenga la tabla de verdad de la función de conmutación resultante.



- (0,50 pto.)** Dada la siguiente función de conmutación, en la que " x_0 " representa la variable menos significativa:

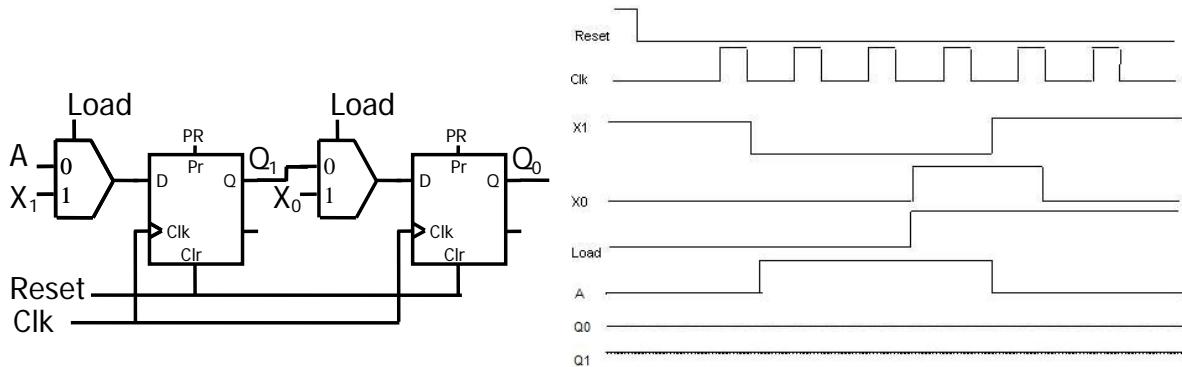
$$f(x_3, x_2, x_1, x_0) = \prod M(1, 4, 5, 7, 11) + d(0, 12, 14)$$
 Minimízela e impleméntela (dibuje el circuito) mediante síntesis OR/AND (Producto de Sumas).

6. (1,00 pto.) Dadas las siguientes funciones de conmutación, en las que “ x_0 ” representa la variable menos significativa:

- $f_0(x_3, x_2, x_1, x_0) = \sum m(1, 2, 5, 6, 8, 9, 11, 12, 13, 15)$
- $f_1(x_3, x_2, x_1, x_0) = \sum m(2, 6, 8, 11, 12, 15)$

- a. Implemente dichas funciones en una PLA de tamaño 4x4x2. Dibuje explícitamente la estructura interna de la PLA con las conexiones adecuadas.
- b. Implemente dichas funciones mediante una ROM de tamaño adecuado. ¿Cuál es el tamaño de dicha memoria ROM? Dibuje explícitamente la estructura interna de la ROM con las conexiones adecuadas del plano OR.

7. (1,00 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura



8. (1,00 pto.) Diseñe un contador síncrono ascendente que produzca, de forma cíclica, la siguiente secuencia de salidas **0, 1, 2, 3, 4, 5, 0, 1, 2, 3, 4, 5, ...** Utilice para el diseño biestables de tipo T activos por flanco de subida.



Apellidos :

Nombre :

Grupo :

D.N.I. :

1. (0,50 pto.) Se propone el circuito de la figura 1 como la resolución de un problema de diseño de un circuito combinacional en prácticas. Sin embargo, al simular el circuito con Logic Works, para algunas combinaciones de entrada presenta un valor indeterminado en la salida. Indique **razonadamente** la causa por la cual en algunas combinaciones de entrada el circuito produce valores indeterminados en la salida.

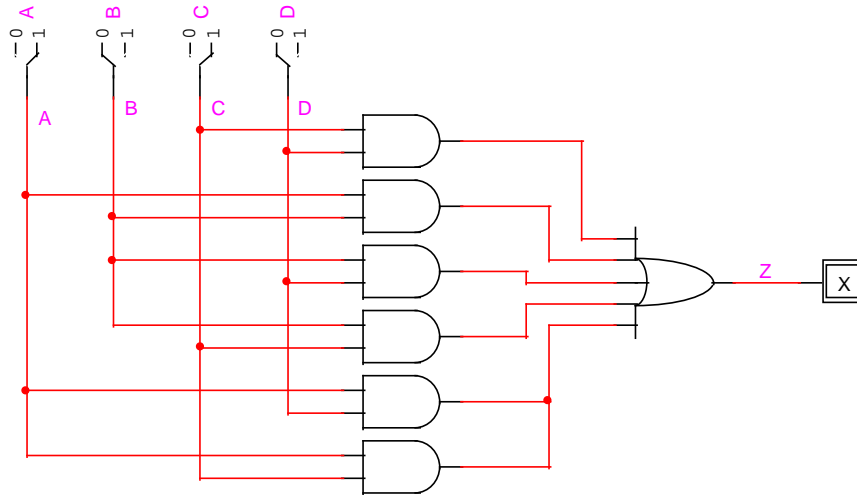


Figura 1.

2. (1,00 pto.) En la práctica 4, de "realización de una ALU", un estudiante implementó la etapa lógica sencilla (de un bit) según el esquema de circuito mostrado en la Figura 2.

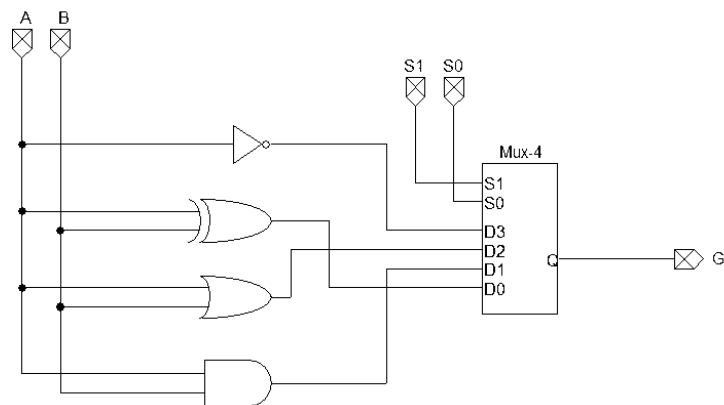


Figura 2

Rellene la Tabla 2.1 indicando la operación que se realiza con cada combinación de señales de control (S_1, S_0), según la versión de etapa lógica de la Figura 2.

Señales de control $S_1 S_0$	Operación
00	
01	
10	
11	

Tabla 2.1

Indique en la Tabla 2.2 el resultado que se obtiene en la salida G_i con los siguientes datos A y B y las combinaciones $S_1 S_0$

A B $S_1 S_0$	Resultado G_i
0 1 0 0	
0 0 0 0	
1 0 0 1	
1 0 1 1	

Tabla 2.1

3. (0,50 pto.) Indique por qué razón, en el circuito de la figura 3, aunque se cambie el valor de la entrada externa A, no se produce ningún cambio en las salidas de los biestables Q_3, Q_2, Q_1 y Q_0 , permaneciendo éstas siempre al valor lógico 1.

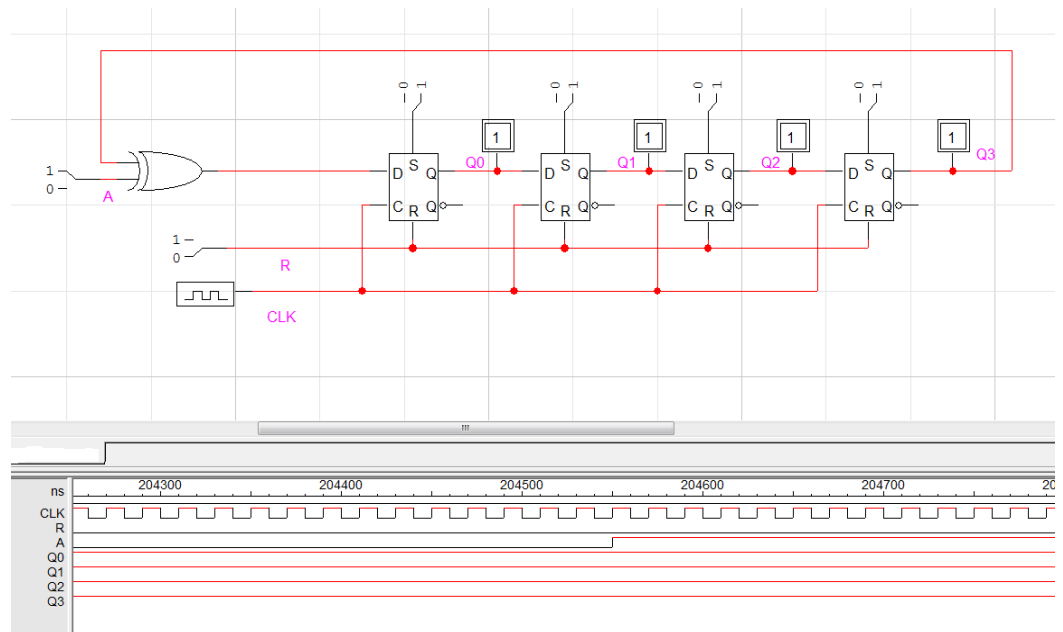


Figura 3.



Apellidos :

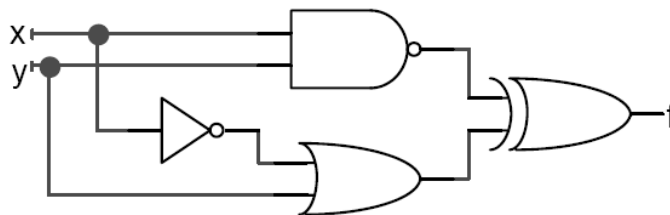
Nombre :

Grupo :

D.N.I. :

EJERCICIOS:

- (1,00 pto.)** Un procesador que funciona a 900 Mhz de frecuencia de reloj y que consume 6 ciclos de reloj por instrucción, por término medio, ejecuta un programa de benchmark de 4.500.000.000 instrucciones.
 - Indicar el tiempo que tarda en ejecutarlo.
 - Indicar la velocidad que se obtiene en MIPS (millones de instrucciones en un segundo).
- (1,00 pto.)** Se tiene almacenada una película de 1 hora y 5 minutos (30 imágenes/segundo) con 8 bits (1 Byte) por cada uno de los tres colores básicos. La película ocupa algo menos de 257.1 GB.
 - Indicar con qué resolución está grabada la película: a) VGA (640x480), b) SVGA (800x600), c) XGA (1024x768), d) UXGA (1600x1200)
 - Indicar el tiempo (en horas y minutos) que se podría almacenar en esa misma capacidad de 257.1 GB, si la película estuviera comprimida con un factor 9:1.
- (0,50 pto.)** Pasar el número $N=-5$ a representación interna en coma flotante de 32 bits (en hexadecimal) según IEEE 754, precisión sencilla.
Nota: El sesgo del exponente es 127 en precisión sencilla para números normalizados.
- (0,50 pto.)** Analice el circuito de la figura y obtenga la tabla de verdad de la función de conmutación resultante.



- (0,50 pto.)** Dada la siguiente función de conmutación, en la que " x_0 " representa la variable menos significativa:

$$f(x_3, x_2, x_1, x_0) = \sum m(1, 4, 5, 7, 11) + d(0, 12, 14)$$

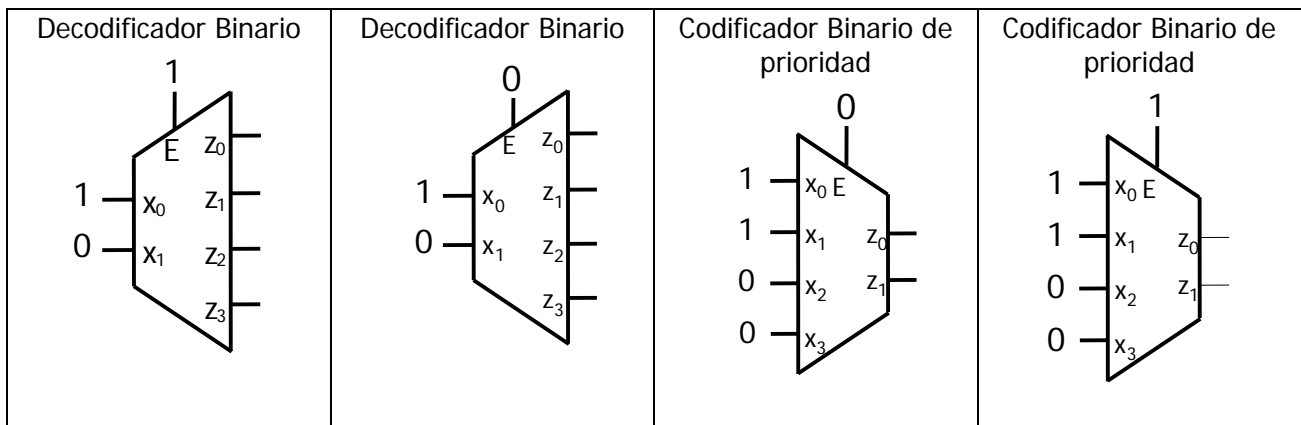
Minimízala e impleméntela (dibuje los circuitos) mediante síntesis AND/OR (Suma de Productos) y OR/AND (Producto de Sumas).

6. (0,50 pto.) Dadas las siguientes funciones de conmutación, en las que “x₀” representa la variable menos significativa:

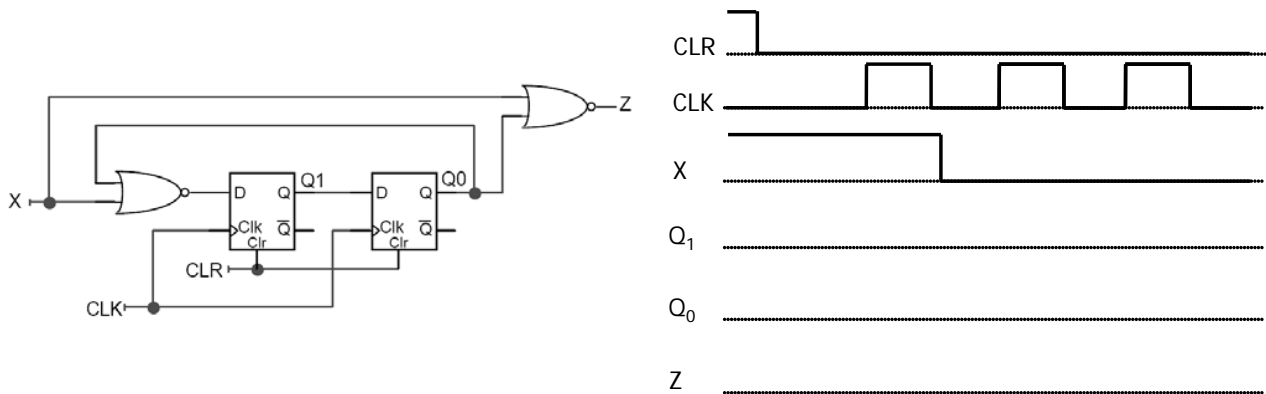
- $f_0(x_2, x_1, x_0) = \sum m(0, 3, 4, 5)$
- $f_1(x_2, x_1, x_0) = \sum m(2, 4, 5, 7)$
- $f_2(x_2, x_1, x_0) = \sum m(0, 1, 3)$

Implemente dichas funciones mediante una ROM de tamaño adecuado. ¿Cuál es el tamaño de dicha memoria ROM?. Dibuje la estructura interna de la ROM con las conexiones adecuadas en el plano OR.

7. (0.50 pto.) Determine las salidas de los siguientes circuitos combinacionales para los valores de las entradas que se indican en cada uno de ellos. La señal E es la de habilitación.



8. (0,75 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura:



9. (0,50 pto.) Un sistema secuencial síncrono tiene dos entradas (A y B), y una salida (Z). Su función es comparar las secuencias que recibe por ambas entradas. Si A = B durante al menos cuatro ciclos de reloj consecutivos, el circuito genera Z = 1 a partir del cuarto ciclo (mientras A = B); en cualquier otro caso, produce Z=0, tal como se refleja en el siguiente ejemplo:

A	=	0 1 1 0 1 1 1 0 0 0 1 1 0 ...
B	=	1 1 1 0 1 0 1 0 0 0 1 1 1 ...
Z	=	0 0 0 0 1 0 0 0 0 1 1 1 0 ...

Obtenga el diagrama de estados y la tabla de estados del sistema secuencial síncrono.

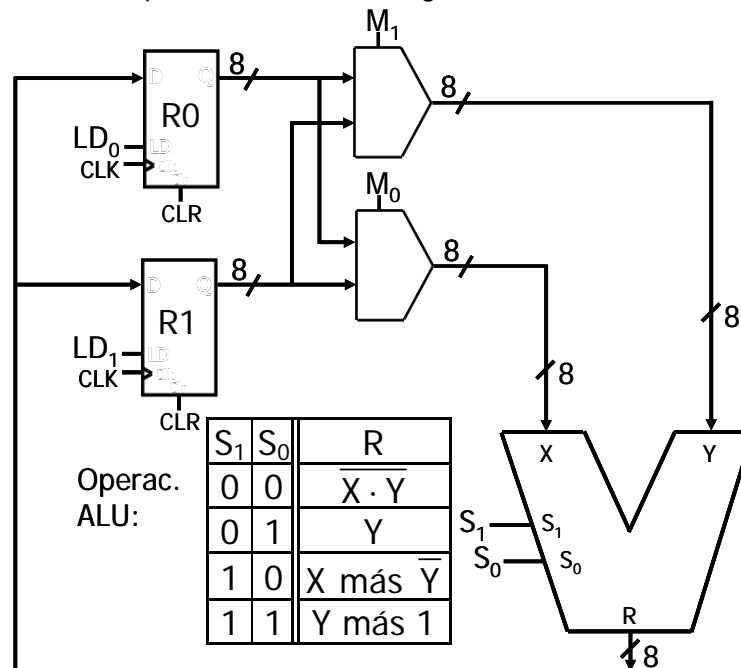
No hace falta hacer el circuito.

10.(1,00 pto.) Diseñe un generador de secuencias que genere cíclicamente la secuencia de salidas siguiente

$$Z = 3, 8, 2, 2, 4, 5 ; 3, 8, 2, 2, 4, 5 ;$$

Utilice para el diseño biestables de tipo D activos por flanco de subida. Dibuje el circuito resultante.

11.(0.75 pto) Para la unidad de procesamiento de la figura:



Complete la siguiente tabla indicando la operación RT que se realiza tras el flanco de subida de la señal de reloj. En la primera fila se ha proporcionado un ejemplo.

LD ₀	LD ₁	M ₁	M ₀	S ₁	S ₀	Operación RT
1	0	0	1	1	0	$R0 \leftarrow R1 \text{ más } \overline{R0}$, R1 No cambia
1	0	1	1	0	1	
1	1	0	0	1	1	
0	1	0	0	0	0	

Formación
Online
Especializada

Clases Online
Prácticas
Becas

**Ponle
nombre**
a lo que
quieres ser

Jose María Girela
Bim Manager.





Apellidos :

Nombre :

Grupo :

D.N.I. :

1. (0,25 pto.) Se quiere diseñar un circuito semisumador y encapsularlo como se muestra en la Figura 1.1. Un estudiante ha diseñado el circuito de la Figura 1.2, pero tiene problemas en el encapsulado. El error está en que le faltan elementos o componentes al circuito de la Figura 1.2 para que se genere correctamente el símbolo asociado en la Figura 1.1. Indique los elementos o componentes que tendría que añadir en el circuito de la Figura 1.2.

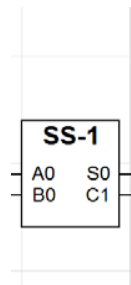


Figura 1.1

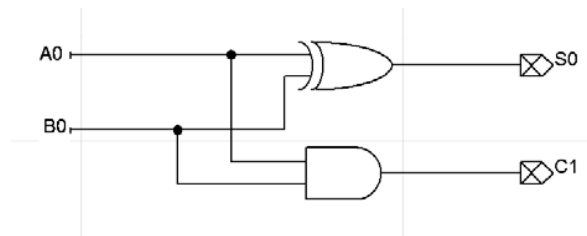


Figura 1.2

2. (0,50 pto.) En la práctica 4, de "realización de una ALU de 4 bits", un estudiante implementó la etapa aritmética sencilla (de un bit) según el esquema de circuito mostrado en la Figura 2.

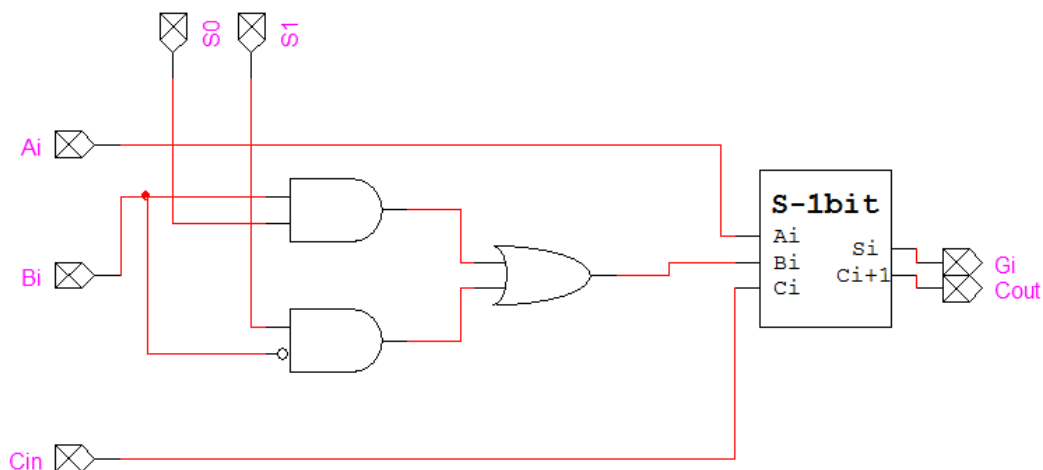


Figura 2

Rellene la Tabla 2.1 indicando la operación que se realiza entre los datos A y B de cuatro bits, que se obtendría en la salida G de la ALU, según las señales de control (S_1 , S_0) que se especifican en dicha Tabla 2.1, considerando la versión de etapa aritmética de la Figura 2.

Señales de control $S_1 S_0$	Operación
00	
01	
10	
11	

Tabla 2.1

3. (0,25 pto.) En la práctica 5.2 "Análisis de un sistema secuencial síncrono" se analizó el circuito secuencial síncrono de la Figura 3. En dicho contexto responda a las siguientes cuestiones:

- ¿En qué estado actual se encuentra el circuito secuencial de la Figura 3 ?
- ¿ Qué estado siguiente se tendrá, tras el próximo flanco activo de reloj?
- Si mantenemos la señal R en $R=1$, en vez de $R=0$, ¿ Qué estado siguiente se tendrá, tras el próximo flanco activo de reloj?

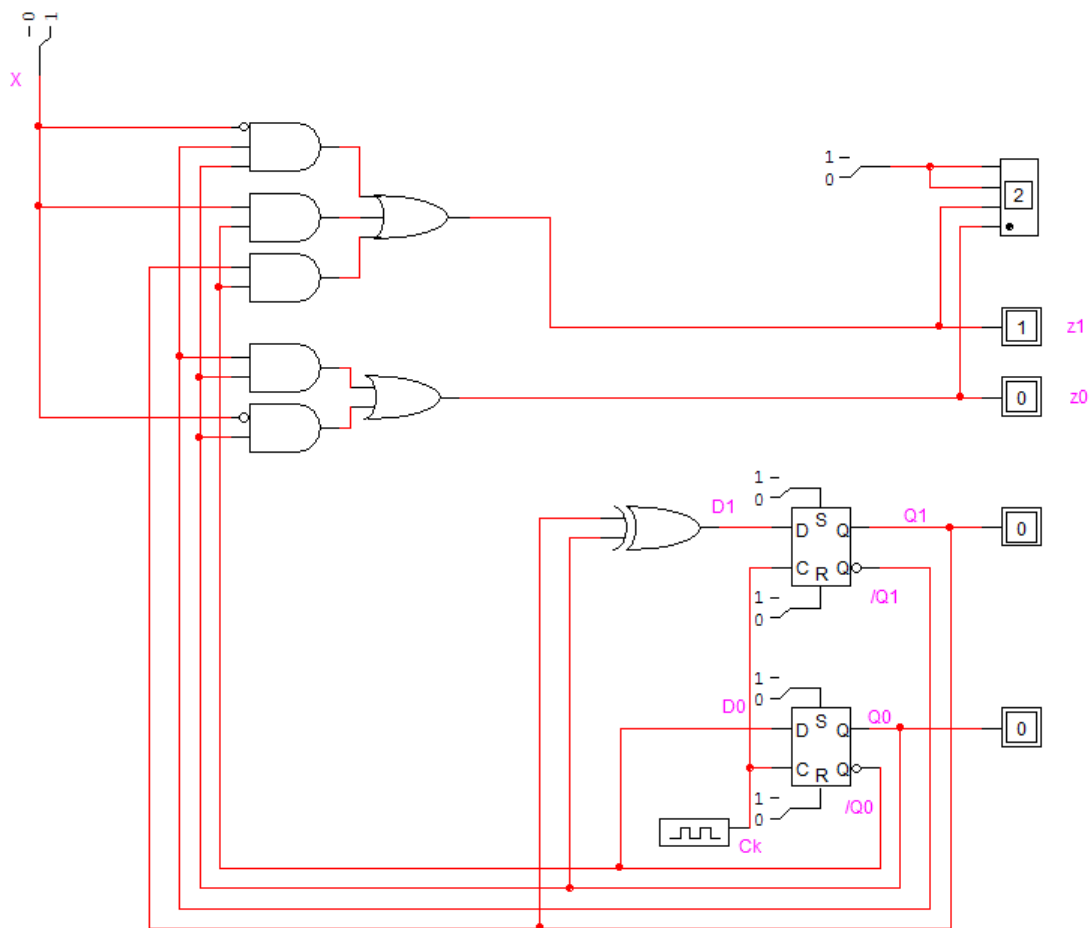


Figura 3



ugr

Universidad
de Granada

DEPARTAMENTO DE ARQUITECTURA Y TECNOLOGÍA DE COMPUTADORES

TECNOLOGÍA Y ORGANIZACIÓN DE
COMPUTADORES
1º Grado en Ingeniería Informática.

GRANADA, 14 de Septiembre de 2012
EXAMEN DE TEORÍA Y PROBLEMAS

Apellidos :

Nombre :

Grupo :

D.N.I. :

EJERCICIOS:

- (1,00 pto.)** Un computador tiene almacenados distintos tipos de ficheros en su disco duro:
 - Un fichero de texto en ASCII Latín 1 que ocupa 1 MB. ¿Qué tamaño ocuparía si se pasara a un fichero de texto UNICODE?
 - Un fichero audio de 1 hora en calidad radio FM (frecuencia de muestreo $f_s = 22,05\text{KHz}$, 2 Bytes/muestra, 2 canales). ¿Qué tamaño (expresado en MBytes) ocuparía dicho fichero?
 - Un fichero de video, de 1 minuto de duración, grabado a 24 imágenes por segundo, con una resolución VGA (640x480 y 1 Byte por cada uno de los tres colores básicos). ¿Qué tamaño (expresado en MBytes) ocuparía dicho fichero?
- (1,00 pto.)** Suponga que un computador trabaja con datos enteros y con longitud de palabra $n = 8$ bits. Dados los datos de la columna de la derecha de la tabla siguiente, indique su representación interna en la forma Signo Magnitud (para el dato -8), Complemento a 1 (para el dato -3), Complemento a 2 (para el dato +7) y Representación Sesgada (para el dato -8, siendo el sesgo de $S = 2^{n-1}$).

	Representación interna	Valor decimal que representa
(Signo Magnitud)		- 8
(complemento 1)		- 3
(complemento 2)		+ 7
(Sesgada)		- 8

- (0,50 pto.)** En un registro está almacenada una cadena de 32 bits, que en hexadecimal viene dada por $\text{COCO } 0000_{\text{H}}$. Esta cadena representa a un dato numérico en coma flotante en formato IEEE 754, precisión sencilla. Indicar el valor numérico real de dicho dato (Nota: El sesgo del exponente es 127 para IEEE 754, precisión sencilla y números normalizados).
- (0,50 pto.)** Analice el circuito de la figura 1 y obtenga razonadamente la tabla de verdad de la función de conmutación $Z(X,Y)$ resultante.

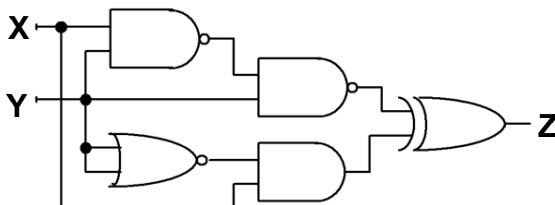


Figura 1

5. (0,50 pto.) Dada la siguiente función de conmutación, en la que "x₀" representa la variable menos significativa:

$$f(x_3, x_2, x_1, x_0) = \sum m(0, 1, 4, 11, 14, 15) + d(10, 12, 13)$$

Minimicela e impleméntela (dibuje los circuitos) mediante síntesis AND/OR (Suma de Productos) y OR/AND (Producto de Sumas).

6. (0,50 pto.) Dadas las siguientes funciones de conmutación, en las que "x₀" representa la variable menos significativa:

- $f_0(x_2, x_1, x_0) = \sum m(0, 3, 7)$
- $f_1(x_2, x_1, x_0) = \sum m(1, 2, 6)$
- $f_2(x_2, x_1, x_0) = \sum m(1, 2, 3, 4, 5, 6)$

Implemente dichas funciones mediante una ROM de tamaño adecuado. ¿Cuál es el tamaño de dicha memoria ROM?. Dibuje explícitamente la estructura interna de la ROM con las conexiones adecuadas entre el plano AND y el plano OR.

7. (0,75 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura 2:

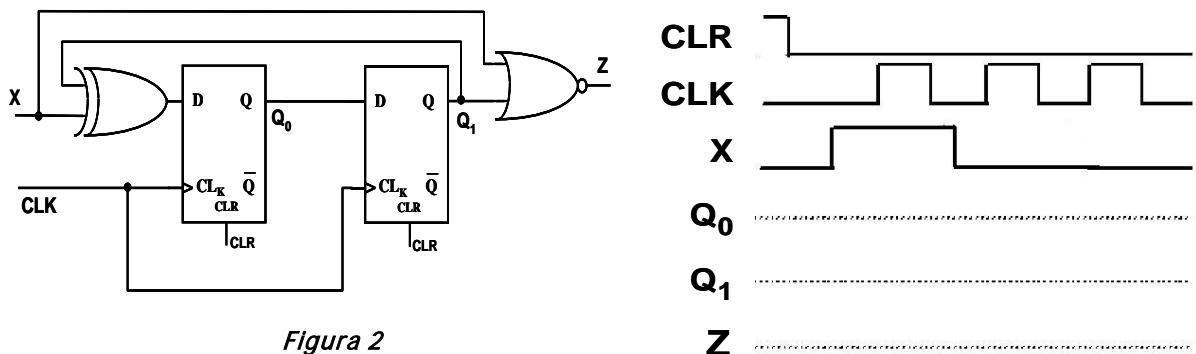


Figura 2

8. (0,50 pto.) Dado el diagrama de estados de la figura 3 que describe el comportamiento de un circuito secuencial síncrono, conteste a las cuestiones siguientes: **a)** Número mínimo de biestables necesarios para implementar el circuito. **b)** El circuito es un detector de secuencia. Indique la secuencia principal que, una vez detectada, hace poner su salida Z a 1. **c)** Rellene la segunda fila de la tabla, especificando la secuencia de unos y ceros que se tendría en la salida Z del circuito, según la secuencia de entrada X indicada en dicha tabla.

Diagrama de estados

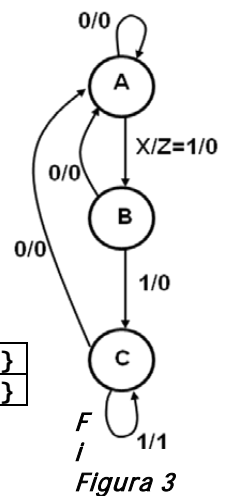
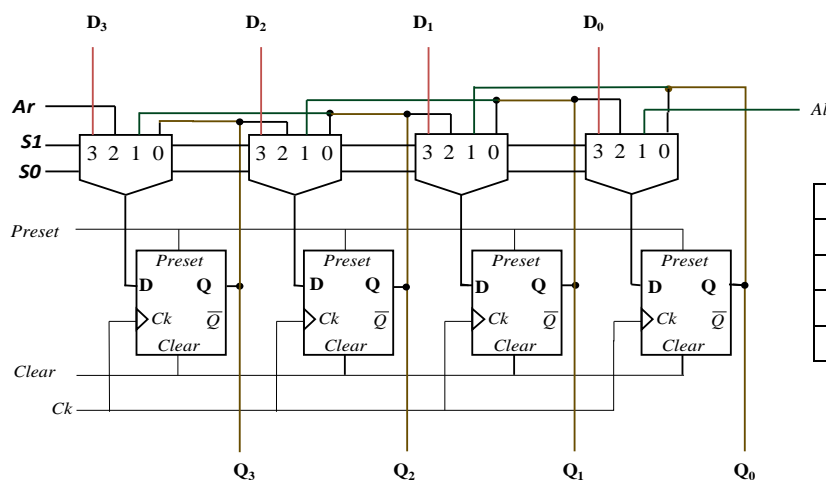


Figura 3

X={	0	0	1	0	1	0	0	1	1	1	0	1	1	1	1	0	1	0	0	}
Z={																				}

9. (0,50 pto.) El circuito de la figura 4 es un registro de desplazamiento universal, que realiza las operaciones siguientes: Desplazar a derecha, Desplazar a izquierda, Carga paralelo y Mantener Valor (Hold). Indique para cada una de estas operaciones qué valores han de tomar las señales de control S1 y S0.



Operación	S1	S0
Desplazar a derecha		
Desplazar a izquierda		
Mantener valor (Hold)		
Carga paralelo		

Figura 4

10. (1,00 pto.) Diseñe un generador de secuencias que genere cíclicamente la secuencia de salidas siguiente:

$$Z = \{ 0, 9, 6, 6, 9, 0, 15 ; 0, 9, 6, 6, 9, 0, 15 ; .. \}$$

11. (0,75 pto) Para la unidad de procesamiento de la figura:

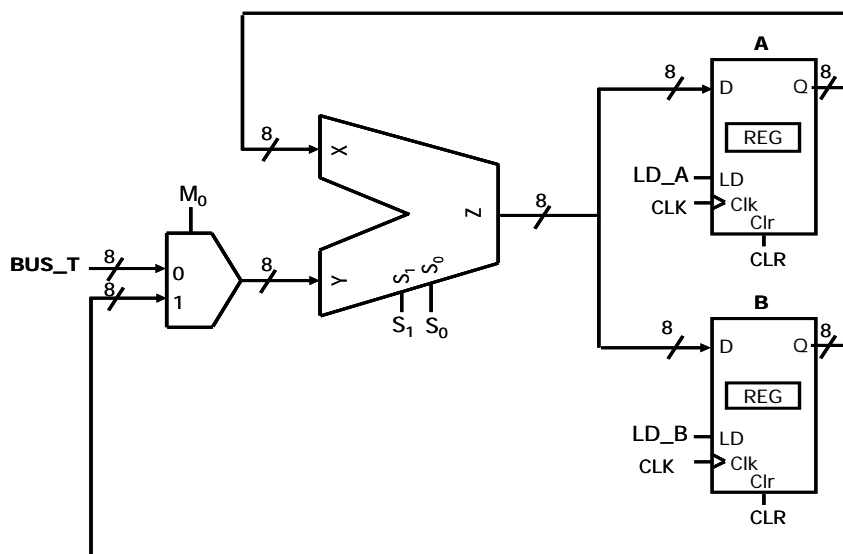


Tabla de Operaciones de la ALU

S1	S0	Z
0	0	X MAS Y
0	1	Y
1	0	$\overline{X \cdot Y}$
1	1	Y MAS 1

Complete la siguiente tabla indicando la operación RT que se realiza tras el flanco de subida de la señal de reloj. En la primera fila se ha proporcionado un ejemplo.

LD_A	LD_B	M0	S1	S0	Operación RT
1	0	1	1	1	$A \leftarrow B \text{ MAS } 1, B \text{ no cambia}$
1	0	1	0	1	
1	1	0	0	0	
0	1	1	1	0	

Apellidos :

Nombre :

Grupo :

D.N.I. :

1. (0,50 pto.) En la práctica 2 se realizó un conversor de código para activar un visualizador de siete segmentos como el que se muestra en la figura. Se tuvo que rellenar la tabla anexa (que se facilita rellena, salvo para los símbolos 3, 4 y 5, números 3, 4 y 5 en la tabla). Implementar el circuito necesario para realizar todas estas funciones con una memoria ROM de 8 palabras de 7 bits (un bit para cada segmento, tal y como se tiene en la tabla).

CÓDIGO Entrada (x_2, x_1, x_0)	Nº	a	b	c	d	e	f	g
000	0	1	1	1	1	1	1	0
001	1	0	1	1	0	0	0	0
010	2	1	1	0	1	1	0	1
011	3							
100	4							
101	5							
110	6	1	0	1	1	1	1	1
111	7	1	1	1	0	0	0	0

Tabla 1.1

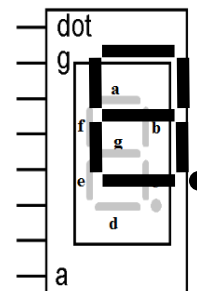


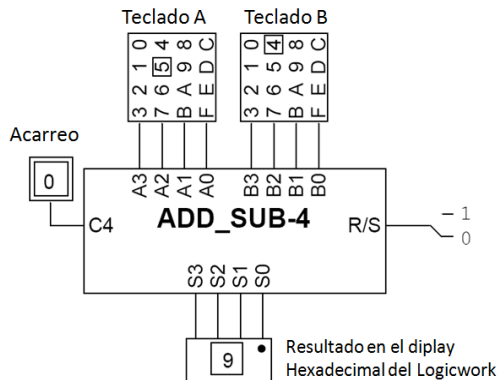
Figura 1.1

Obtener las expresiones canónicas como suma de minterms, en la forma $a(x_2, x_1, x_0) = \sum m(\dots)$. Es decir, rellene las siguientes expresiones (Nota: No hay que minimizar las funciones).

- $a(x_2, x_1, x_0) = \sum m(\dots)$
- $b(x_2, x_1, x_0) = \sum m(\dots)$
- $c(x_2, x_1, x_0) = \sum m(\dots)$
- $d(x_2, x_1, x_0) = \sum m(\dots)$
- $e(x_2, x_1, x_0) = \sum m(\dots)$
- $f(x_2, x_1, x_0) = \sum m(\dots)$
- $g(x_2, x_1, x_0) = \sum m(\dots)$

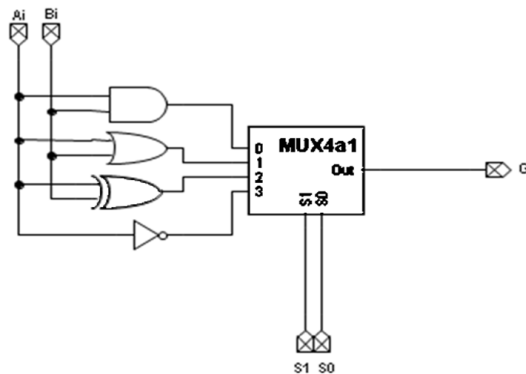
2. (0,25 pto.) En la práctica 3 se comprobaba el funcionamiento de un sumador/restador (en complemento a dos). Se realizaban distintas operaciones de sumas y restas teóricamente y se comprobaban experimentalmente con el simulador sus resultados.

Indicar el resultado de cada una de las siguientes operaciones (resultado y acarreo), tras presionar las teclas marcadas en los teclados hexadecimales (tal y como aparece en la figura).



Teclado A	Teclado B	R/S (suma/resta)	Acarreo	Resultado
5	4	0	0	9
4	5	1		
3	2	1		
A	F	0		

3. (0,25 pto.) En la práctica 4 se simularon los circuitos para realizar algunas operaciones lógicas como parte de una ALU. Se tenía el siguiente circuito. Indicar las operaciones que se realizan con distintos valores en las entradas de control (S_1 , S_0). Es decir, rellenar la tabla de más abajo.



Señales de control $S_1 S_0$	Operación
00	Ejemplo: A · B
01	
10	
11	