

Tarea #6
(Para entregar el 17 de setiembre de 2020)
Integración de muxes y manejo de bits válidos

Al igual que en la Tarea #1 tome el tiempo que demora en hacer cada una de las cosas solicitadas: búsqueda de información, diseño, elaboración de las pruebas, ejecución de las simulaciones, etc.

Evaluación

- | | |
|--|-----|
| 1. Funcionamiento del diseño: | |
| a. Mux 2:1 (2 bits) con bit de valid | 10% |
| b. Mux 2:1 (4 bits) con bit de valid (a partir de bloques a)) | 10% |
| c. Mux 4:1 (4 bits) con bit de valid (a partir de bloques a) y b)) | 25% |
| d. Síntesis de c | 25% |
| 2. Reporte del Proyecto | 10% |
| 3. Makefile | 5% |
| 4. Uso de *AUTOINST* | 15% |

Trabajo a realizar sobre el dispositivo a diseñar

1. Haga una copia del testbench y todas las instancias del mux con selector automático de las tareas 2 a 5. Tome la descripción conductual y agregue una señal de valid a ambas entradas de datos y una señal de valid a la salida, que indicarán cuando un dato es válido. Si el dato no es válido, se mantiene el valor anterior. El valid tendrá un efecto similar al de un enable. Verifique el funcionamiento del modelo conductual, sintetice con Yosys, y verifique que ambas descripciones se comportan igual. Utilice un makefile para la automatización de pruebas y síntesis, utilice *AUTOINST* para la instancia del módulo en el testbench.
2. Diseñe b) y c) siguiendo los pasos de 1.
3. El entregable tendrá una estructura similar a la de la Figura 1.

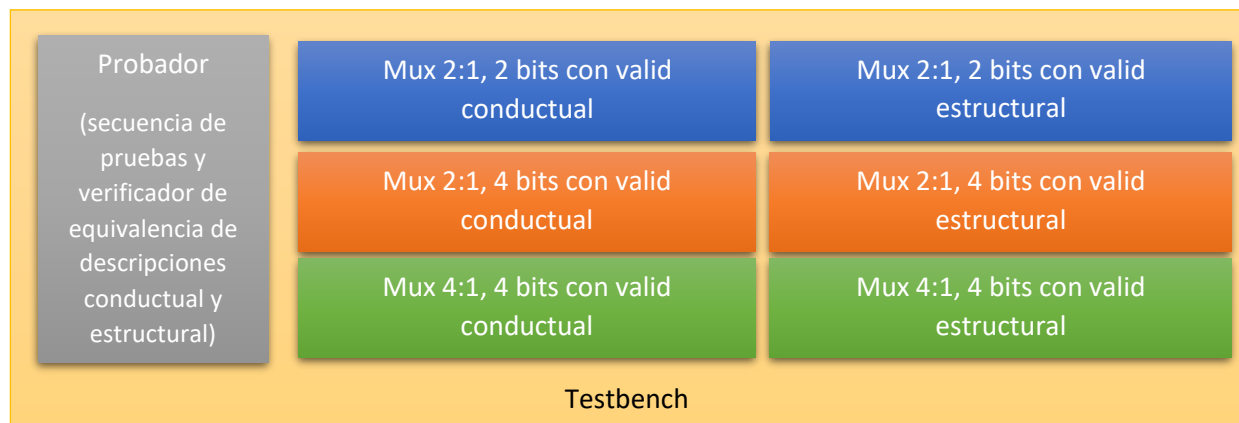


Figura 1. Estructura de módulos Tarea #6.