

Tarea #3 y Tarea #4

(Entrega 3 de setiembre de 2020)

Descripción estructural del multiplexor y biblioteca de componentes

*Al igual que en la **Tarea #1** tome el tiempo que demora en hacer cada una de las cosas solicitadas: búsqueda de información, diseño, elaboración de las pruebas, ejecución de las simulaciones, etc.*

Evaluación

- | | |
|-------------------------------------|-----|
| 1. Funcionamiento del diseño: | |
| a. Biblioteca y pruebas | 25% |
| b. Código instrumentación y pruebas | 20% |
| c. Descripción estructural | 45% |
| 2. Reporte | 10% |

Trabajo a realizar sobre el dispositivo a diseñar

Para esta tarea se deben diseñar una biblioteca de componentes, una descripción estructural y código de instrumentación:

1. Desarrollar una biblioteca de dispositivos lógicos basada en componentes electrónicos disponibles en el mercado. El propósito de esta biblioteca es poder construir una descripción estructural del demultiplexor que simule el diseño lo más apegado a la realidad posible. La biblioteca consistirá de seis componentes: **flip-flop**, compuerta **AND** de dos entradas, compuerta **OR** de dos entradas, **inversor**, **multiplexor de 2:1 de 1 bit** (construido con los componentes anteriores) y **multiplexor 2:1 de 2 bits** (construido con los componentes anteriores). En detalle, se requiere realizar las siguientes tareas:
 - a. Busque en internet (www.ti.com es un excelente sitio para comenzar) y seleccione los componentes que se tendrán en la biblioteca.
 - b. Para cada componente seleccionado, recoja la siguiente información:
 - i. Costo por componente, ya sea precio unitario o precio por lote de unidades.
 - ii. Descargue la hoja de datos del fabricante para obtener las características de temporización del componente y el consumo de potencia.
 - c. Escriba una descripción en Verilog para cada uno de los componentes seleccionados que incluya los detalles de temporización como tiempos de propagación (tpdh y tpdI) entre las distintas entradas y las salidas. Las compuertas AND, OR y NOT las puede construir con las compuertas fundamentales de Verilog más los tiempos de propagación. El flop lo puede construir con un bloque "always posedge clk".

- d. Defina un plan de pruebas para cada componente de la biblioteca para validar tanto su comportamiento funcional lógico como su comportamiento temporal.
- 2. Construya una descripción estructural del multiplexor de la Tarea #2, utilizando la biblioteca construida en el punto 1. Tome como referencia el diagrama del circuito y la descripción conductual de la Tarea #2.
 - a. En el Banco de Pruebas de la Tarea #2 (no olvide crear un respaldo de la Tarea #2), cree una instancia de la descripción estructural del multiplexor, debe estar en el mismo sitio de la descripción conductual. Conecte la descripción estructural (entradas y salidas) con el probador.
 - b. Diseñe un *checker* para poder comparar el funcionamiento de ambas descripciones, dentro del probador.
 - c. Diseñe un contador de transiciones positivas del ejemplo del interruptor de luz y conéctelo a las salidas de ambas descripciones, dentro del probador.
 - d. Calcule la frecuencia teórica máxima de operación del multiplexor (camino lógico más extenso), luego haga una prueba modificando la frecuencia real para verificar que el valor teórico es el mismo del circuito diseñado, subiendo la frecuencia de valores bajos a altos hasta encontrar el punto en que ambas descripciones son distintas.

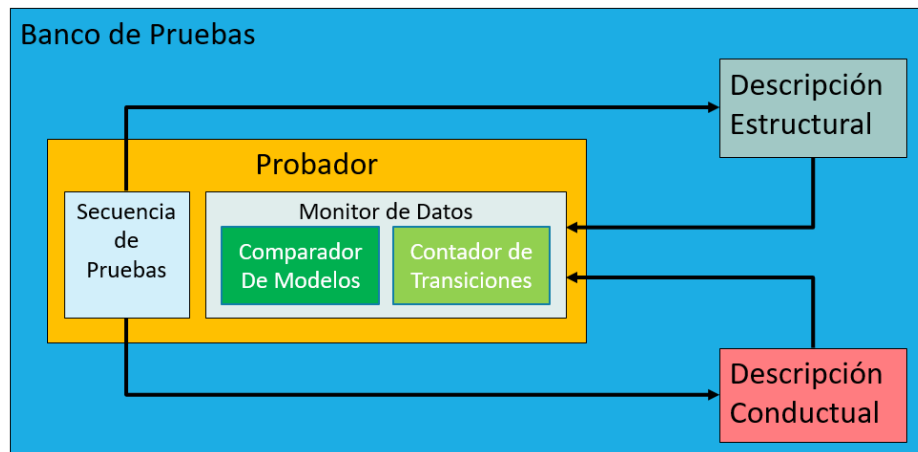


Figura 1. Banco de pruebas con descripción conductual y estructural conectado con el comparador de modelos y el contador de transiciones.

Guía para el reporte

Se debe entregar en forma electrónica un documento que incluya los siguientes puntos en a lo sumo 10 páginas de longitud:

1. **Distribución del tiempo invertido en la tarea.**
2. **Descripción arquitectónica o diagrama del circuito.**
3. **Plan de Pruebas:** Descripción de las pruebas realizadas.
4. **Instrucciones de utilización de la simulación:** Describir cómo correr las pruebas mediante el makefile.
5. **Ejemplos de los resultados:** Una descripción de los resultados más importantes acompañados de los diagramas temporales de la simulación (GTKWave) o cualquier otra salida que demuestre claramente el comportamiento descrito. No es necesario incluir una muestra exhaustiva de resultados, sino que los más representativos del diseño. El punto es mostrarle al lector los comportamientos más sobresalientes para formarle una idea clara del funcionamiento del diseño.
6. **Análisis y conclusiones:** Analice los resultados y enumere los inconvenientes durante la tarea.