

Bitácora proyecto digitales:

(24/10/2020, 3 horas, Roberto): Creación de módulo de memoria.
(25/10/2020, 4 horas, Alberto): Creación de máquina de estados.
(26/10/2020, 6 horas, José Pablo): Creación FIFO y su lógica con memoria.
(26/10/2020, 1 hora, Roberto): Plan de pruebas.
(26/10/2020, 20 minutos, Alberto): Plan de pruebas parte de máquina de estados.
(3/11/2020, 4 horas, Roberto): Árbitro completo.
(3/11/2020, 1 hora, reunión grupal): Reunión en zoom
(3/11/2020, 4,5 horas, José Pablo): Lógica inicial, comunicación entre FIFO main y FIFO VC0 y VC1, creación del demux inicial.
(3/11/2020, 5 horas, Alberto): Mejoras a la Lógica inicial, FIFO main conectando la retroalimentación del FIFO VC0 y VC1.
(4/11/2020, 5 horas, Roberto): Final logic
(5/11/2020, 2 horas) Reunión en zoom
(9/11/2020, 3 horas): Unión de bloques initial logic y final logic.
(10/11/2020, 3 horas, Roberto): Búsqueda de bugs y corrección
(10/11/2020, 3 horas, Alberto): Unión de la máquina de estados al circuito completo, todo unido. Modificación de la lógica completa
(16/11/2020, 4 horas, Roberto): Corrección del árbitro, no se logró.
(17/11/2020, 3 horas): Búsqueda de errores debido a pruebas de un solo tipo de tráfico
(17/11/2020, 7 horas, Alberto): Búsqueda y corrección de errores debido a retrasos en la prueba de llenado y vaciado.
(17/11/2020, 2 horas) Reunión en zoom
(19/11/2020, 4 horas, Roberto): Detalles finales y pruebas finales con bancos específicos
(20/11/2020, 3 horas, Alberto): Corrección de errores en FIFOs debido a sus señales de error y full. Verificación de prueba de error
(24/11/2020, 3 horas, todos): Presentación y práctica