

PCI capa de transmisión

Circuitos Digitales II

Roberto Sánchez Cárdenas

Alberto Mata Rojas

José Pablo Camacho Cerdas

Escuela de Ingeniería Eléctrica, Universidad de Costa Rica

Tabla de contenidos

1. Introducción
2. Plan de Pruebas y resultados
3. Conclusiones y recomendaciones
4. Anexos

Introducción

Este proyecto consiste en realizar una capa de transacción PCIe adaptada con su respectiva lógica de conmutación en Verilog.

Diseño:

1. Módulos por separado: **FIFOS, MUX, Árbitro, Lógica Combinacional, Máquina de Estados.**
2. Unión en dos módulos secundarios: **Initial Logic, Final Logic.**
3. Unión de módulo primario: **Full Logic**
4. Verificación sobre el diseño.
5. Corrección de errores.

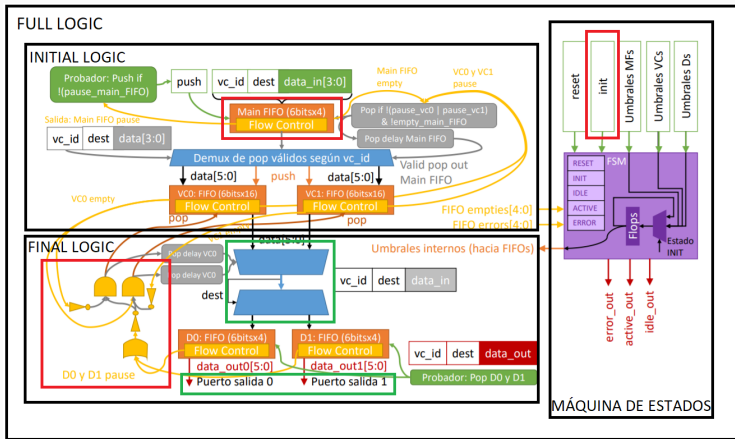


Figure 1: Diseño implementado. Creación propia.

Introducción

¿Qué es un PCIe?

- Es un componente que permite la conexión de periféricos a altas velocidades.
- Actualmente se encuentra la quinta generación, que permite velocidades de 3938,4MB/s por carril.
- Van desde 1 carril a 16 carriles.
- La capa de transmisión se encarga de decidir cuando enviar y cuando mantener en espera.

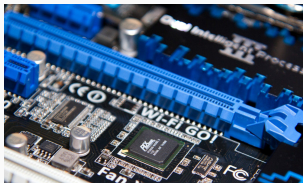


Figure 2: PCIe

Plan de Pruebas y resultados

Conductual vs estructural

Ambas descripciones tienen un comportamiento adecuado, es decir: coinciden

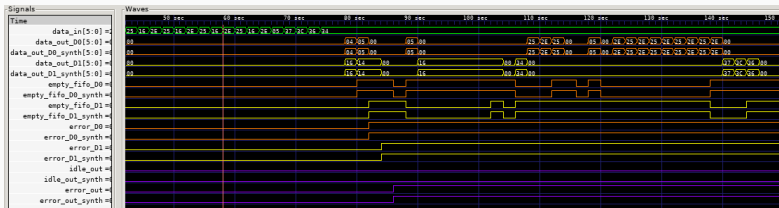


Figure 3: Salidas conductuales y estructurales

Prueba de llenado

Main FIFO:

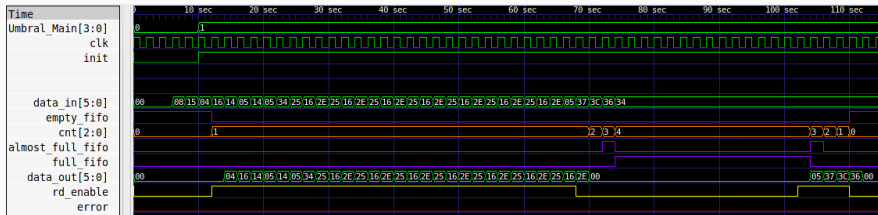


Figure 4: Main FIFO en prueba de llenado

Prueba de llenado

FIFOs VC0 y VC1:

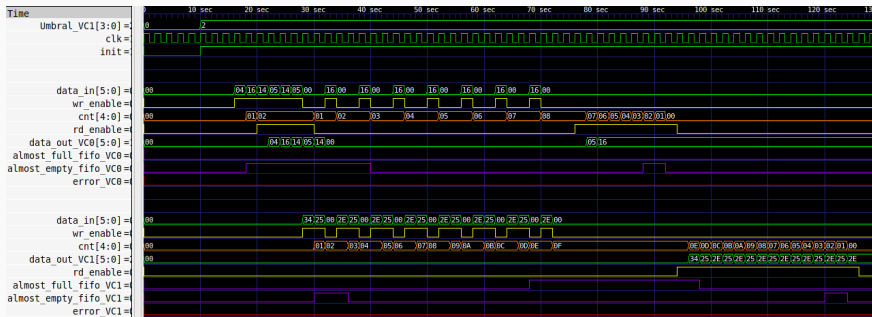


Figure 5: FIFOs VC0 y VC1 en prueba de llenado

Prueba de llenado

FIFOs D0 y D1:

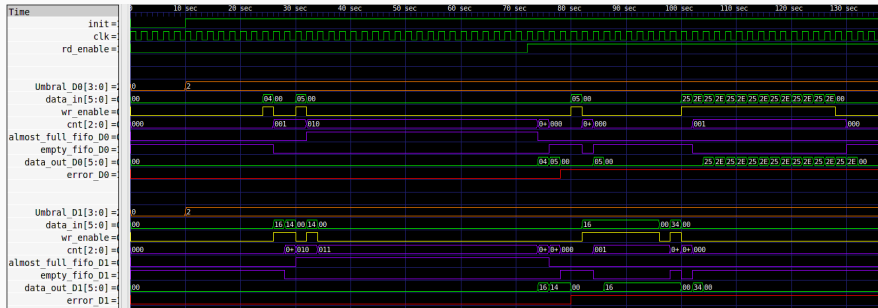


Figure 6: FIFOs D0 y D1 en prueba de llenado

Prueba de errores

Errores en D0, D1 y main

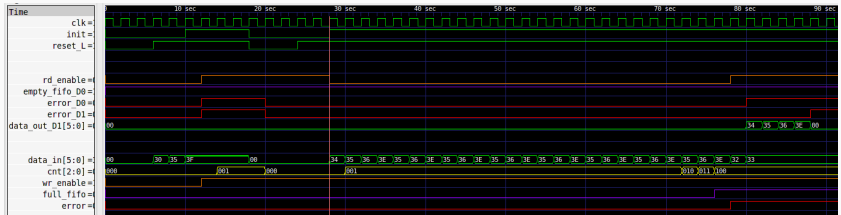


Figure 7: Prueba de errores

Máquina de estados:

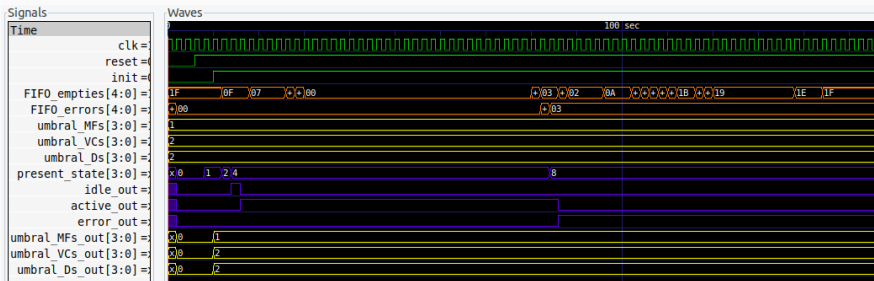


Figure 8: Máquina de estados en prueba de llenado

Prueba de umbrales

Umbrales:

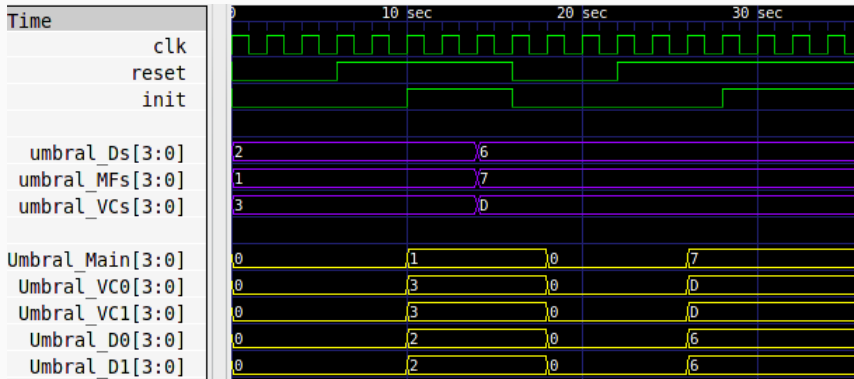


Figure 9: Prueba de umbrales

Prueba de un camino único a la izquierda

Señal de los Fifos Main, VC0 y D0:

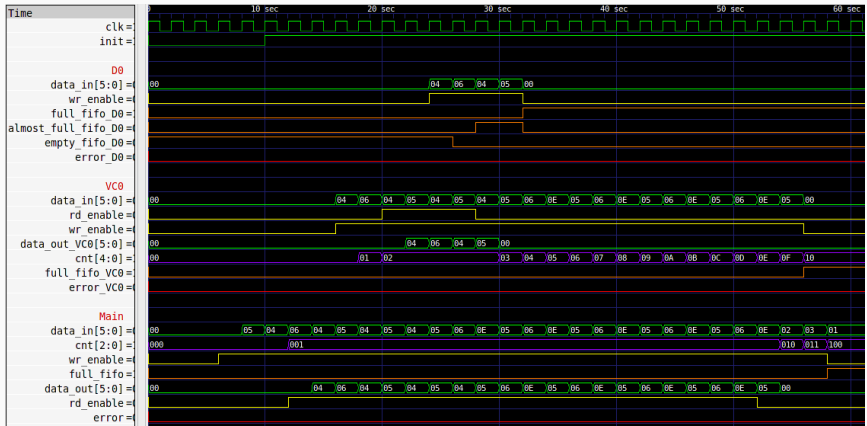


Figure 10: Prueba de un camino único a la izquierda

Prueba de un camino único a la derecha

Señal de los Fifos Main, VC1 y D1 :

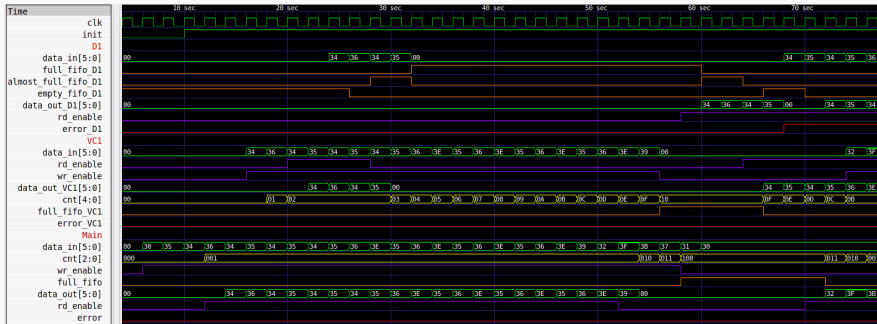


Figure 11: Prueba de un camino único a la derecha

Prueba de Latencia y Tasa de Salida de Datos

- Latencia = 18s
- Tasa de salida de datos = 3 bits/s

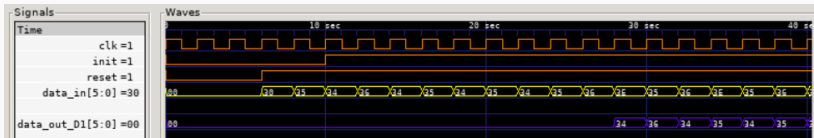


Figure 12: Prueba de latencia.

Conclusiones y recomendaciones

- Algunos módulos funcionan más rápido que otros, por lo que hubo que generar retrasos.
- Fue necesario tener señales retrasadas de pop delay, que permite sacar los datos en los tiempos correctos.
- La señal de valid funciona como un push.

Conclusiones y recomendaciones

- Al transmitir señales *"sin información"*, darles un valor de 0 para no transmitir señales indeterminadas.
- Programar pensando en el caso universal y no realizar pruebas específicas para los problema que surgen.
- Siempre es necesario inicializar señales y contadores para no tener problemas a la hora de sintetizar.

Anexos

- Se define como la capacidad de un buen servicio.
- Conjunto de requisitos de servicio que la red debe de cumplir para asegurar un **nivel adecuado** para la transmisión de datos.
- Esto permite que los programas en tiempo real optimicen el uso de ancho de banda de la red.
- Tecnologías que garantizan

- Durante la comunicación y conexión de dispositivos digitales, se utiliza un árbitro el cual prioriza la información que debe de pasar de un dispositivo a otro. El árbitro decide que paquetes de datos deben de reflejarse en la salida según la aplicación del circuito y las condiciones de este.
- Como la cantidad de buses de datos incrementan en un chip, es necesaria una dependencia en un correcto esquema de arbitraje.

- El flujo de control basado en prioridades se basa en la idea de que no existan datos que se pierdan en el camino de dato.
- Mediante esta herramienta cuando los canales con prioridad se encuentran vacíos va a transmitir estos datos, mientras que si este está vacío se transmiten los datos de los canales no prioritarios.

- En un sistema basado en créditos el receptor no debe de proporcionar grandes Buffers para el control de flujo, ya que el remitente tiene conocimiento de el espacio restante en los Buffers del receptor.
- Si no se garantiza ningún crédito (espacio) en el lado del receptor, el remitente no enviará sus datos porque sabe que los datos se perderán. Si el lado del receptor tiene más espacio de Buffer, enviará actualizaciones de crédito al remitente notificando al remitente que hay más espacio disponible.

PCI capa de transmisión

Circuitos Digitales II

Roberto Sánchez Cárdenas

Alberto Mata Rojas

José Pablo Camacho Cerdas

Escuela de Ingeniería Eléctrica, Universidad de Costa Rica