

Lista de Exercício

Exercício 1

Considere o seguinte trecho de código do MIPS:

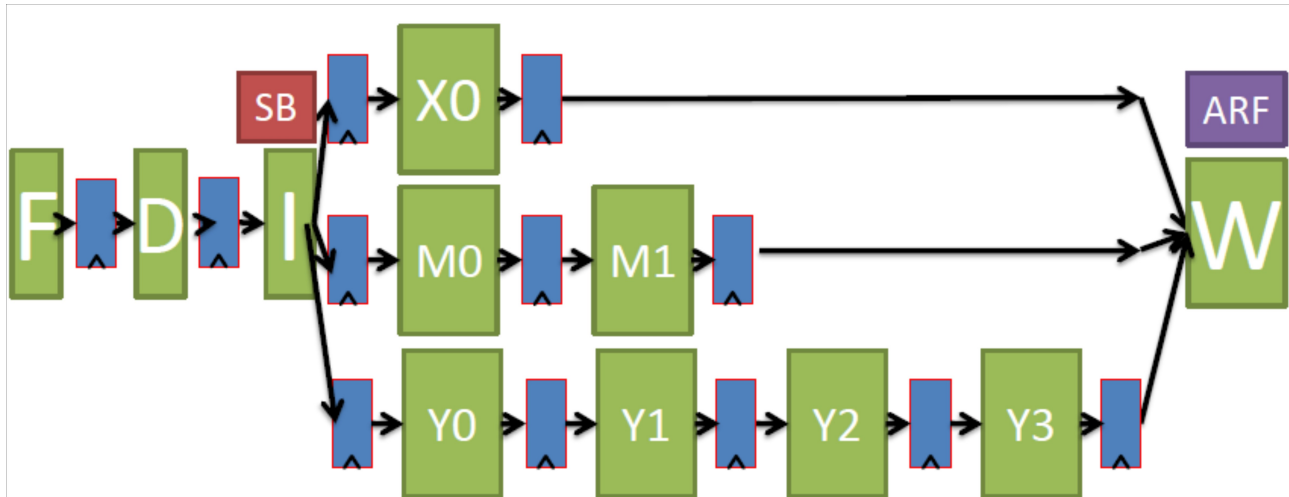
```
LW    $t1, 100($t0)
LW    $t2, 104($t0)
LW    $t3, 108($t0)
LW    $t4, 112($t0)
ADD   $S0, $t1, $t2
MUL   $S1, $t3, $t4
SUB   $A0, $S1, $S0
```

- (a) Traduza o código acima, de uma forma eficiente, para uma arquitetura do tipo acumulador. Deixe claro as considerações necessárias. Se desejar, apresente uma imagem ilustrativa desta máquina.
- (b) Apresente as vantagens e as desvantagens da arquitetura proposta no item (a) em comparação ao MIPS.
- (c) Traduza o código acima, de uma forma eficiente, para uma arquitetura do tipo pilha. Deixe claro as considerações necessárias. Se desejar, apresente uma imagem ilustrativa desta máquina.
- (d) Apresente as vantagens e as desvantagens da arquitetura proposta no item (c) em comparação ao MIPS.

Exercício 2

Considere o processador I2O2 visto em sala e apresentado abaixo. Além disso, resolva todos os itens da questão considerando o seguinte código:

Processador I2O2



Código:

```

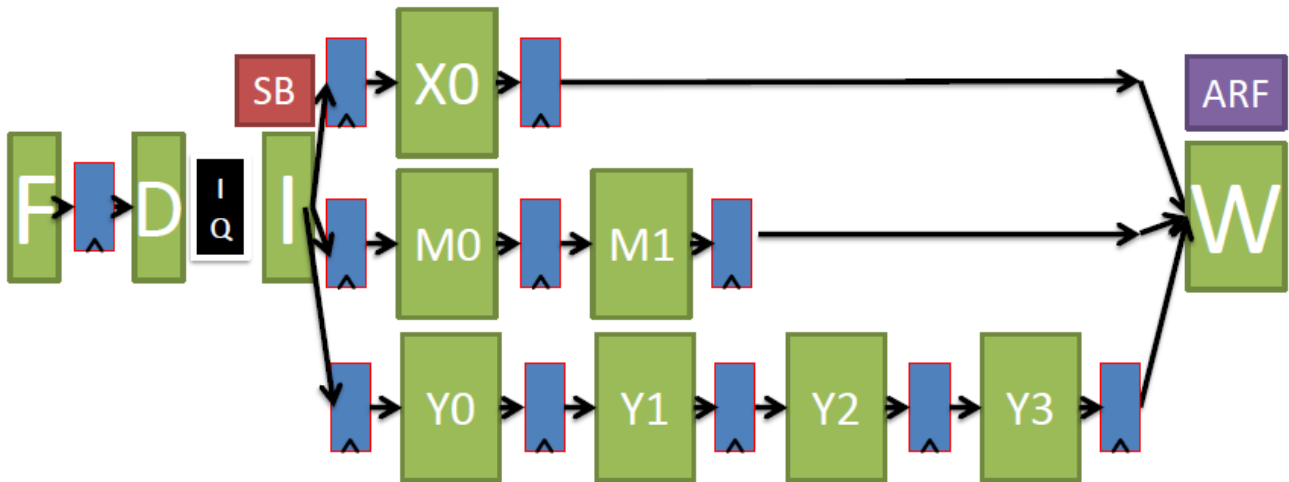
1:  MUL  R1, R2, R3
2:  ADD  R4, R2, R1
3:  MUL  R2, R7, R8
4:  LW   R10, 0(R12)
5:  MUL  R4, R10, R1
6:  SW   R4, 0(R2)
7:  ADD  R5, R6, R7
8:  ADD  R4, R3, R1
9:  BNE  R4, R0
10: ADDI R3, R1, 10
    
```

(a) Mostre o diagrama do pipeline deste trecho de código, considerando que o desvio da instrução 9 é não-tomado e a instrução 10 pode ser disparada em seguida. Encaminhamentos são permitidos.

(b) Mostre o estado do Scoreboard quando a instrução 3 está no estágio I do pipeline. Encaminhamentos são permitidos.

	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							

(c) Considere agora o processador IO3 visto em aula e apresentado abaixo. Como fica o novo diagrama do pipeline? Apenas uma instrução pode ser disparada por vez. Quando a instrução está no IQ esperando o disparo, considere como estágio i.



(d) Se ocorrer um problema de desalinhamento de memória no estágio M1 da instrução 6, quais problemas para o tratamento da interrupção.

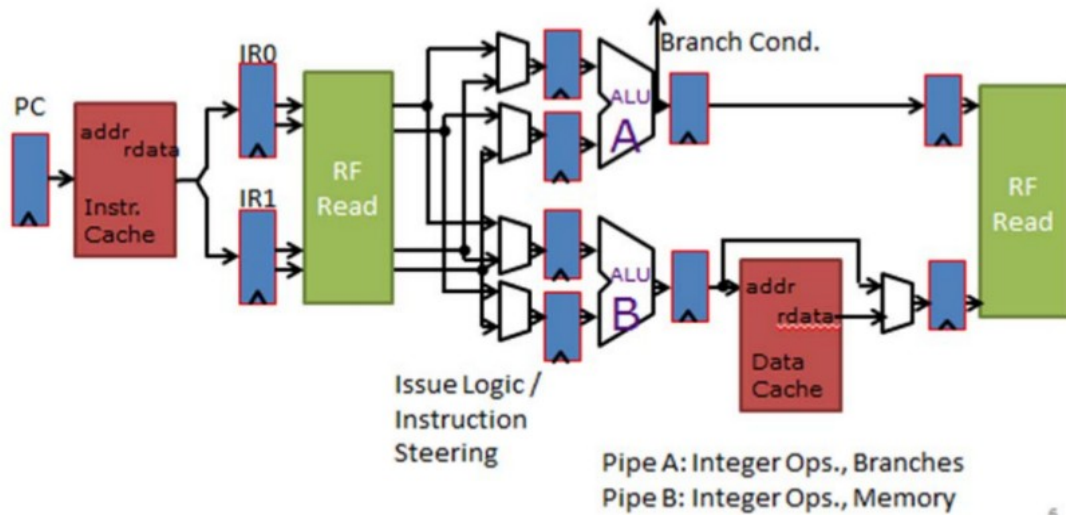
(f) Como resolver este problema sem reescalonar o código e sem perder desempenho? Mostre uma imagem que ilustre a sua alternativa e descreva os detalhes.

Exercício 3

(a) Mostre o diagrama de pipeline para o programa abaixo considerando o pipeline de 5 estágios do MIPS para instruções inteiras. A instrução MUL é executada por uma unidade funcional exclusiva por 4 estágios. Considere apenas uma ALU e uma unidade funcional de multiplicação. Considere todos os tipos de encaminhamento (forwarding).

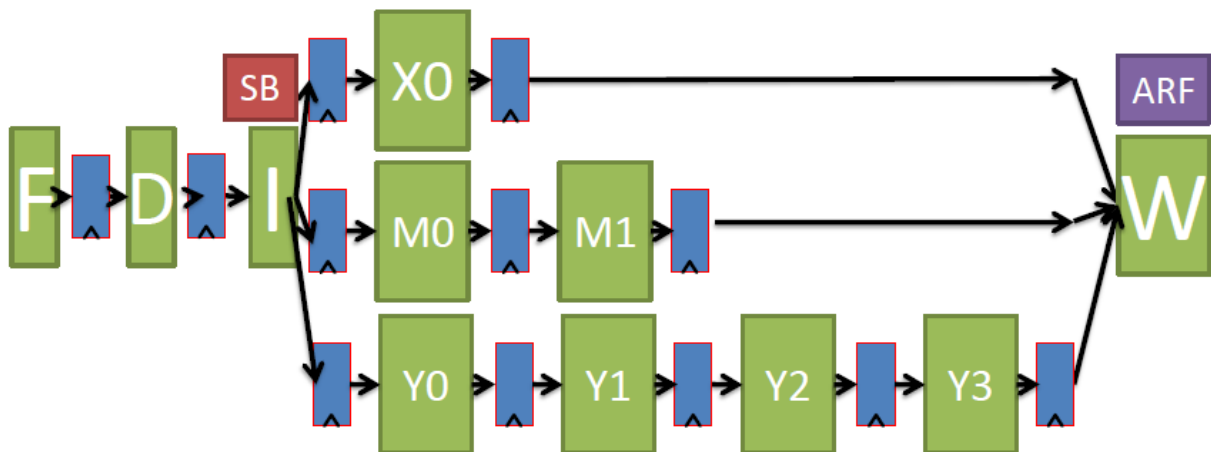
0: ADD	R15, R2, R3
1: SUB	R1, R12, R16
2: ADDIU	R11, R10, 1
3: MUL	R5, R1, R4
4: MUL	R7, R5, R6
5: ADDIU	R18, R11, 1
6: ADDIU	R14, R18, 1
7: ADDIU	R13, R18, 2
8: SW	R5, 0(R14)
9: SW	R7, 0(R14)

(b) Mostre o diagrama do pipeline do código abaixo sendo executado no **processador superescalar de 2-vias em ordem** apresentado abaixo. Assuma que desvios só são executados no pipeline A e load/store só são executados no pipeline B. Considere encaminhamento quando possível e nenhum problema de alinhamento.



ADD	R5, R6, R7
SUB	R6, R7, R8
LW	R10, 0(R6)
ADDIU	R12, R13, 1
LW	R15, 4(R6)
LW	R15, 4(R15)
ADD	R6, R9, R10
ADDIU	R8, R10, R11

(c) Considere o processador I2O2 visto em sala e apresentado abaixo. Mostre o estado do Scoreboard a cada ciclo da execução do código abaixo. Encaminhamentos são permitidos.



Processador I2O2

Código:

MUL R1, R2, R3
ADD R4, R2, R1
LW R3, 20(R4)
ADD R4, R3, R2

	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
--	---	---	---	---	---	---	---

R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							
	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
--	---	---	---	---	---	---	---

R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							
	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
--	---	---	---	---	---	---	---

R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							

	P	F	4	3	2	1	0
R1							
R2							
R3							
R4							