

Arquitetura de Computadores

PROF. ISAAC

Organização do processador

Organização do processador

O processador executa os seguintes passos:

Busca da instrução: o processador lê uma instrução da memória (registrador, cache, memória principal).

Interpretação da instrução: a instrução é decodificada para determinar qual ação é necessária.

Busca dos dados: a execução de uma instrução pode necessitar a leitura de dados da memória ou de um módulo de E/S.

Processamento dos dados: a execução de uma instrução pode necessitar efetuar alguma operação aritmética ou lógica com os dados.

Escrita dos dados: os resulta

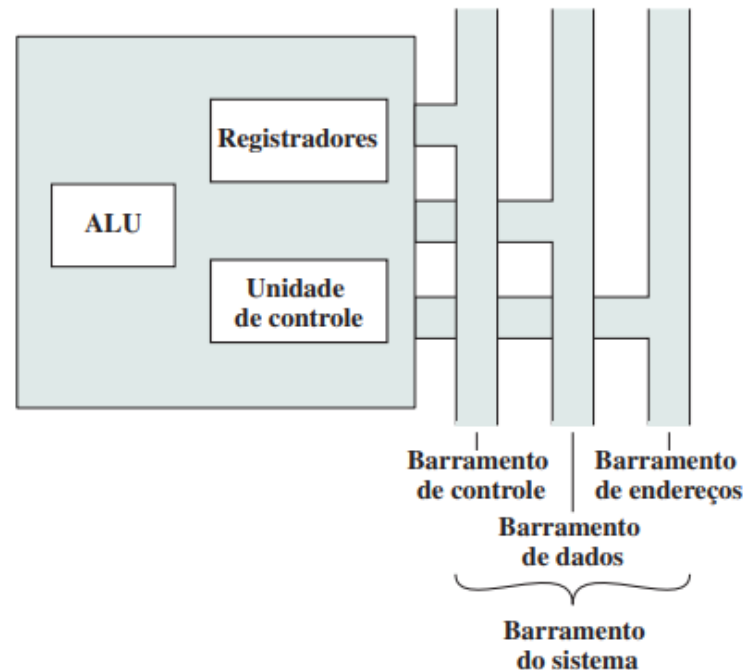
Para fazer essas coisas, deve estar claro que o processador precisa armazenar alguns dados temporariamente.

Organização do processador

Os principais componentes do processador são uma unidade lógica e aritmética (ALU) e uma unidade de controle (UC).

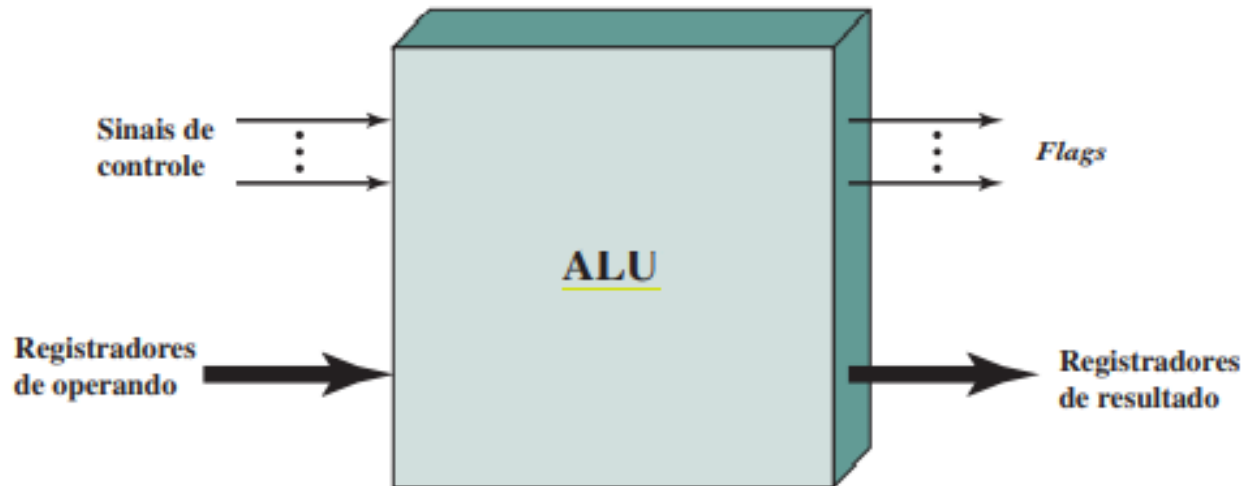
A ALU faz os cálculos ou o processamento de dados de fato.

A UC controla a movimentação de dados e das instruções que entram e saem do processador e controla a operação da ALU



ALU – Unidade Lógica e Aritmética

A ALU é a parte do computador que realmente realiza operações lógicas e aritméticas sobre os dados. Todos os outros elementos do sistema de computação — unidade de controle, registradores, memória, E/S — existem sobretudo com o objetivo de trazer dados para a ALU processar, e depois levar os resultados de volta



Organização dos registradores

Registradores visíveis ao usuário: possibilitam que o programador de linguagem de máquina ou de montagem minimize as referências à memória principal, pela otimização do uso de registradores.

Registradores de controle e de estado: usados pela unidade de controle para controlar a operação do processador e por programas privilegiados do Sistema Operacional para controlar a execução de programas.

Não há uma separação clara de registradores nessas duas categorias. Por exemplo, em algumas máquinas, o contador de programas é visível ao usuário (por exemplo, o x86), mas em muitos outros, não é.

Organização dos registradores

Registradores visíveis ao usuário:

- **Uso geral:** podem ser atribuídos para uma variedade de funções pelo programador. Por exemplo, pode haver registradores dedicados para ponto flutuante e operações de pilha.
- **Dados:** podem ser usados apenas para guardar dados.
- **Endereços:** podem ser, de certa forma, de uso geral ou podem ser dedicados para um modo de endereçamento em particular.
 - Ponteiros de segmento.
 - Registradores de índice.
 - Ponteiros de pilha.
- **Códigos condicionais:** parcialmente visível ao usuário, guarda códigos condicionais (também chamados de flags).

Organização dos registradores

Registradores de controle e de estado

- **Contador de programas (PC):** contém o endereço de uma instrução a ser lida.
- **Registrador da instrução (IR):** contém a instrução lida mais recentemente.
- **Registrador de endereço de memória (MAR):** contém o endereço de um local de memória.
- **Registrador de buffer de memória (MBR):** contém uma palavra de dados para ser escrita na memória ou a palavra lida mais recentemente.
- **Palavra de estado do programa (PSW):** em geral, a PSW contém códigos condicionais e outras informações de estado.

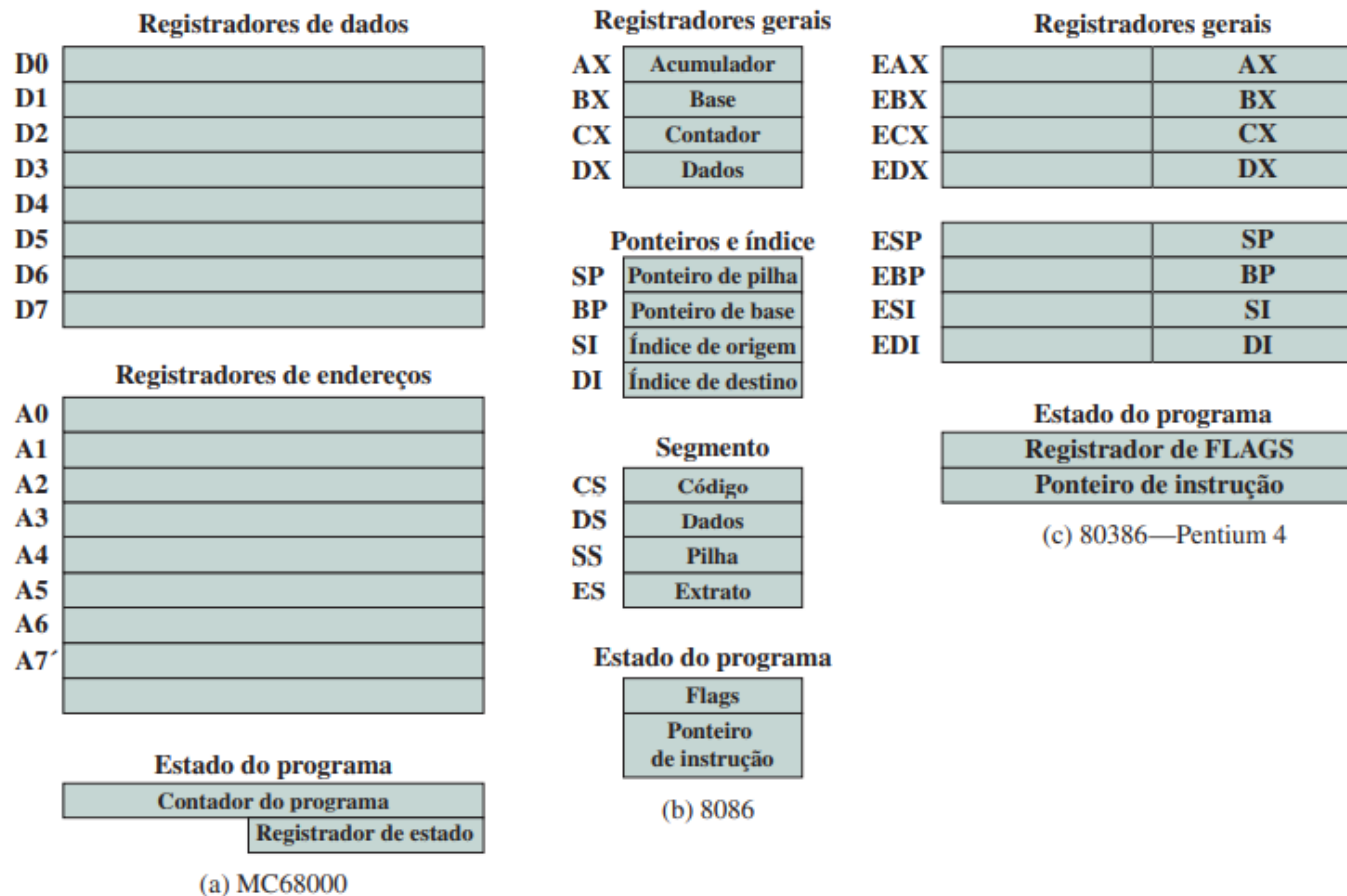
Organização dos registradores

Registrador de endereço de memória (MAR) e Registrador de buffer de memória (MBR):

Nem todos os processadores possuem registradores internos designados como MAR e MBR, mas é necessário algum mecanismo de armazenamento equivalente pelo qual os bits a serem transferidos ao barramento do sistema sejam processados e os bits a serem lidos do barramento de dados sejam armazenados temporariamente.

Organização dos registradores

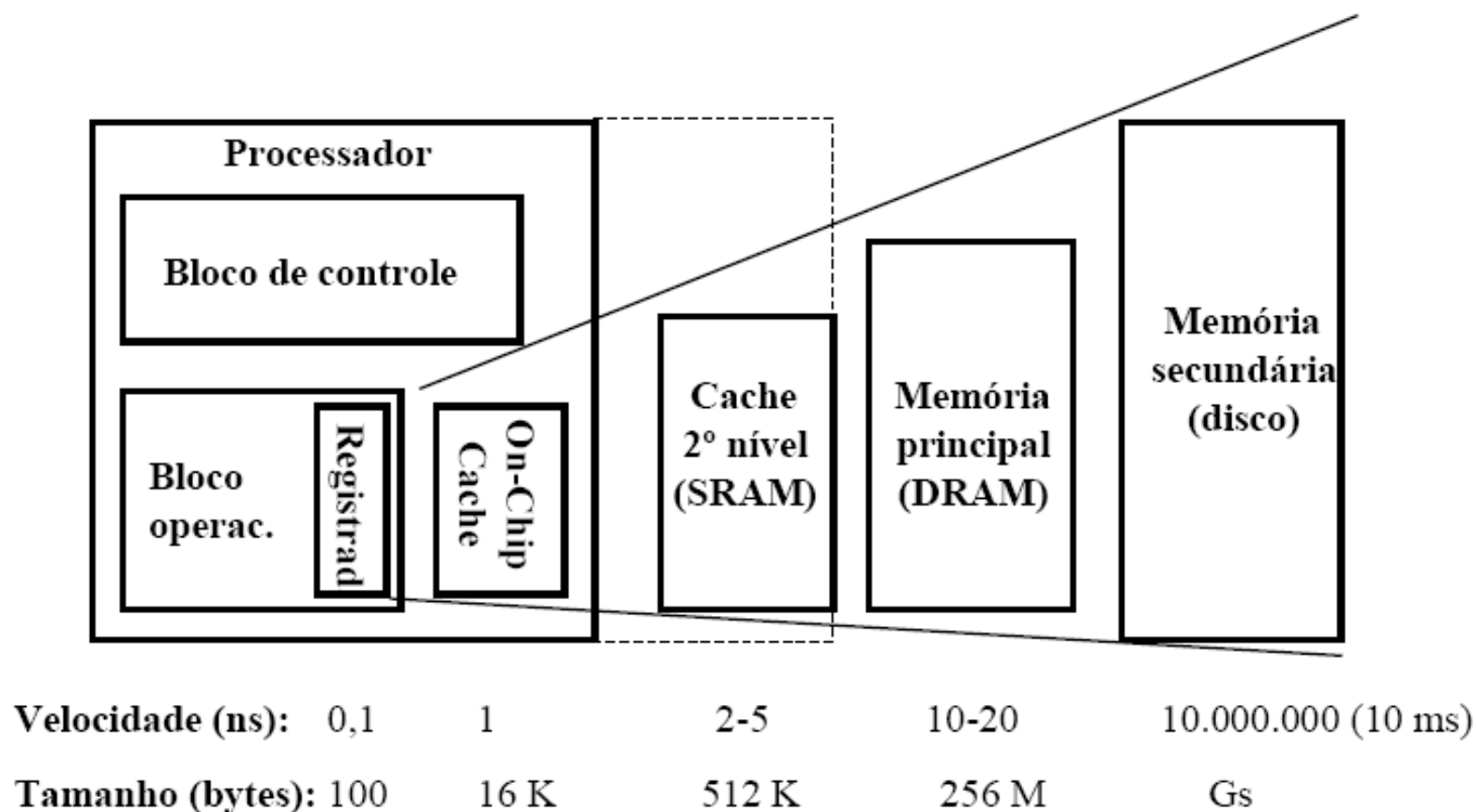
Exemplo de Registradores de alguns processadores:



Armazenamento de Dados

Hierarquia de Memória

De uma forma geral um sistema computadorizado é organizado conforme segue:



Tipos de memória semicondutora

Tipo de memória	Categoria	Apagamento	Mecanismo de gravação	Volatilidade
Memória de acesso aleatório (RAM)	Memória de leitura-gravação	Eletricamente, em nível de byte	Eletricamente	Volátil
Memória somente de leitura (ROM)	Memória somente de leitura	Não é possível	Máscaras	Não volátil
ROM programável (PROM — do inglês, <i>Programmable ROM</i>)			Eletricamente	
PROM apagável (EPROM — do inglês, <i>Erasable PROM</i>)	Luz UV, Em nível de chip			
PROM eletricamente apagável (EEPROM — do inglês, <i>Electrically Erasable PROM</i>)	Eletricamente, em nível de byte			
Memória flash	Eletricamente, em nível de bloco			

Desempenho da memória

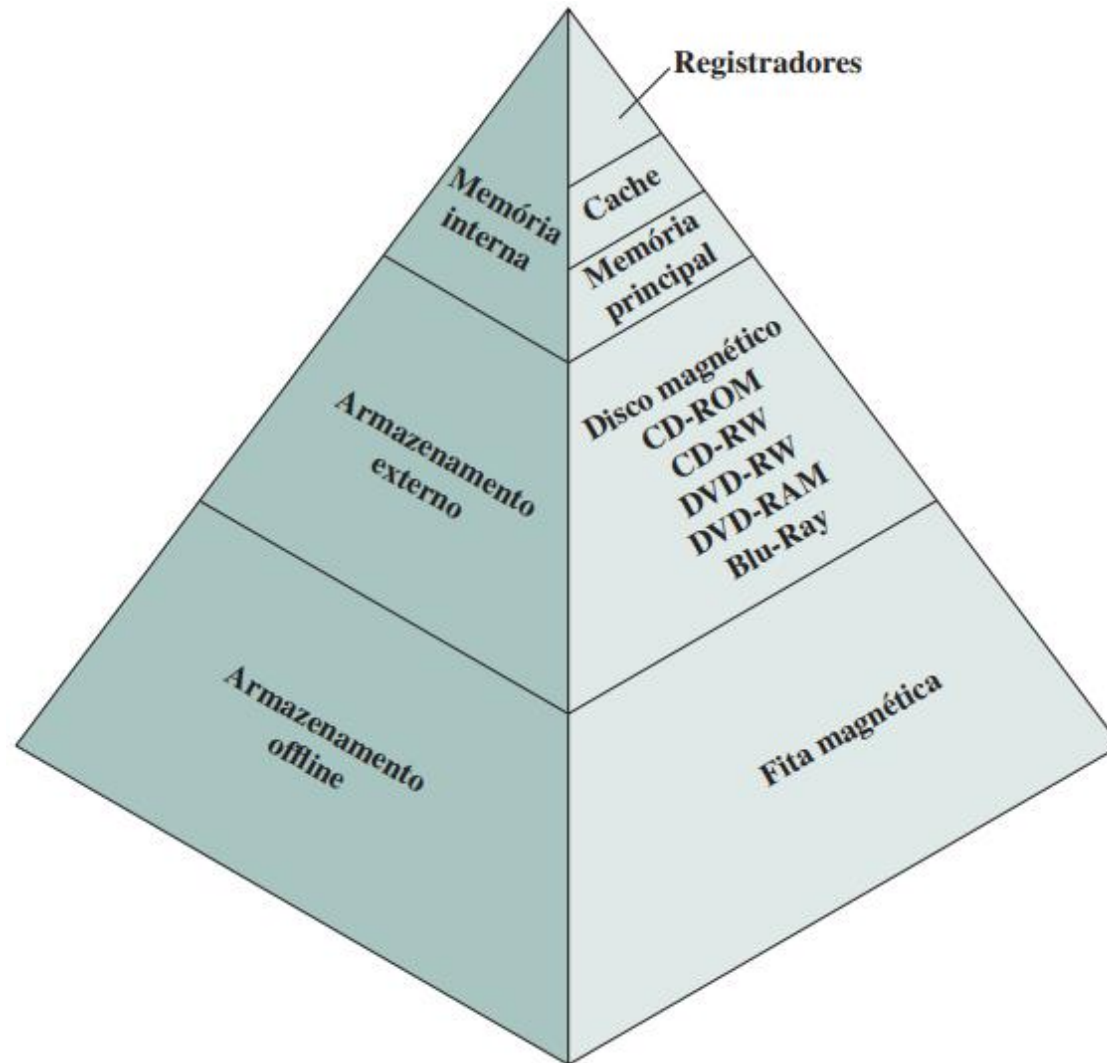
As características importantes da memória são capacidade e desempenho. Três parâmetros de desempenho são utilizados:

Tempo de acesso (latência): Na RAM esse é o tempo gasto para realizar uma operação de leitura ou escrita, ou seja, o tempo desde o instante em que um endereço é apresentado à memória até o instante em que os dados foram armazenados ou se tornaram disponíveis para uso.

Tempo de ciclo de memória: Consiste no tempo de acesso mais qualquer tempo adicional antes que um segundo acesso possa ter início. Observe que o tempo de ciclo de memória se refere ao barramento do sistema, e não do processador.

Taxa de transferência: é a taxa em que os dados podem ser transferidos para dentro ou fora de uma unidade de memória. Para a memória RAM, ela é igual a $1/(\text{tempo de ciclo})$.

Custo dos tipos de armazenamento de dados



Custo dos tipos de armazenamento de dados



Tecnologia de memória	Tempo de acesso típico (1997)
SRAM	5-25 ns
DRAM	60-120 ns
Disco magnético	10-20 ms

Memória Virtual e Cache

Memória Virtual

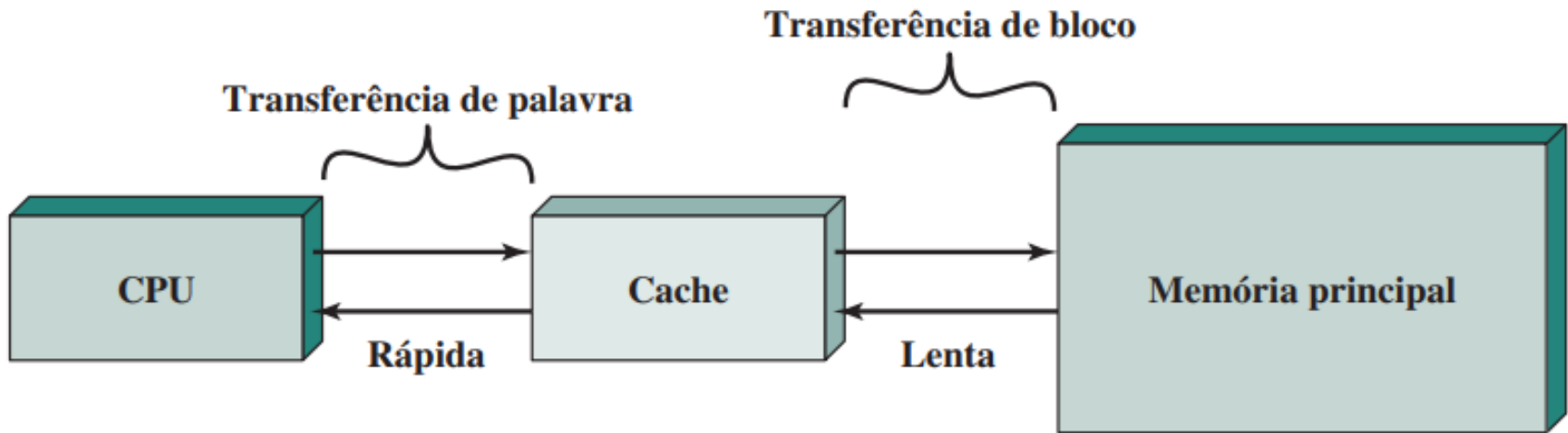
- Emula memória principal maior
- Utiliza memória secundária
- Troca de dados entre memória principal e secundária: swapping

Memória Cache

- Memória de alta velocidade associada ao processador
- Armazena dados comumente utilizados

Memória Cache

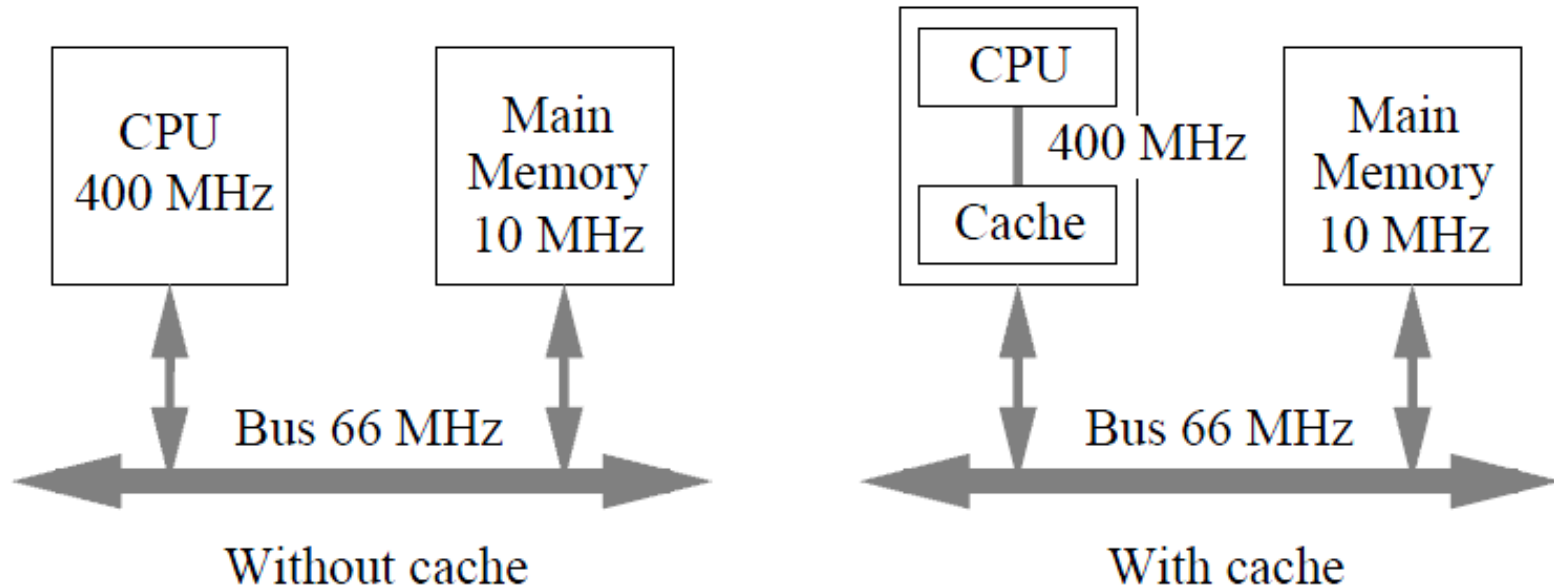
A memória cache é desenvolvida para combinar o tempo de acesso de memórias de alto custo e alta velocidade com as memórias de menor velocidade, maior tamanho e mais baixo custo.



(a) Cache única

Memória Cache

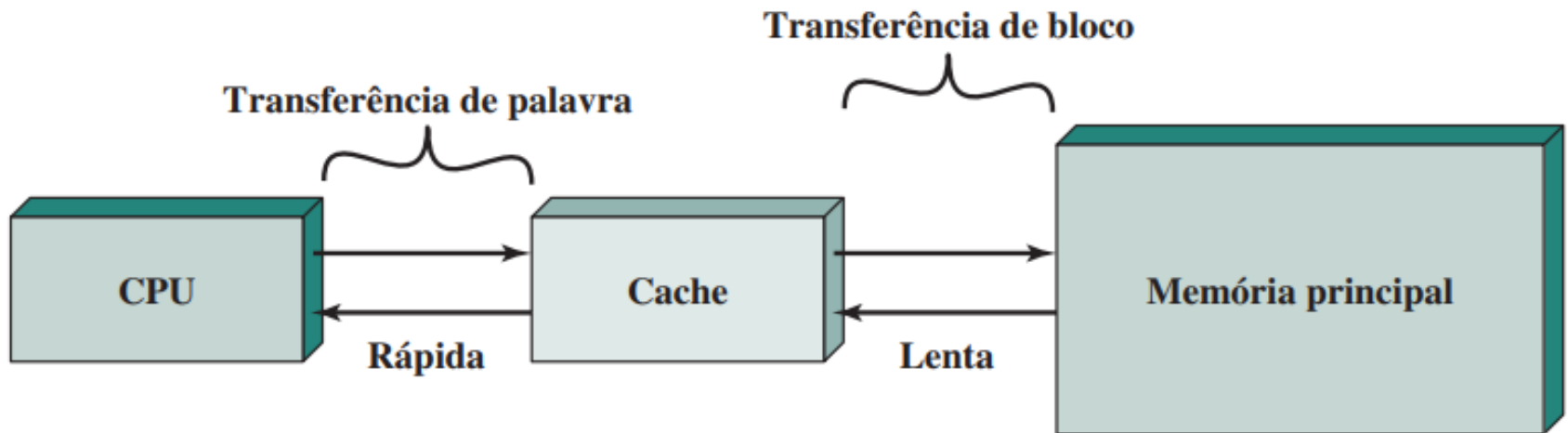
A seguir apresentamos a posição do cache em um sistema computacional.



O cache é colocado fisicamente e logicamente mais próximo a CPU do que a memória principal, e esta situação evita atrasos de comunicação em um barramento compartilhado.

Memória Cache

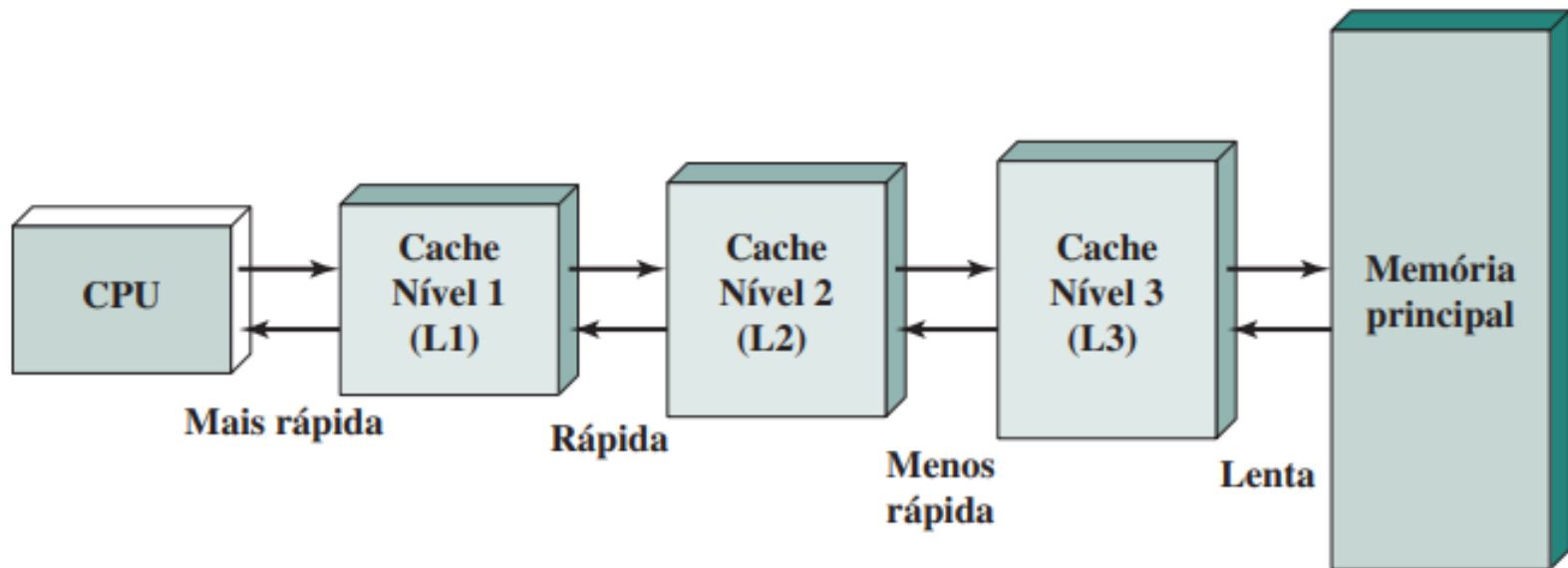
A **cache** contém uma cópia de partes da memória principal. Quando o processador tenta ler uma palavra da memória, é feita uma verificação para determinar se a palavra está na cache. Se estiver, ela é entregue ao processador. Se não, um bloco da memória principal, consistindo em algum número fixo de palavras, é transferido para a cache, e depois a palavra é fornecida ao processador.



(a) Cache única

Memória Cache

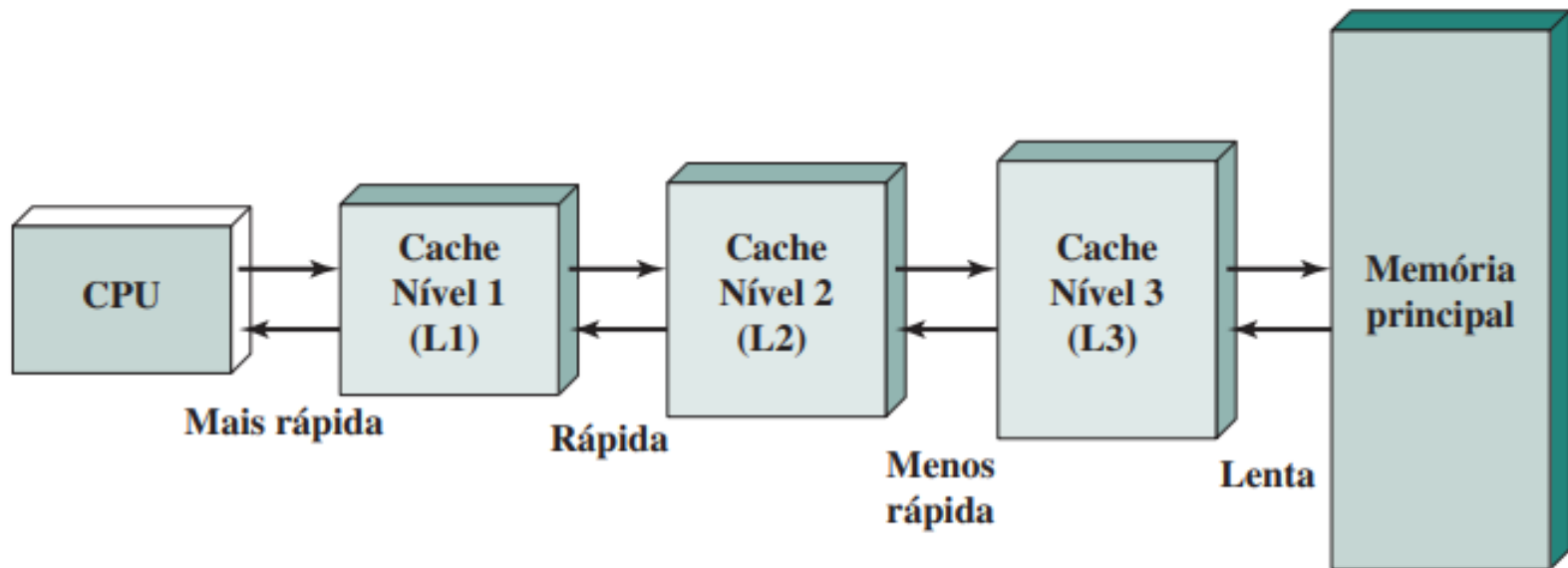
As mais rápidas são as que tem maior custo de armazenamento por bit, e portanto as menores. Quanto menor a memória, mais perto do processador está. Assim na Hierarquia de Memória temos multi-níveis de memória com diferentes tamanhos e velocidades.



(b) Organização de cache de três níveis

Memória Cache

A Figura representa o uso de múltiplos níveis de cache. A cache L2 é mais lenta e maior que a cache L1, e a cache L3 é mais lenta e normalmente maior que a cache L2.



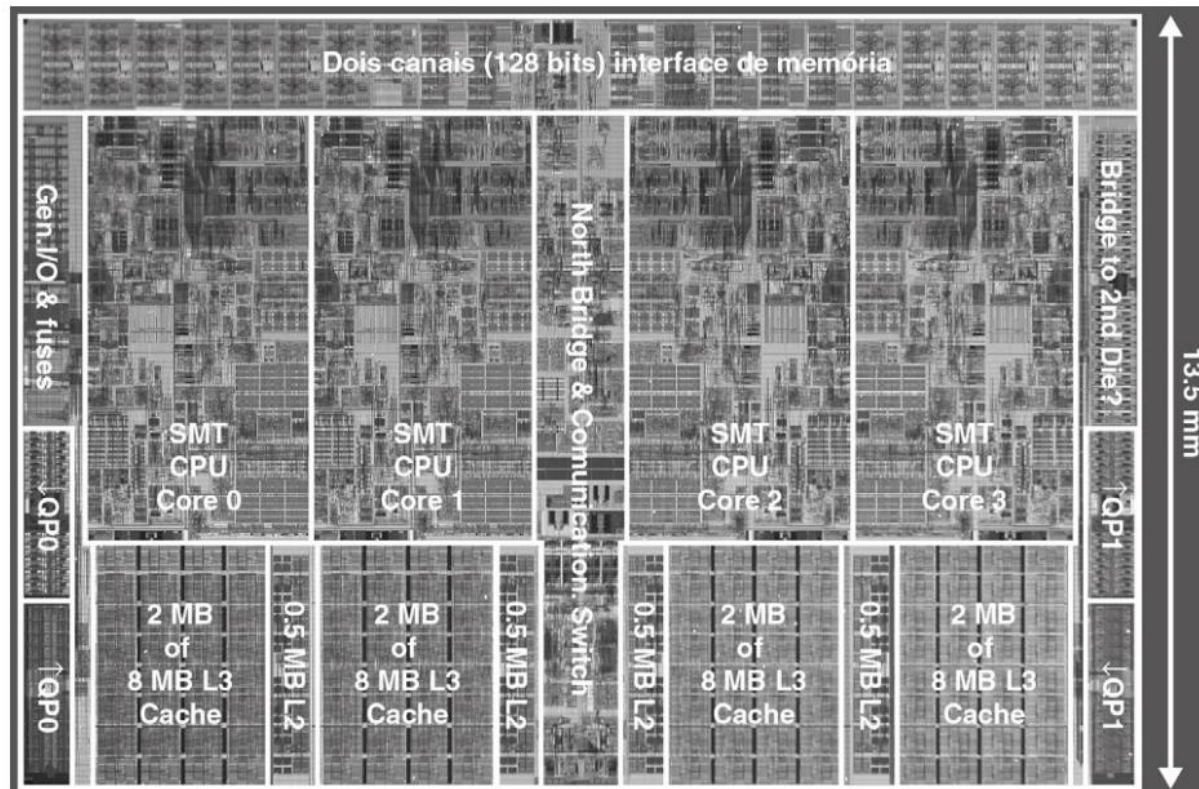
(b) Organização de cache de três níveis

Memória Cache

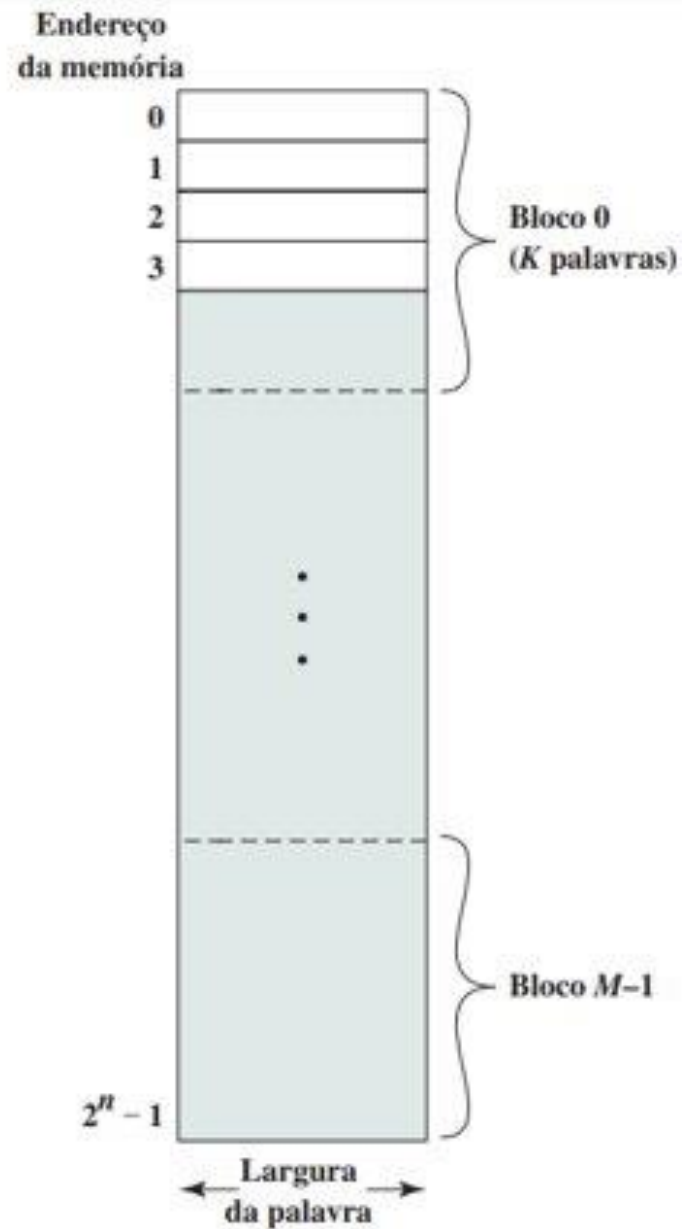
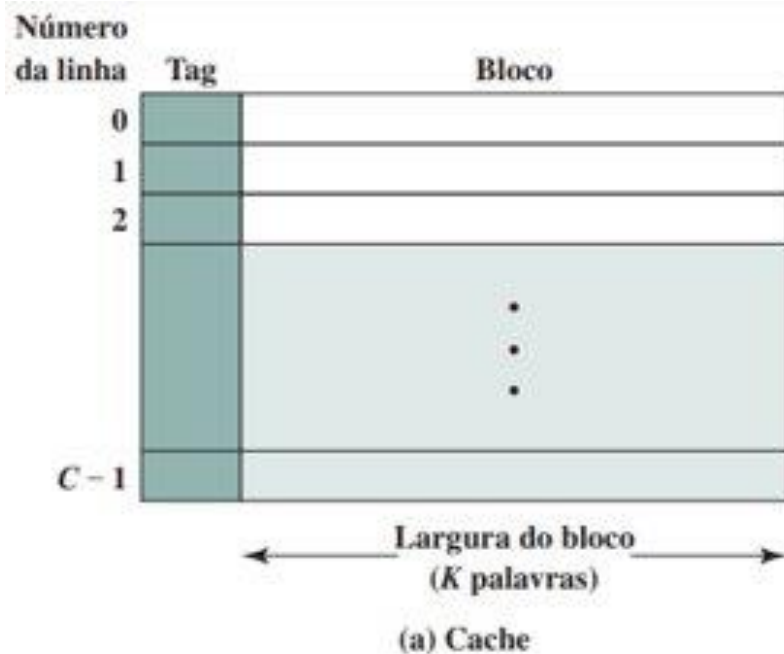
A Figura mostra a fotografia do die do Intel Nehalem (Intel Core i7 de 2008).

Ele contém 4 processadores (cores) que possuem, cada um, caches de instrução privados de 32 KB, e uma cache L2 de 512 KB.

Os 4 cores compartilham uma cache L3 de 8 MB. Os dois canais de memória de 128 bits são para a DRAM DDR3

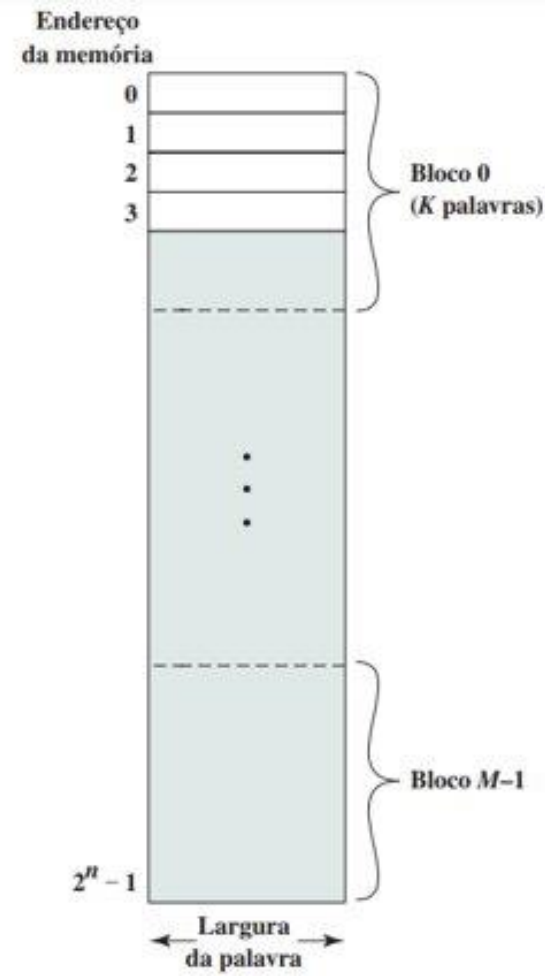
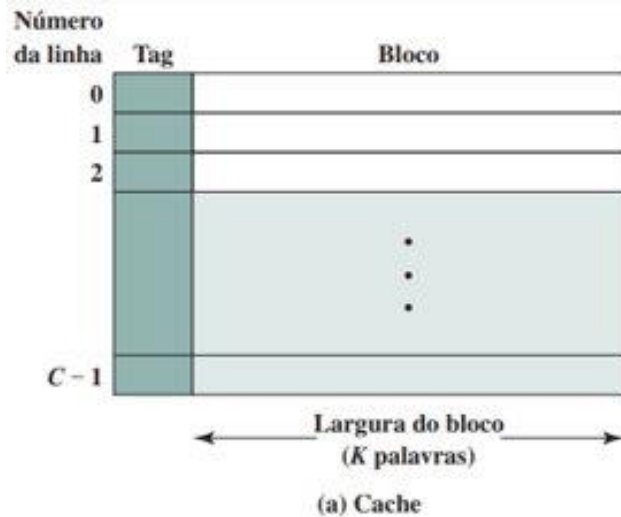


Memória Cache



Memória Cache

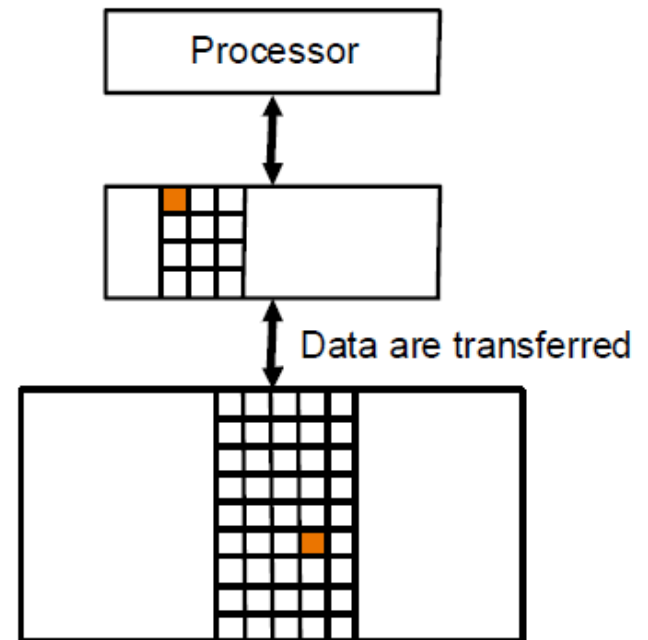
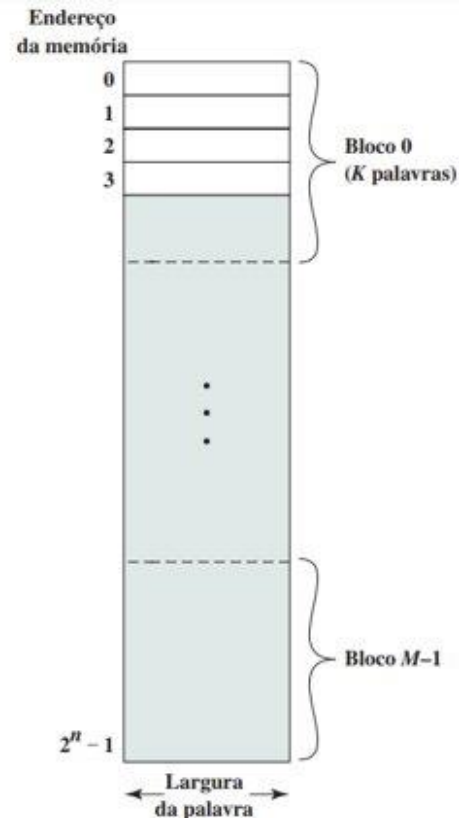
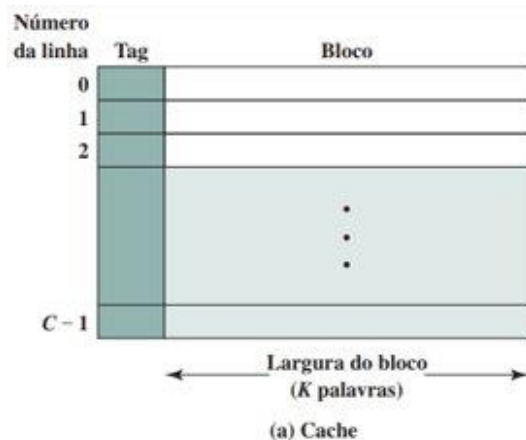
A cache consiste em **m** blocos, chamados de linhas. Cada uma contém **K** palavras, mais um tag de alguns bits. Cada linha também inclui bits de controle (não mostrados).



Memória Cache

A qualquer momento, algum subconjunto dos blocos de memória reside nas linhas na cache. Se uma palavra em um bloco de memória for lida, esse bloco é transferido para uma das linhas da cache.

Como existem mais blocos do que linhas, uma linha individual não pode ser dedicada exclusiva e permanentemente a determinado bloco.



Disco magnético

Um disco é um prato circular construído de material não magnético, chamado de substrato, coberto por um material magnetizável.

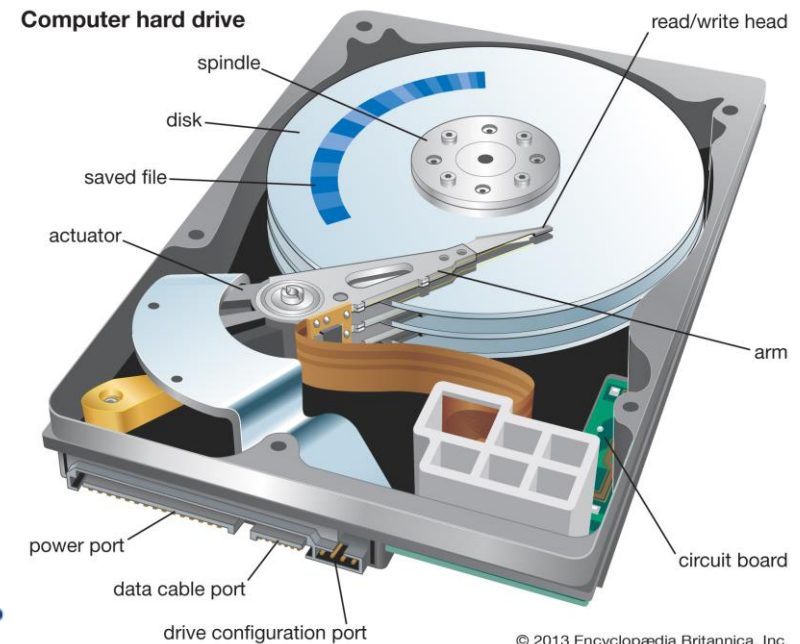
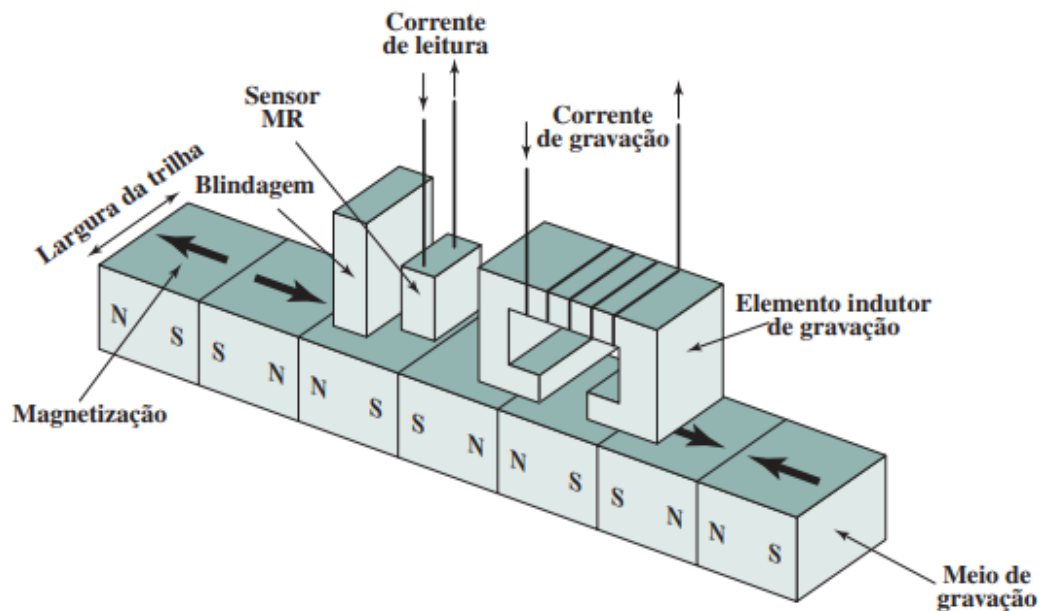
Os dados são gravados e, mais tarde, recuperados do disco por meio de uma bobina condutora, denominada de cabeça; em muitos sistemas, existem duas cabeças, uma de leitura e uma de gravação.



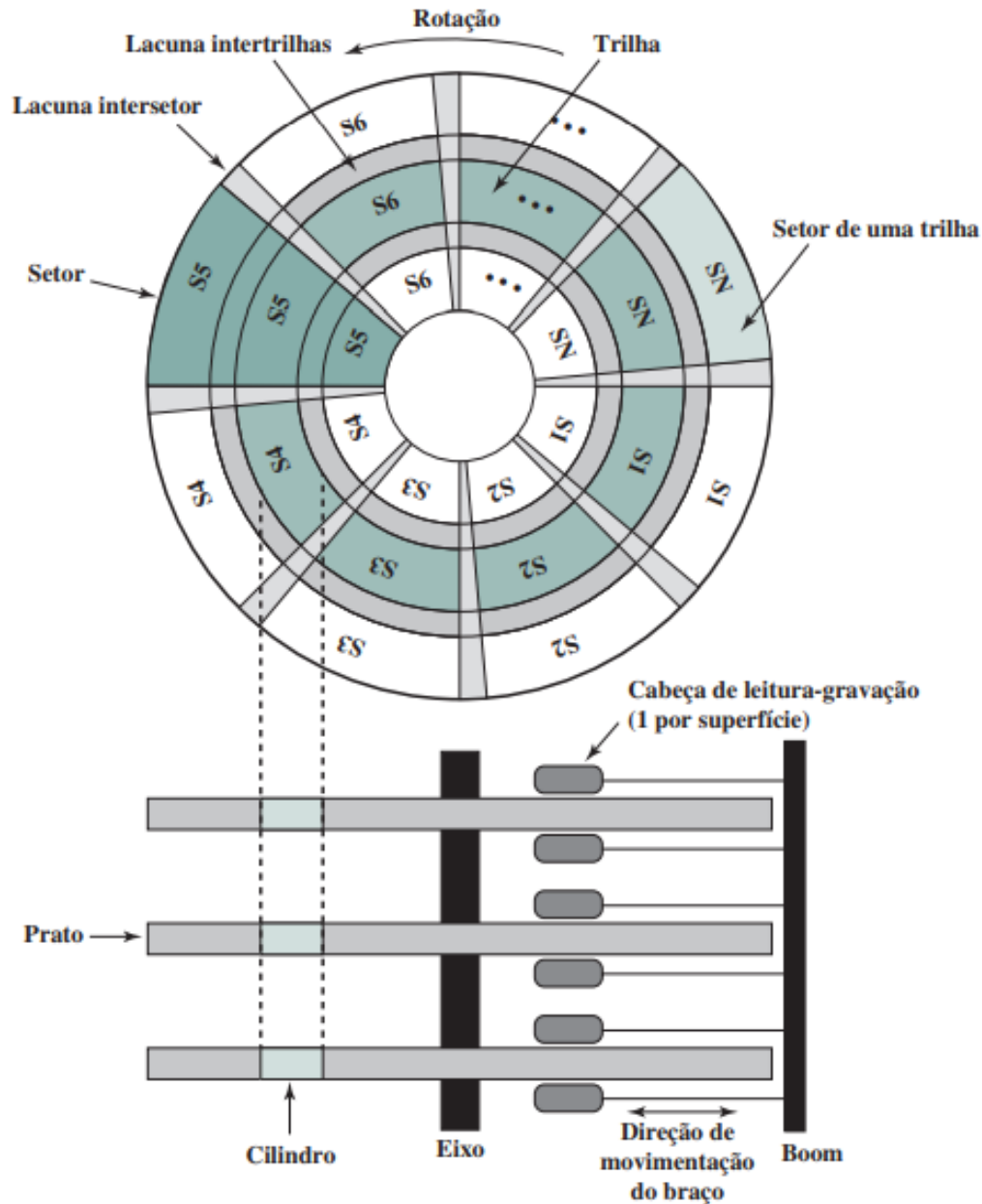
Disco magnético

Um disco é um prato circular construído de material não magnético, chamado de substrato, coberto por um material magnetizável.

Os dados são gravados e, mais tarde, recuperados do disco por meio de uma bobina condutora, denominada de cabeça; em muitos sistemas, existem duas cabeças, uma de leitura e uma de gravação.

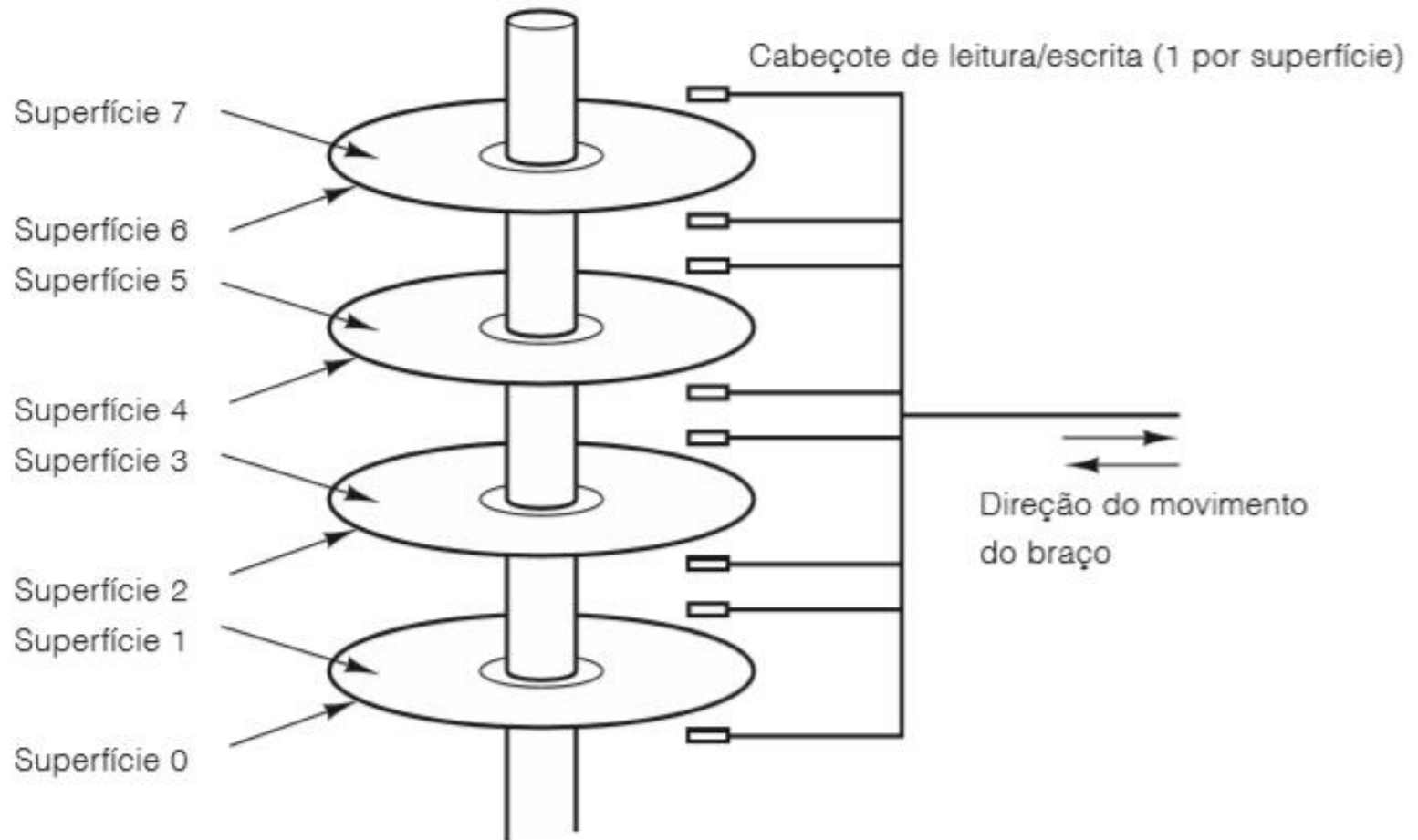


Layout do disco magnético



Layout do disco magnético

A maioria dos discos é composta de vários pratos empilhados na vertical. Cada superfície tem seu próprio braço e cabeçote.



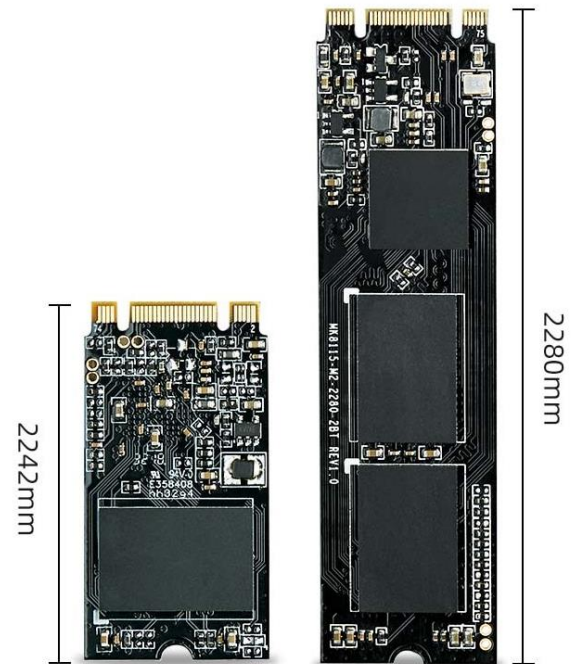
Parâmetros típicos do drive de disco rígido.

Características	Seagate Enterprise	Seagate Barracuda XT	Seagate Cheetah NS	Seagate Laptop HDD
Aplicações	Empresarial	Desktop	Armazenamento ligado à rede, servidores de aplicação	Laptop
Capacidade	6 TB	3 TB	600 GB	2 TB
Tempo médio de busca	4,16 ms	N/A	Leitura de 3,9 ms Gravação de 4,2 ms	13 ms
Velocidade de eixo	7.200 rpm	7.200 rpm	10.075 rpm	5.400 rpm
Latência média	4,16 ms	4,16 ms	2,98	5,6 ms
Máxima taxa sustentada de transferência	216 MB/seg	149 MB/seg	97 MB/seg	300 MB/seg
Bytes por setor	512/4.096	512	512	4.096
Trilhas por cilindro (número de superfícies do prato)	8	10	8	4
Cache	128 MB	64 MB	16 MB	8 MB

SSD - Solid State Drive

Discos em estado sólido (SSDs – Solid- -State Disks) são feitos de memória flash não volátil.

SSD guarda os dados nas memórias flash e não necessita de motores para funcionar.



SSD - Solid State Drive

Além da **interface** ao sistema, o SSD contém os seguintes componentes:

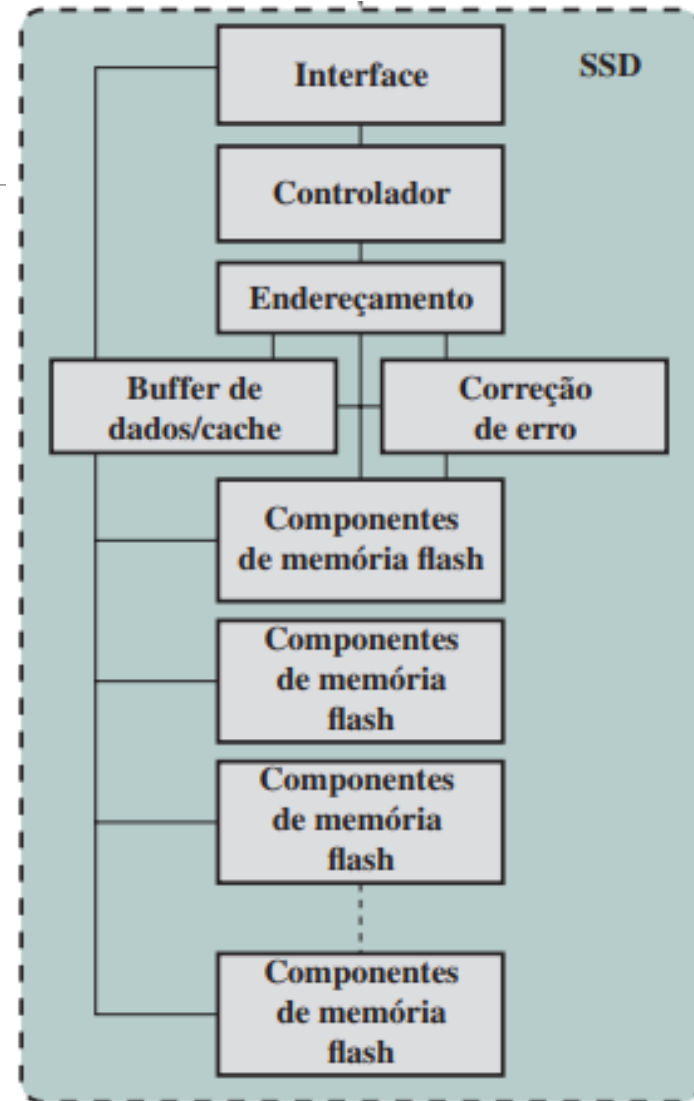
Controlador: proporciona o interfaceamento e a execução do firmware do dispositivo de SSD.

Endereçamento: a lógica que apresenta a função de seleção nos componentes de memória flash.

Buffer de dados/cache: componentes de memória RAM de alta velocidade usados para combinação da compatibilização da velocidade e para o aumento da taxa de transferência (throughput) de dados.

Correção de erros: a lógica para a detecção e correção de erros.

Memória flash: chips individuais de flash NAND.



SSD - Solid State Drive

Os SSDs têm as seguintes vantagens sobre os HDDs:

Operações de entrada/saída por segundo de alto desempenho (IOPS — do inglês, high-performance input/output operations per second): aumenta significativamente o desempenho dos subsistemas de E/S.

Durabilidade: menos suscetível a choque físico e vibração.

Longa vida útil: SSDs não são suscetíveis a desgaste mecânico.

Baixo consumo de energia: SSDs usam consideravelmente menos energia que HDDs de tamanhos comparáveis.

Capacidades de funcionamento mais silenciosas e resfriadas: menos espaço exigido, menores custos de energia e empresas mais ecológicas.

Menores tempos de acesso e taxas de latência: acima de 10 vezes mais rápido que os discos giratórios em um HDD. Atualmente, os HDDs possuem uma vantagem de custo por bit, mas essas diferenças estão diminuindo.

Atualmente, os HDDs possuem uma vantagem de custo por bit, mas essas diferenças estão diminuindo.

SSD - Solid State Drives

Memória flash se torna inútil depois de certa quantidade de gravações.

Conforme as células flash são estressadas, elas perdem, então, sua capacidade de gravar e reter valores.

Um limite típico é de 100.000 gravações.

As técnicas para o prolongamento da vida útil de um drive SSD incluem colocar uma cache na entrada-saída da flash para agrupar e retardar as operações de gravação, usando algoritmos de níveis de desgaste que as distribuem de modo uniforme no bloco das células, bem como técnicas sofisticadas de gerenciamento de blocos ruins.

SSD - Solid State Drives

Tipos de SSDs:

■ SATA

- Possuem o tamanho de 2.5 polegadas (tamanho HD de notebook) e conexão SATA, atinge velocidades médias de leitura e escrita de 500MB/s.

■ SATA Express (SATAe)

- O conector SATA Express usa duas conexões SATA III. Com o PCI Express 3.0, as velocidades chegam a 1580 MB/s.

■ PCIe

- São SSDs que possuem conector para encaixar na PCI express da placa mãe, mas usam o padrão do SATA M.2.

■ M.2

- M.2 substitui o padrão mSATA, o qual utiliza conector PCI Express. M.2 permite diferentes tamanhos e larguras de módulos.

■ NVMe

- NVMe Express foi desenvolvido para diminuir a latência de comunicação dos dispositivos internos. O NVMe é a parte do software. A principal vantagem são os tempos de acesso bem menores, e não as velocidades máximas de transferência. São implementados em SSDs com barramento PCI Express, M.2 entre outras formas.

Memória ótica

CD

Disco compacto (CD — do inglês, *Compact Disk*). Um disco não apagável que armazena informações de áudio digitalizadas. O sistema padrão utiliza discos de 12 cm e pode gravar mais de 60 minutos de tempo de execução sem interrupção

CD-ROM

Disco compacto apenas para leitura (CD-ROM — do inglês, *Compact Disk Read-Only Memory*). Um disco não apagável para armazenar dados de computador. O sistema padrão utiliza discos de 12 cm e pode manter mais de 650 MB

CD-R

CD gravável. Semelhante a um CD-ROM. O usuário pode gravar no disco apenas uma vez

CD-RW

CD regravável. Semelhante a um CD-ROM. O usuário pode apagar e regravar no disco várias vezes

DVD

Disco versátil digital (DVD — do inglês, *Digital Versatile Disk*). Uma tecnologia para produzir representação digitalizada e compactada de informações de vídeo, além de grandes volumes de outros dados digitais. São usados diâmetros de 8 e 12 cm, com capacidade de dupla face chegando até a 17 GB. O DVD básico é somente de leitura (DVD-ROM)

DVD-R

DVD gravável. Semelhante a um DVD-ROM. O usuário pode gravar no disco apenas uma vez. Só podem ser usados discos de uma face

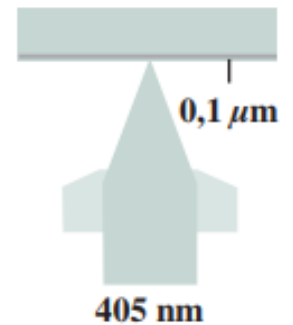
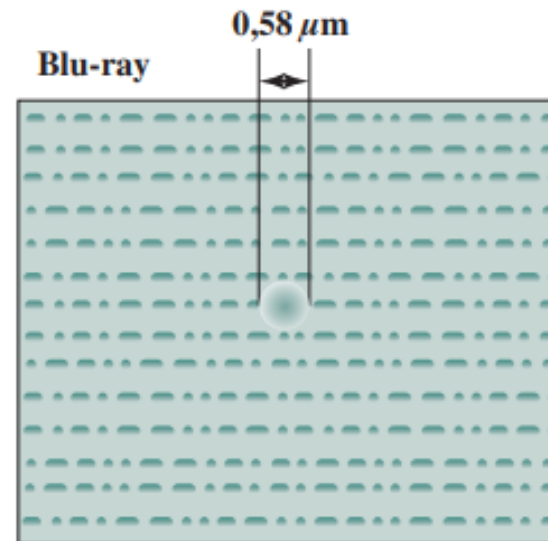
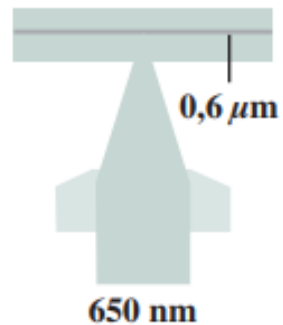
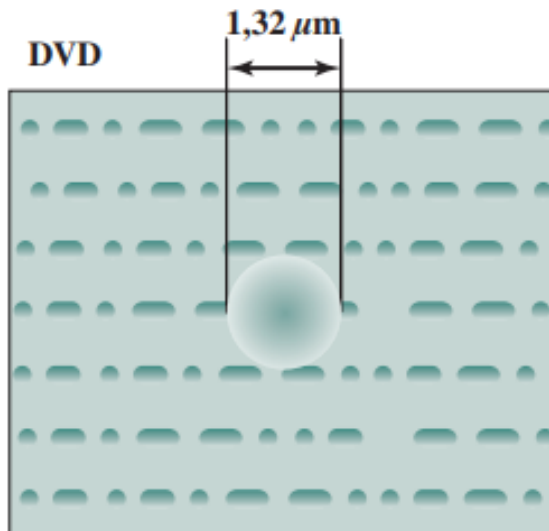
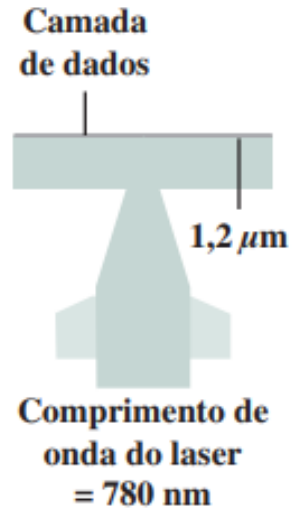
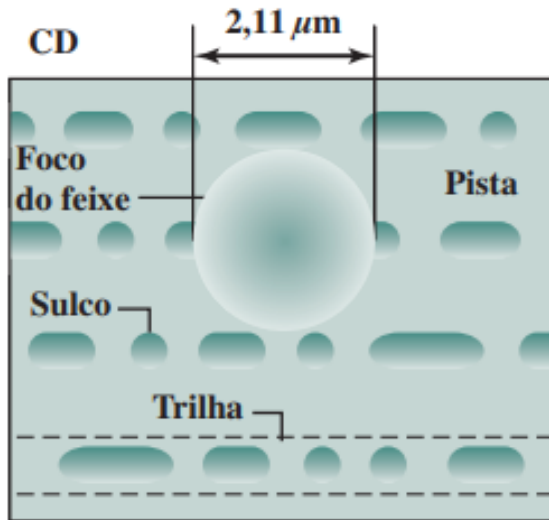
DVD-RW

DVD regravável. Semelhante a um DVD-ROM. O usuário pode apagar e regravar no disco várias vezes. Só podem ser usados discos de uma face

DVD blu-ray

Disco de vídeo de alta definição. Oferece densidade de armazenamento de dados muito maior que o DVD, usando um laser de 405 nm (azul violeta). Uma única camada em uma única face pode armazenar 25 GB

Memória ótica



Dispositivos de Entrada e Saída

Também chamados de:

- Periféricos
- Unidades de Entrada e Saída

Destinam-se à captação de informações necessárias ao processamento pelo computador e na disponibilização da informação processada.

Comunicação entre a máquina e o mundo exterior.

Unidades de Entrada



Unidade de Saída



Dispositivos de Entrada e Saída

IRQ – **Interrupt Request** (Pedidos de interrupção).

Permite que diversos dispositivos façam solicitações ao processador;

Dois dispositivos não podem compartilhar a mesma interrupção.

Dispositivos de Entrada e Saída

IRQ 0 Usado pela placa mãe

IRQ 1 Teclado

IRQ 2 Usado pela placa mãe

IRQ 3 Porta serial 1 (Com2 e Com 4)

IRQ 4 Porta Serial 2 (Com1 e Com 3)

IRQ 5 Placa de Som

IRQ 6 Unidade de Disquetes

IRQ 7 LPT 1 (porta da impressora)

IRQ 8 Relógio de tempo real

IRQ 9 Placa de Vídeo (não é necessário em algumas placas)

IRQ 10 Controladora SCSI (caso você não possua nenhuma este IRQ ficará vago)

IRQ 11 Disponível

IRQ 12 Conector USB

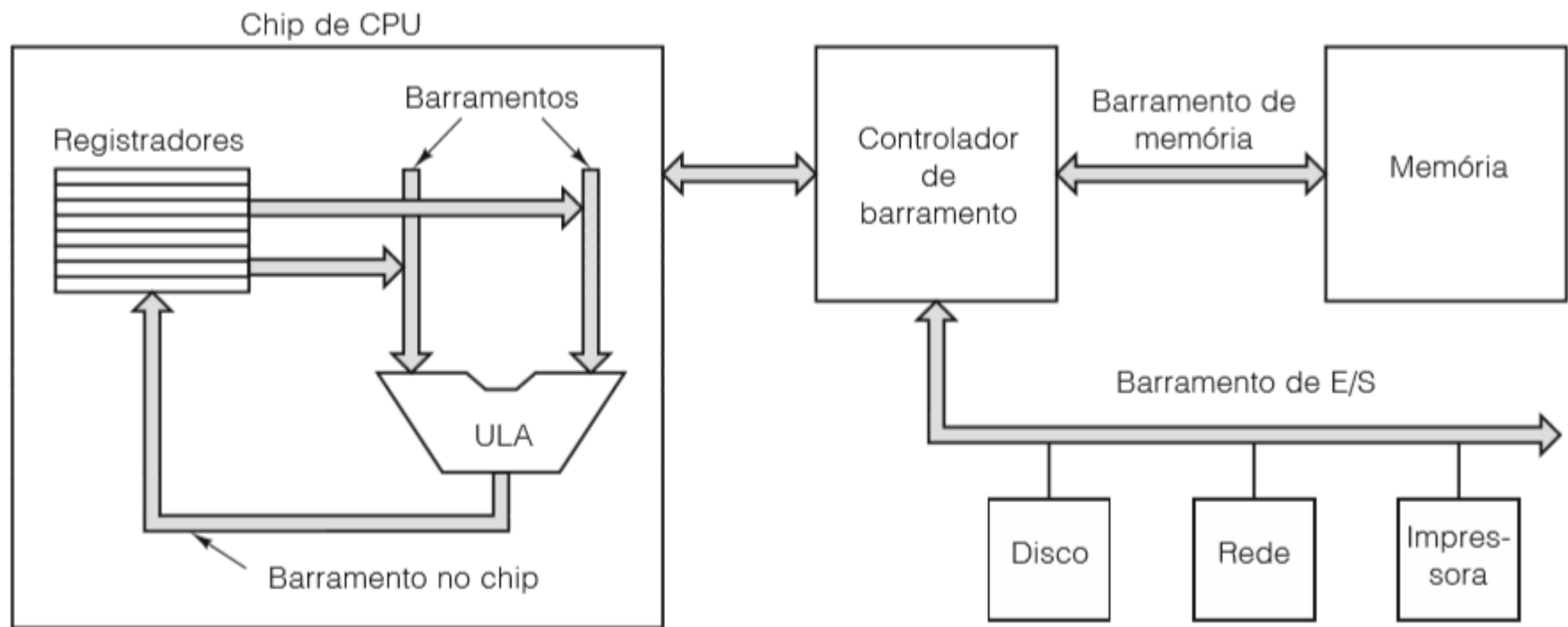
IRQ 13 Coprocessador Aritmético

IRQ 14 Controladora IDE Primária

IRQ 15 Controladora IDE Secundária

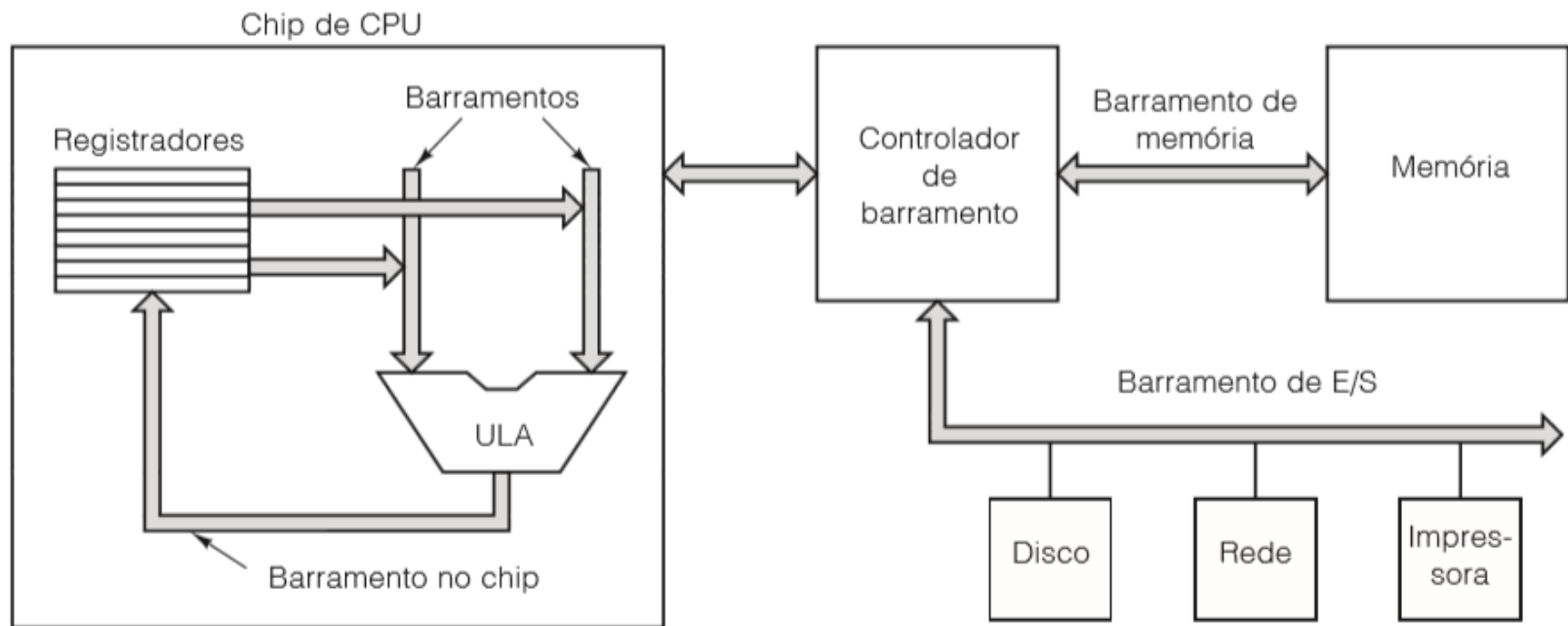
Barramentos entre CPU e os dispositivos

Os computadores pessoais têm um barramento de uso especial entre a CPU e a memória e (pelo menos) outro barramento para os dispositivos de E/S.



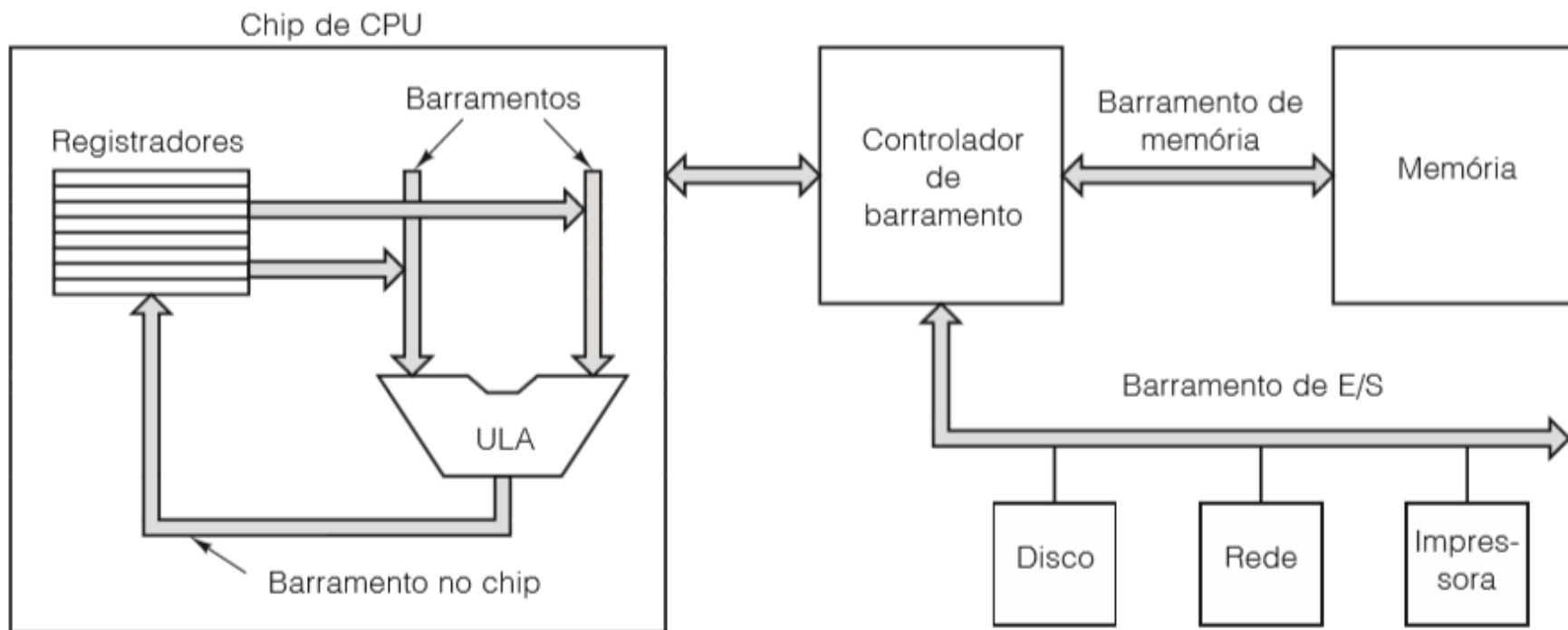
Barramentos entre CPU e os dispositivos

Alguns dos mais conhecidos, no passado e atualmente (com exemplos), são: Omnibus (PDP-8), Unibus (PDP-11), Multibus (8086), barramento VME (equipamento para laboratório de física), barramento do IBM PC (PC/xT), barramento ISA (PC/AT), barramento EISA (80386), Microchannel (PS/2), Nubus (Macintosh), barramento PCI (muitos PCs), barramento SCSI (muitos PCs e estações de trabalho), USB (PCs modernos) e FireWire.



Barramentos entre CPU e os dispositivos

O mundo provavelmente seria um lugar melhor se não existissem tantos barramentos, mas infelizmente, a padronização nessa área parece muito improvável porque muito dinheiro já foi investido em todos esses sistemas incompatíveis.



Largura do barramento

- A largura do barramento é o parâmetro de projeto mais óbvio. Quanto mais linhas de endereço tiver um barramento, mais memória a CPU pode endereçar diretamente.
- Se um barramento tiver n linhas de endereço, então uma CPU pode usá-las para endereçar 2^n localizações de memória diferentes.
- Para memórias de grande porte, os barramentos precisam de muitas linhas de endereço, o que parece algo bem simples.
- O problema é que barramentos largos precisam de mais fios do que os estreitos, e também ocupam mais espaço físico (por exemplo, na placa-mãe), além de precisar de conectores maiores.

Clock do barramento

Barramentos podem ser divididos em duas categorias distintas, dependendo de seu clock:

➤ **Síncrono**

Um barramento síncrono tem uma linha comandada por um oscilador de cristal, onde o sinal nessa linha consiste em uma onda quadrada. Todas as atividades do barramento tomam um número inteiro desses ciclos denominados ciclos de barramento.

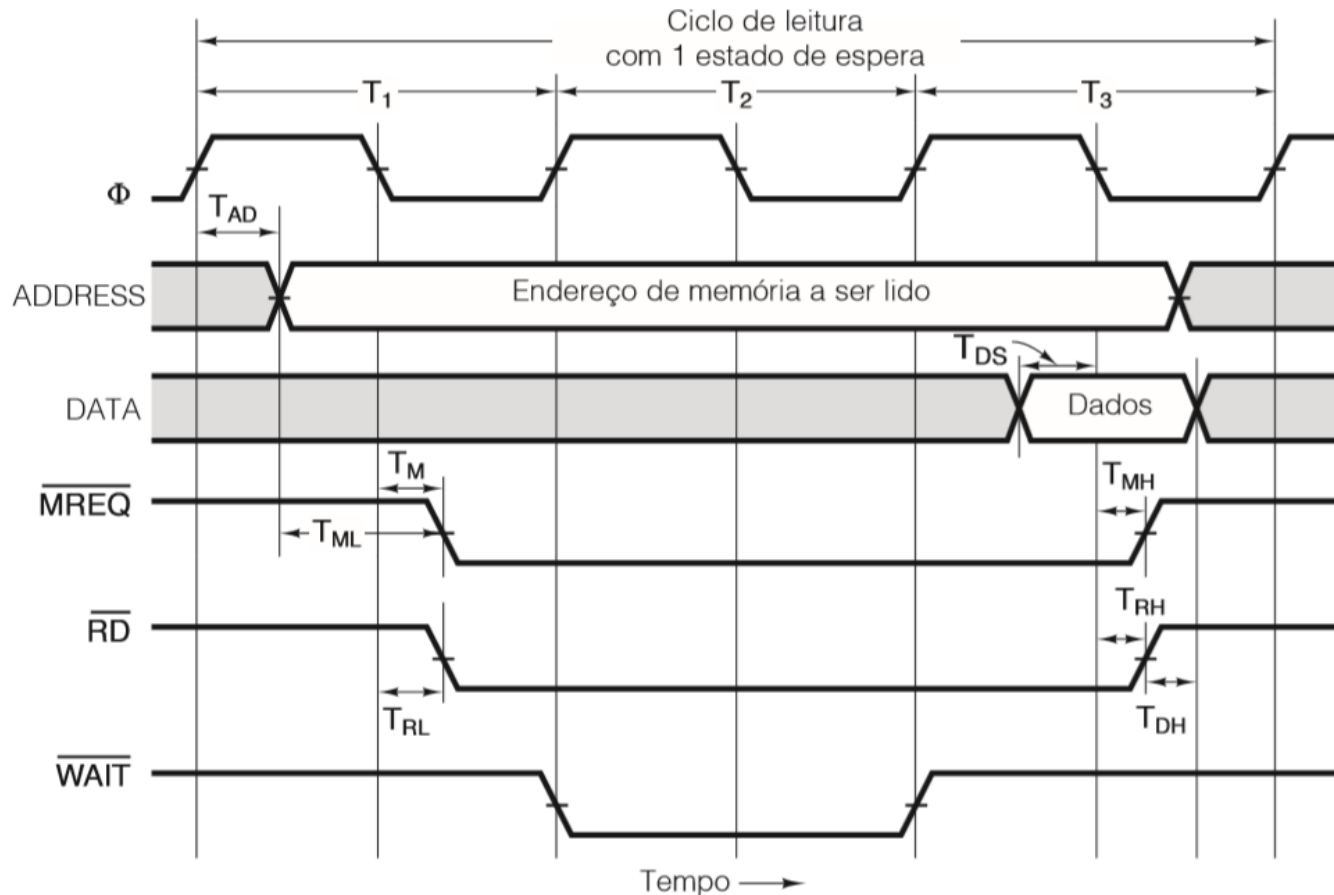
➤ **Assíncrono**

O barramento assíncrono, não tem um clock mestre. Ciclos de barramento podem ter qualquer largura requerida e não são os mesmos entre todos os pares de dispositivos.

Exemplo clock do barramento da memória

MREQ indica que é a memória (e não um dispositivo de E/S) que está sendo acessada.

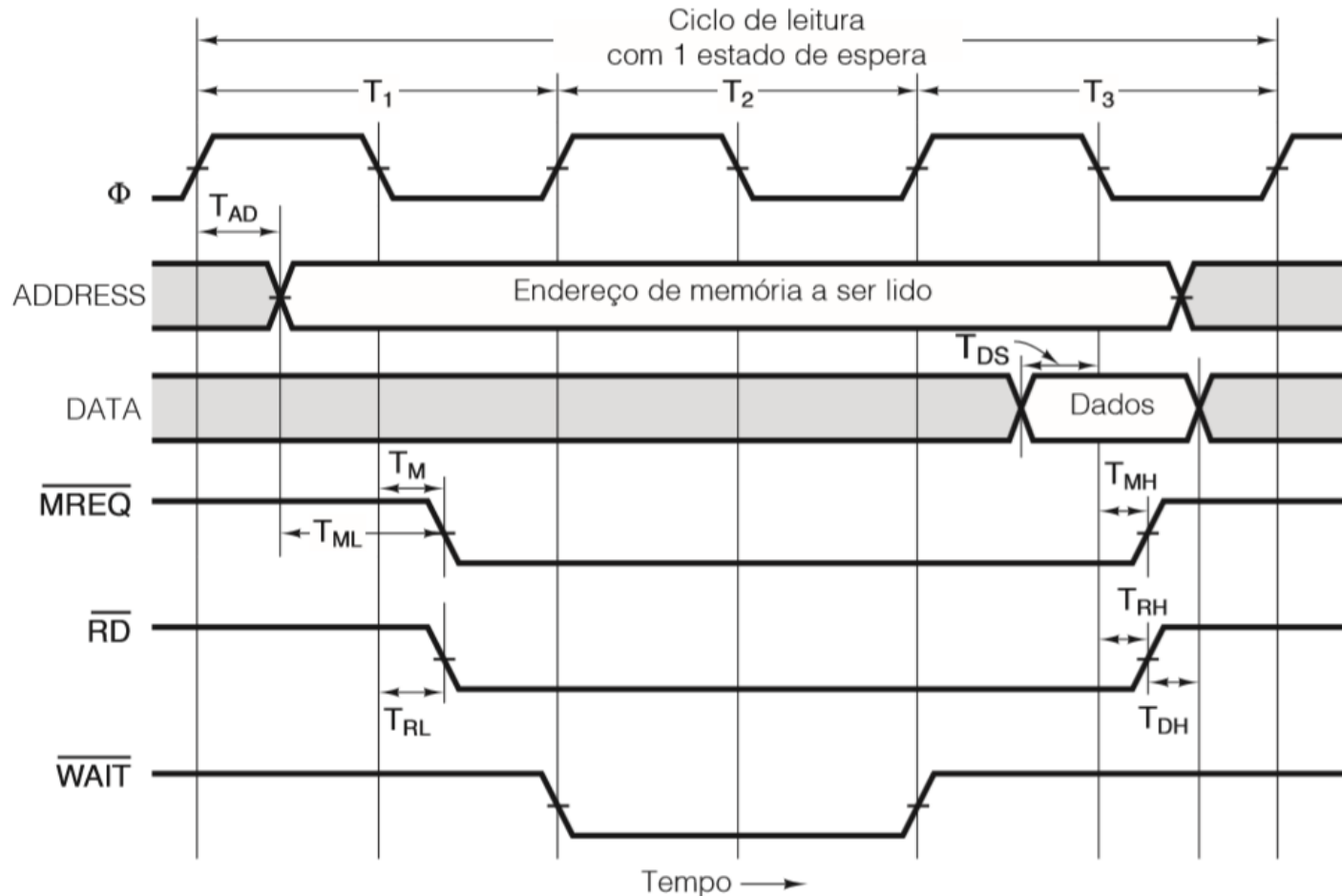
RD é ativado (valor 0) para leituras e negado (valor 1) para escritas.



Exemplo clock do barramento da memória

Para dizer à CPU que espere (ela ainda não pode entregar os dados requisitados), a memória ativa a linha wait no início de T_2 .

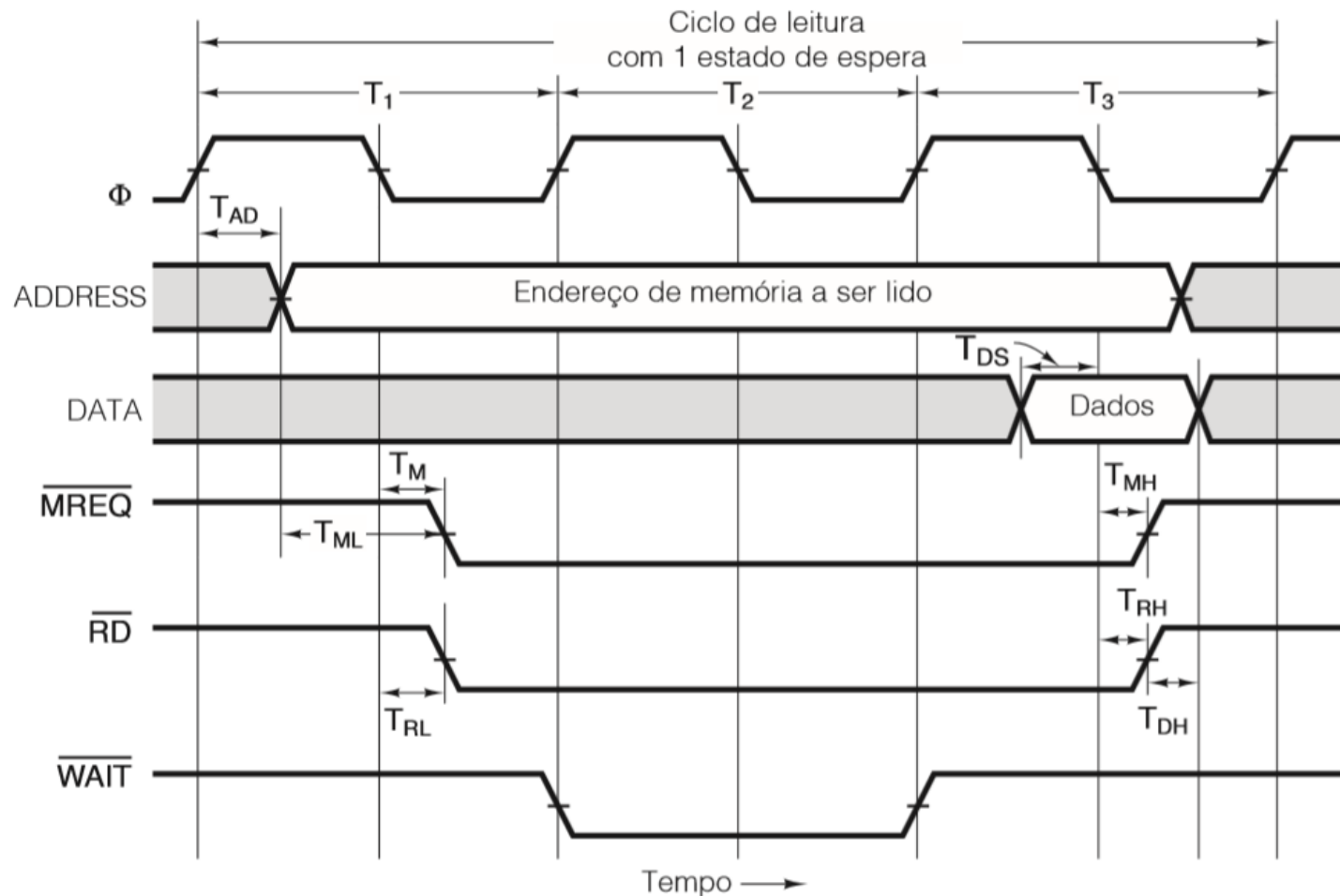
Durante a primeira metade de T_3 , a memória coloca os dados nas linhas de dados.



Exemplo clock do barramento da memória

Após ter lido os dados, a CPU nega MREQ e RD.

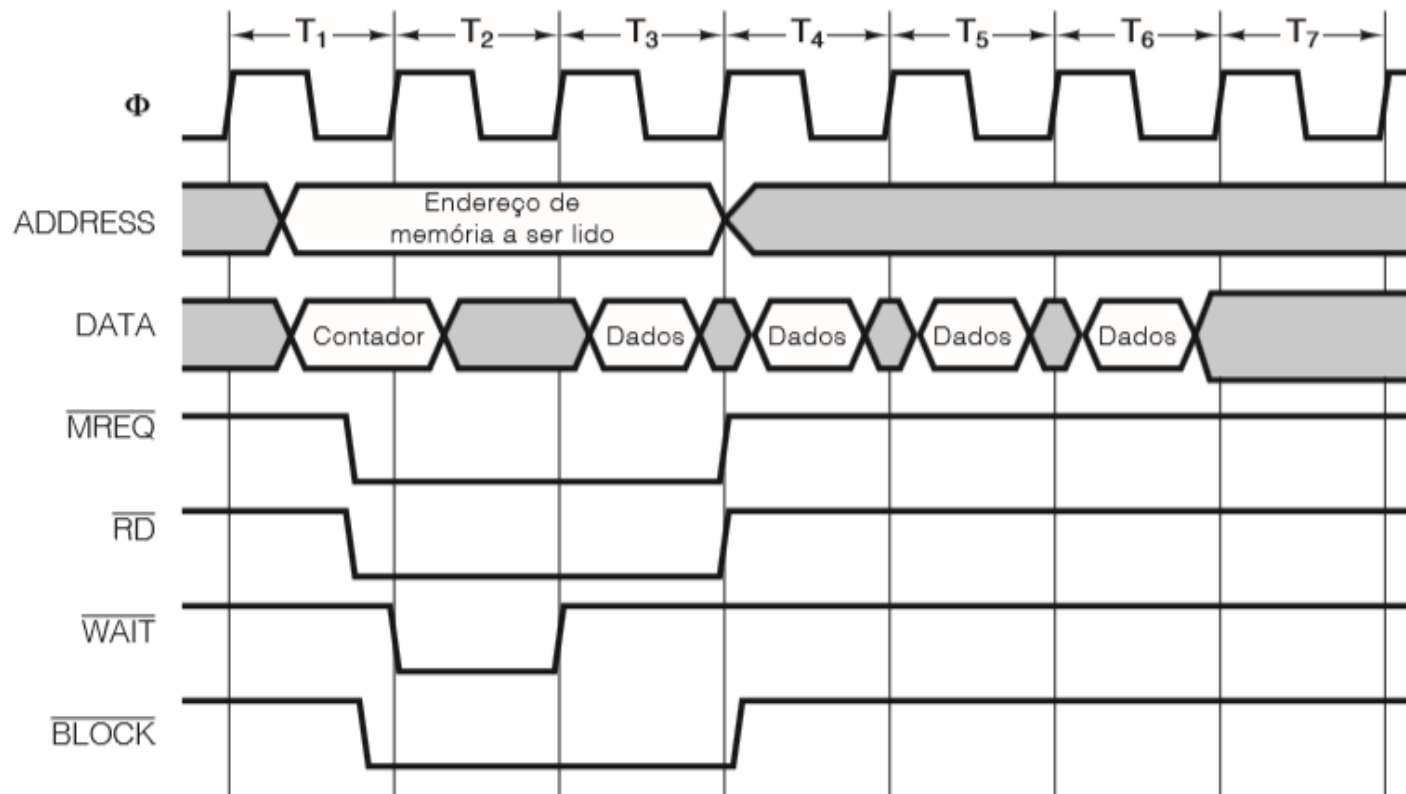
Se for preciso, outro ciclo de memória pode começar na próxima borda ascendente do clock. Essa sequência pode ser repetida indefinidamente.



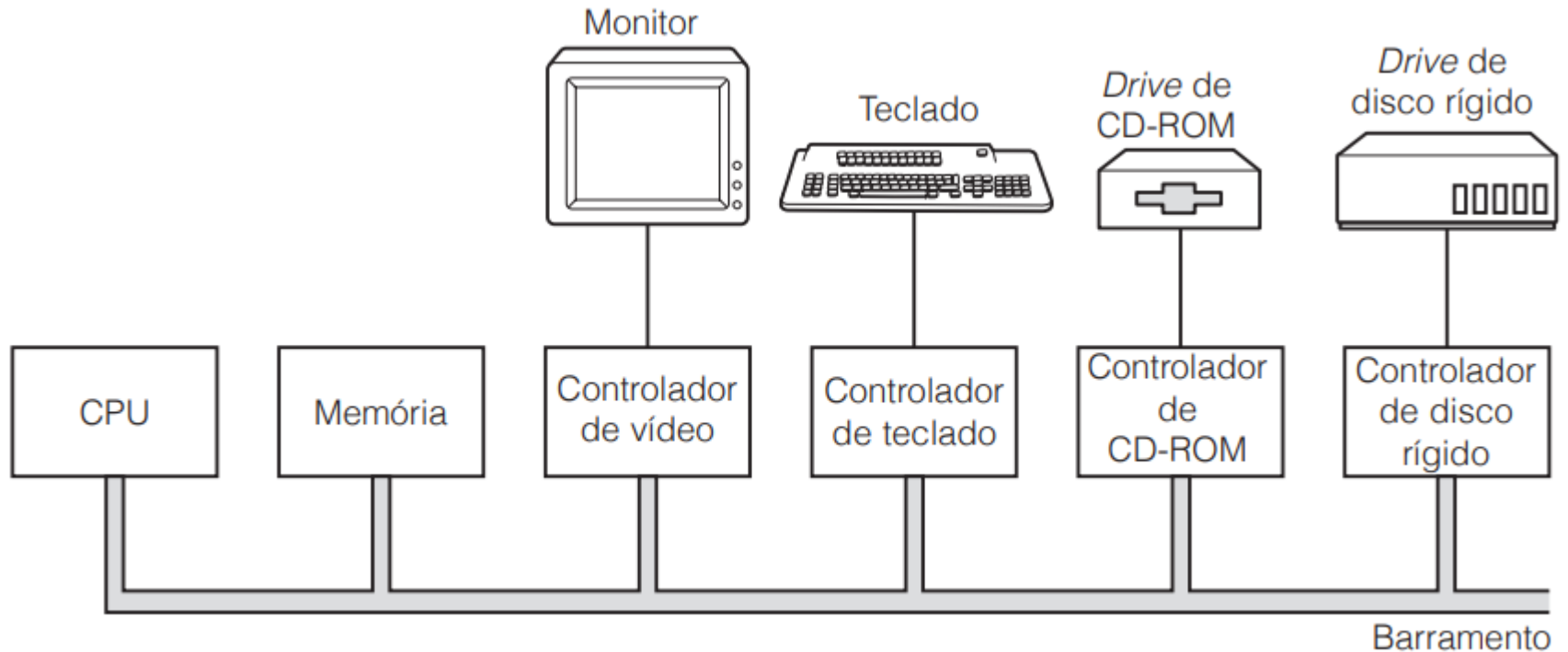
Exemplo de transferência de bloco

Transferências de blocos costumam ser mais eficientes do que transferências individuais sucessivas.

Quando uma leitura de bloco é iniciada, o mestre de barramento informa quantas palavras serão transferidas, por exemplo, colocando o número de palavras nas linhas de dados durante T_1 . Em vez de retornar apenas uma palavra, ele entrega uma durante cada ciclo até esgotar aquele número de palavras.



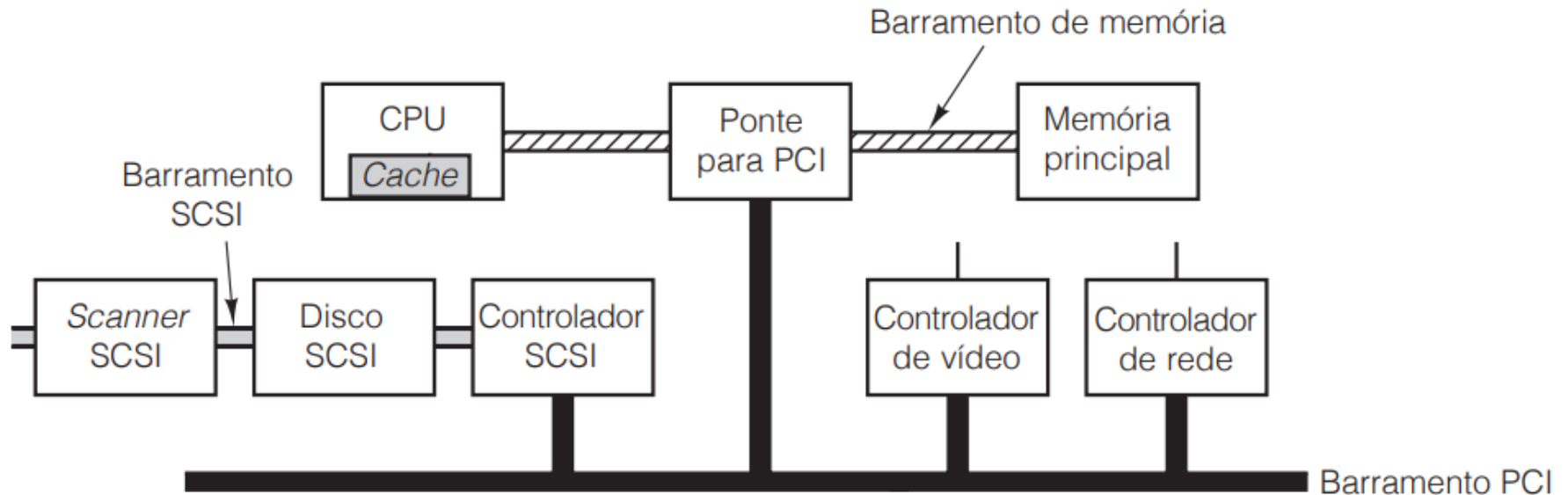
Estrutura lógica de um computador pessoal simples



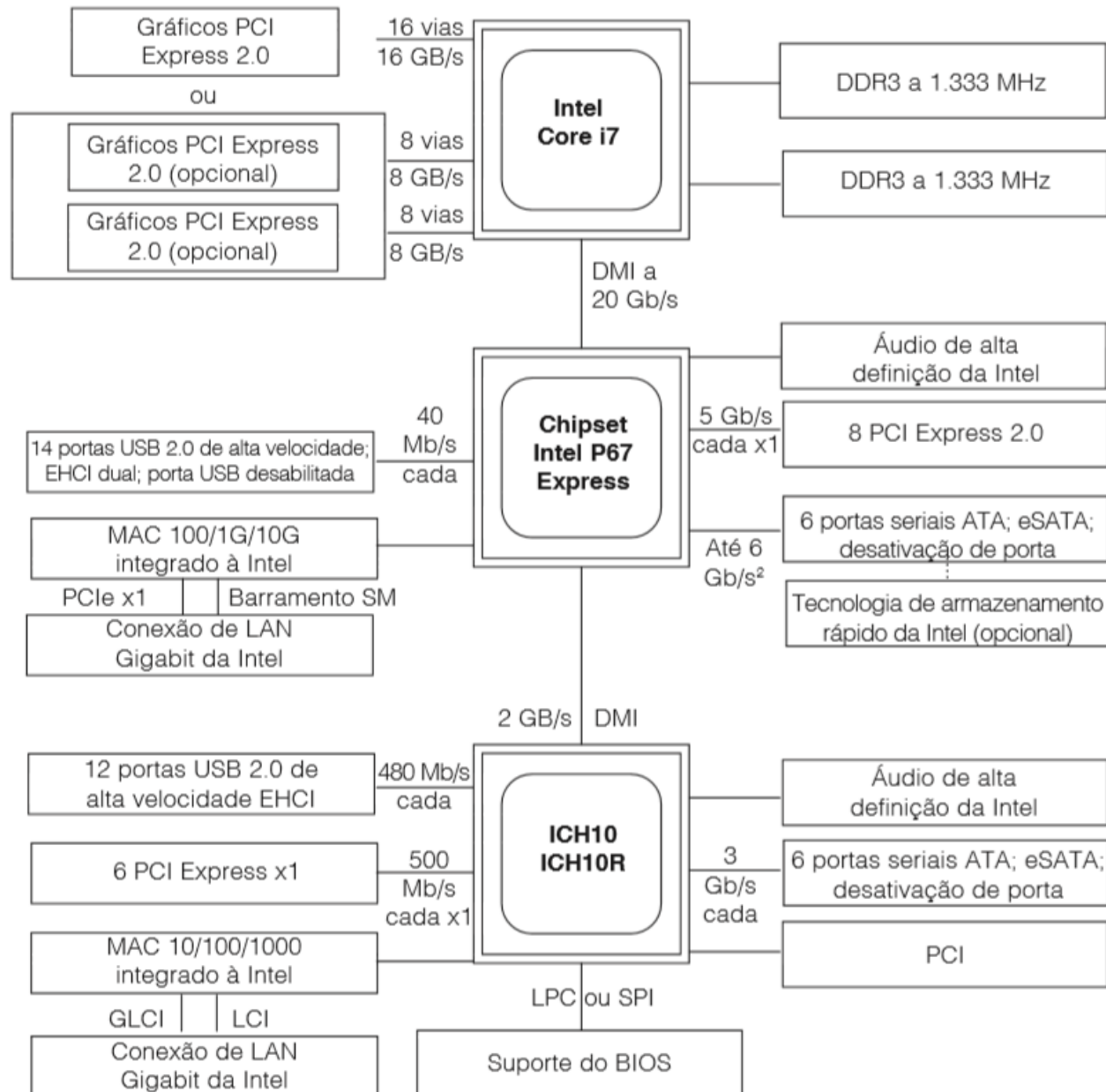
A função de um controlador é controlar seu dispositivo de E/S e manipular para ele o acesso ao barramento.

Quando um programa quer dados do disco, por exemplo, ele envia um comando ao controlador de disco, que então emite comandos de busca e outros comandos para o drive.

Estrutura lógica de um computador pessoal simples

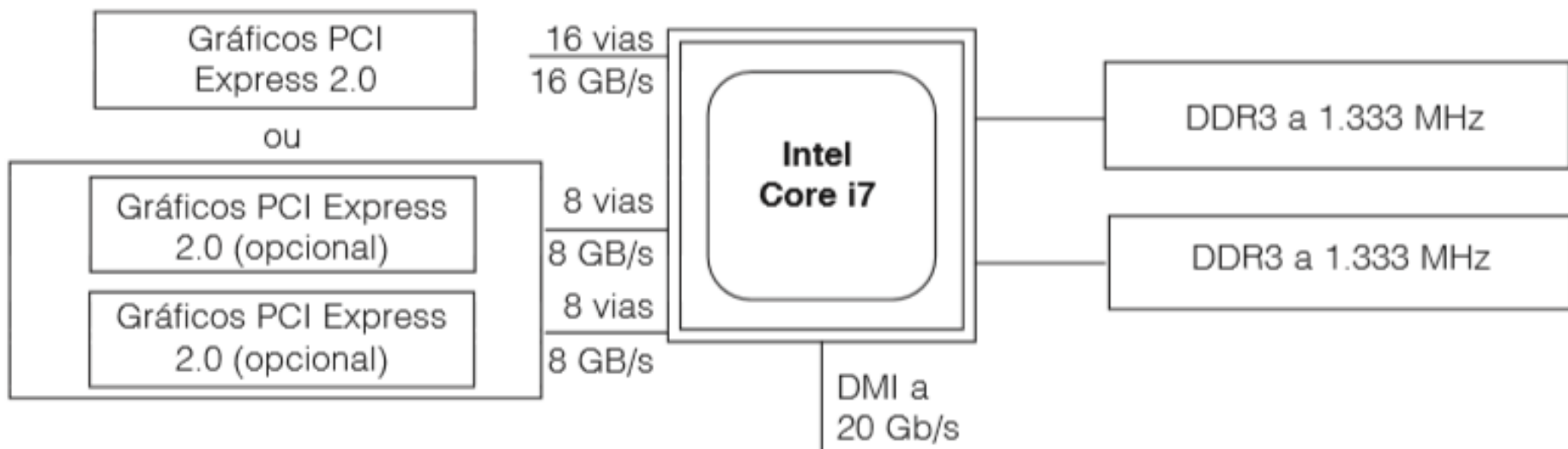


Estrutura do barramento de um Core i7



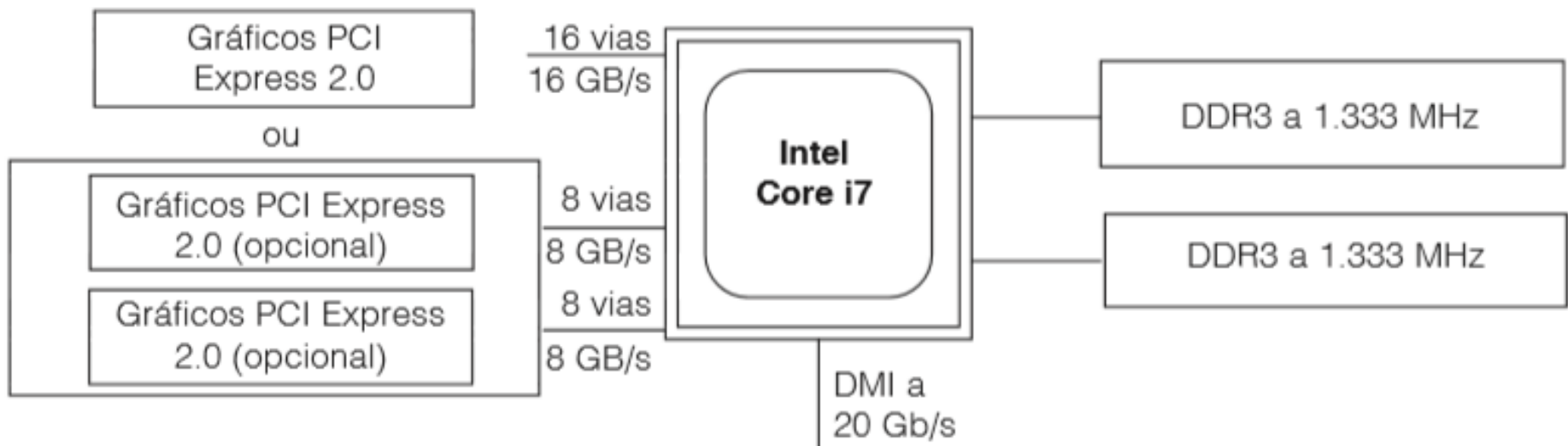
Estrutura do barramento de um Core i7

Pinagem lógica do Core i7: Os 1.155 pinos do Core i7 são usados para 447 sinais, 286 conexões de energia elétrica (em diversas voltagens diferentes), 360 terras e 62 reservados para uso futuro.



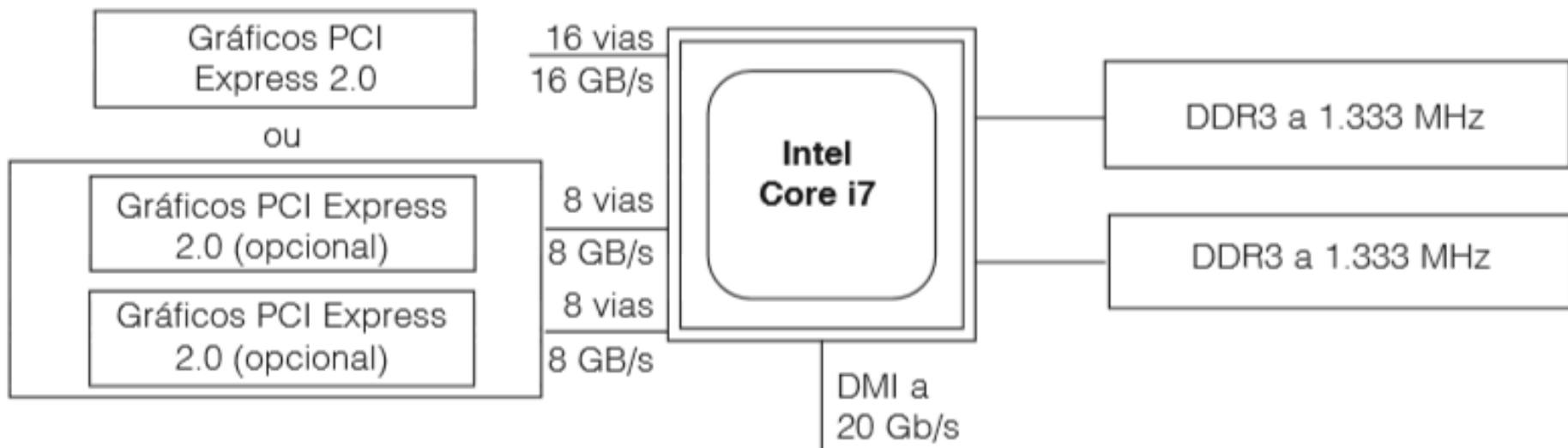
Estrutura do barramento de um Core i7

No Core i7, diversas interfaces foram integradas diretamente no chip da CPU. Os dois canais de memória DDR3, rodando a 1.333 transações/s, conectam-se à memória principal e oferecem uma largura de banda agregada de 10 GB/s por canal.



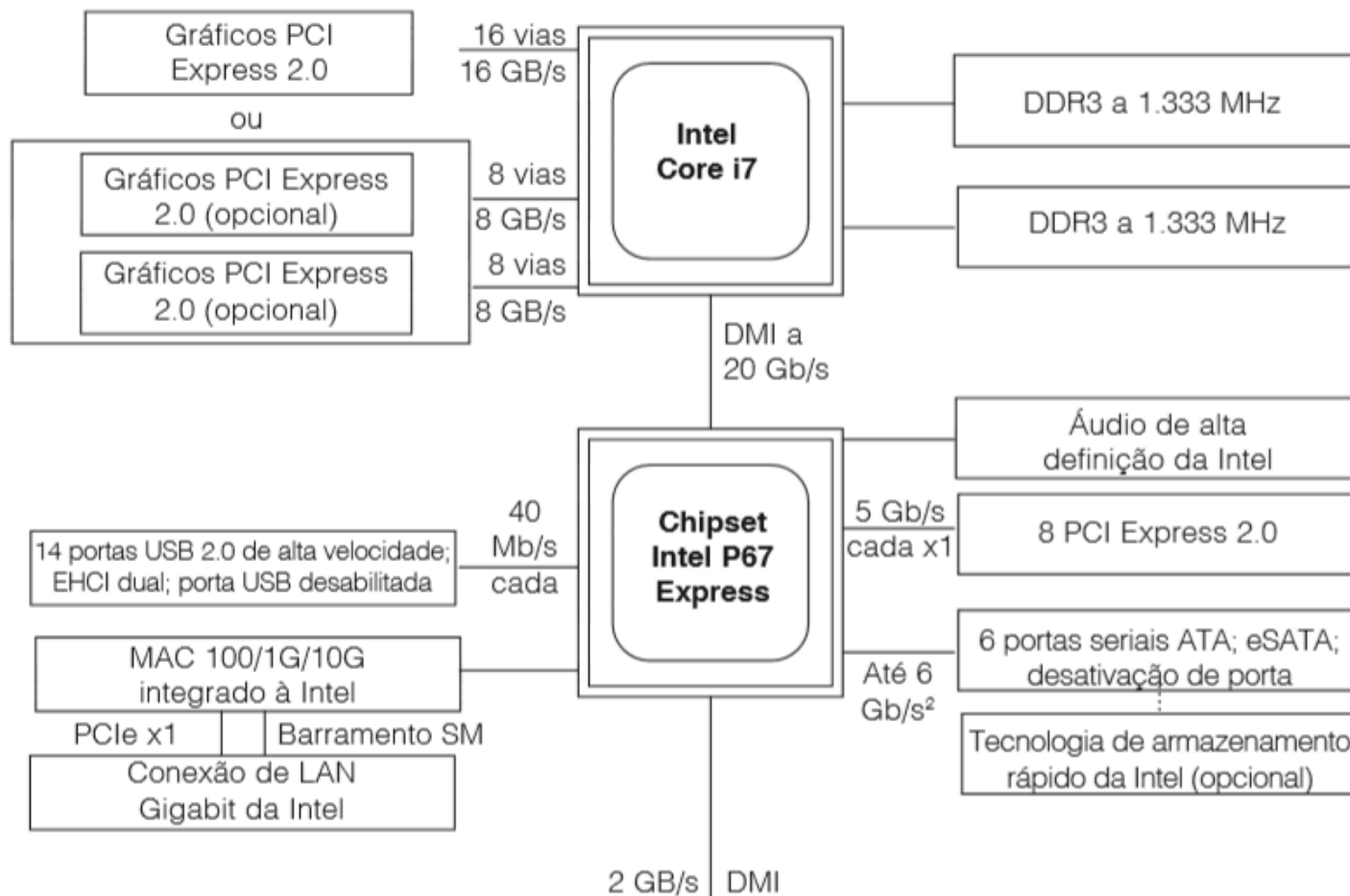
Estrutura do barramento de um Core i7

Também integrado à CPU está um canal PCI Express de 16 vias, que idealmente pode ser configurado em um único barramento PCI Express de 16 bits ou barramentos PCI Express independentes de 8 bits. As 16 vias juntas oferecem uma largura de banda de 16 GB/s para dispositivos de E/S.



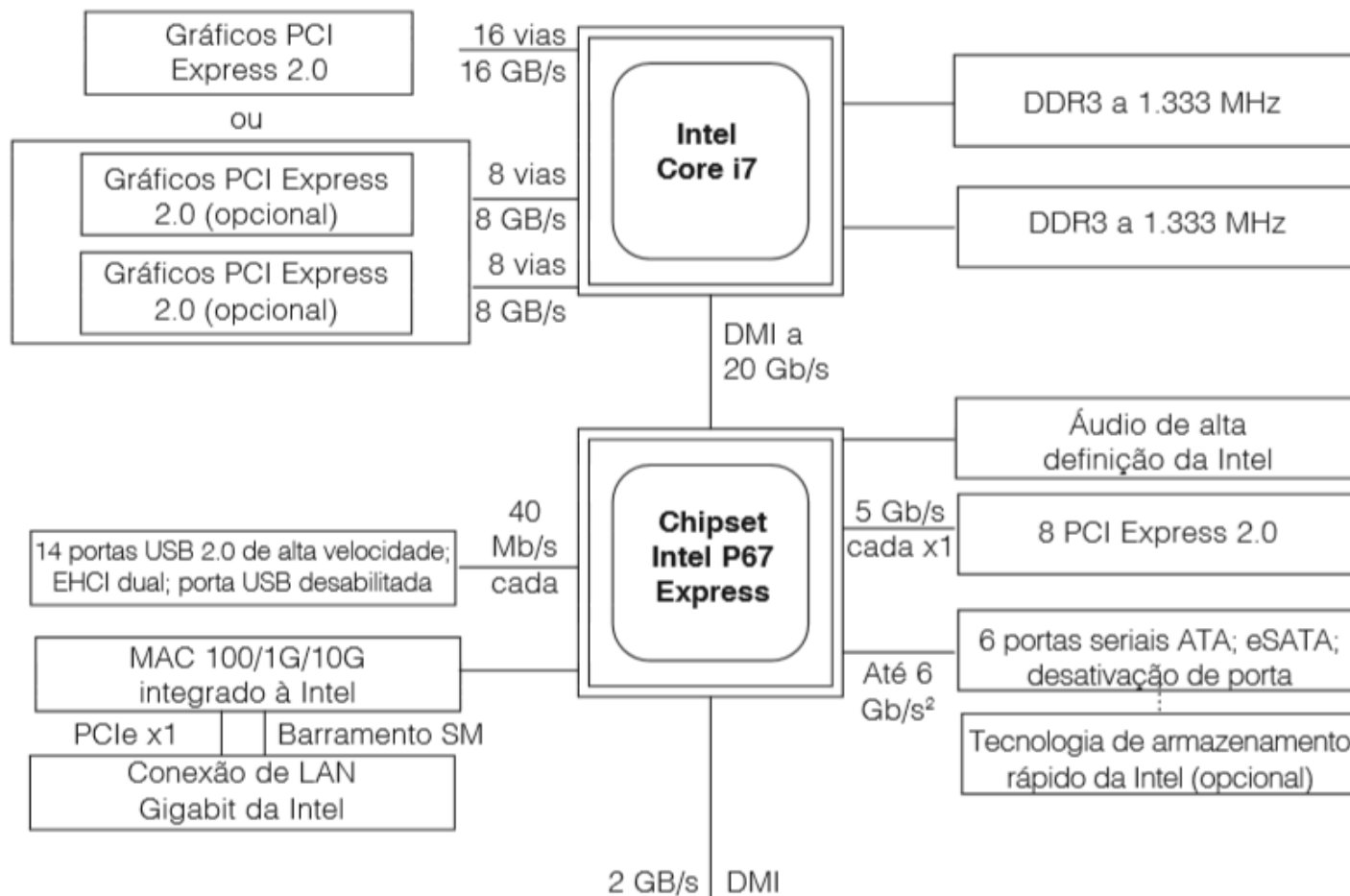
Estrutura do barramento de um Core i7

A CPU se conecta ao chip da ponte principal, o P67, por meio da interface de mídia direta (DMI - a interface DMI é semelhante à interface PCI Express) serial de 20 Gb/s (2,5 GB/s).



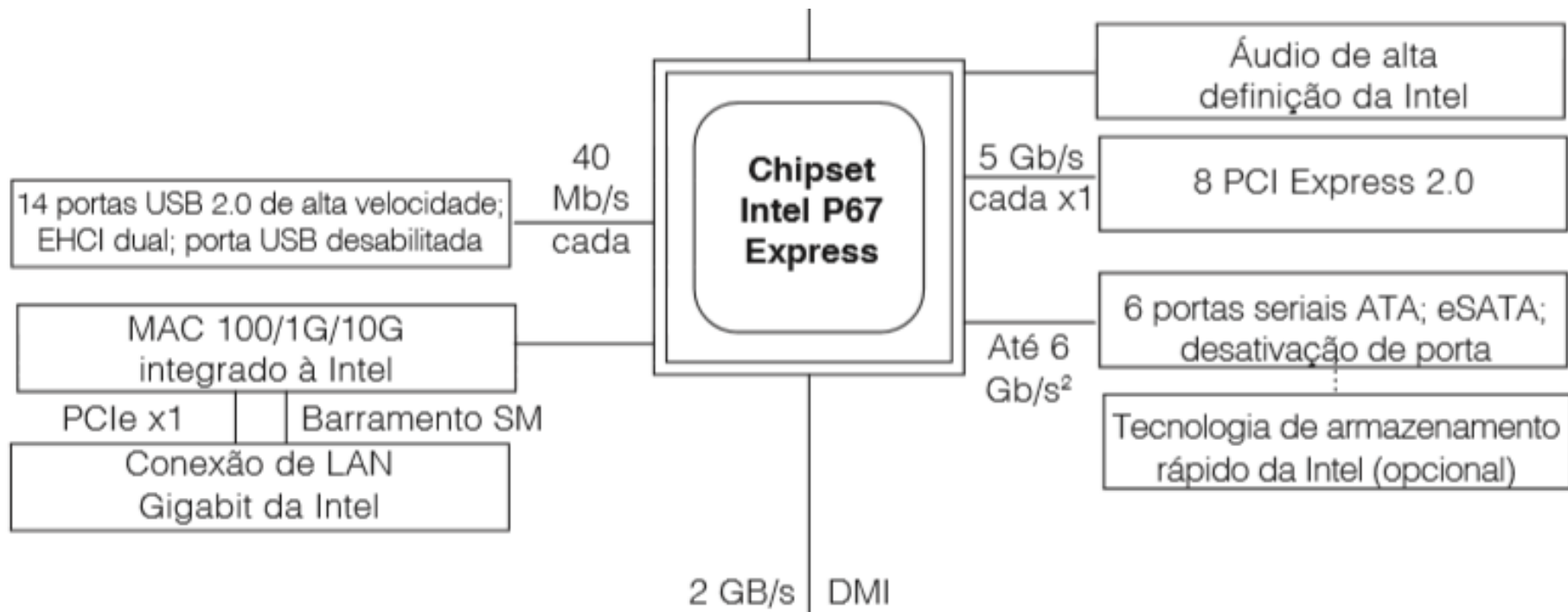
Estrutura do barramento de um Core i7

A CPU se conecta ao chip da ponte principal, o P67, por meio da interface de mídia direta (DMI - a interface DMI é semelhante à interface PCI Express) serial de 20 Gb/s (2,5 GB/s).



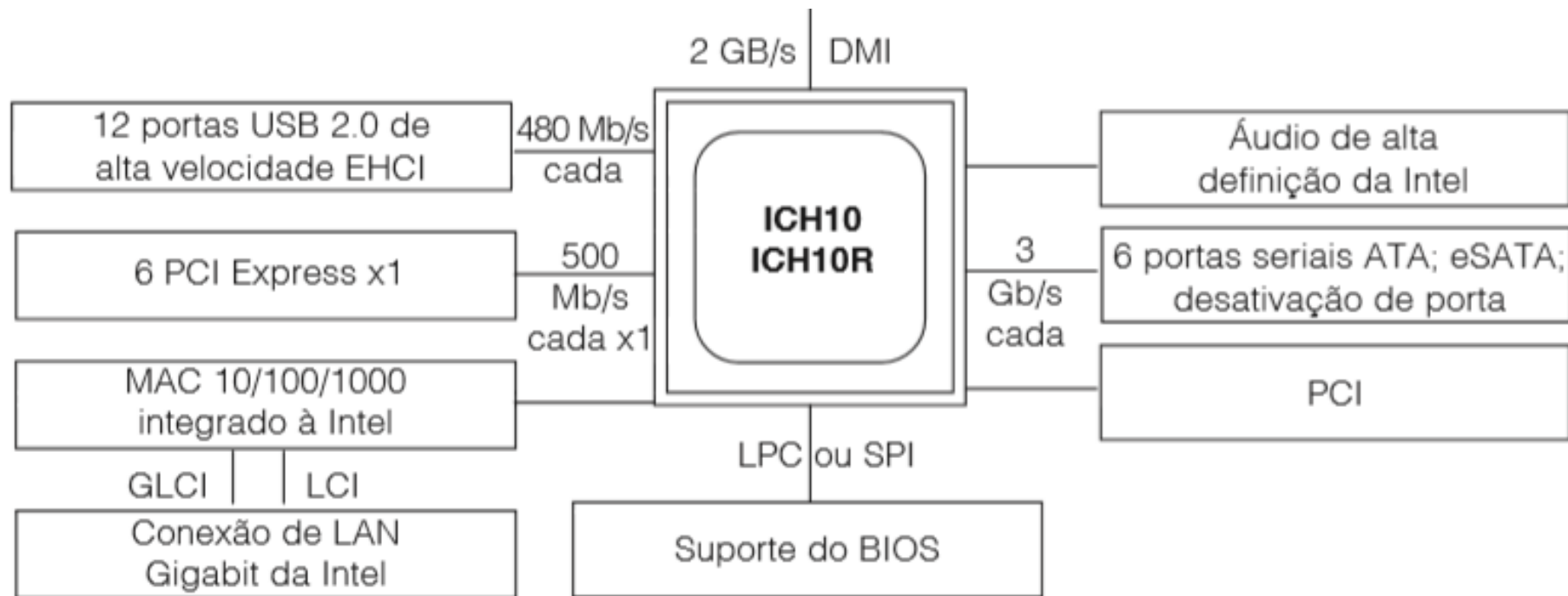
Estrutura do barramento de um Core i7

O P67 oferece interfaces para uma série de interfaces de E/S. Oito vias PCI Express adicionais são fornecidas, mais interfaces de disco SATA. O P67 também executa 14 interfaces USB 2.0, Ethernet de 10G e uma de áudio.

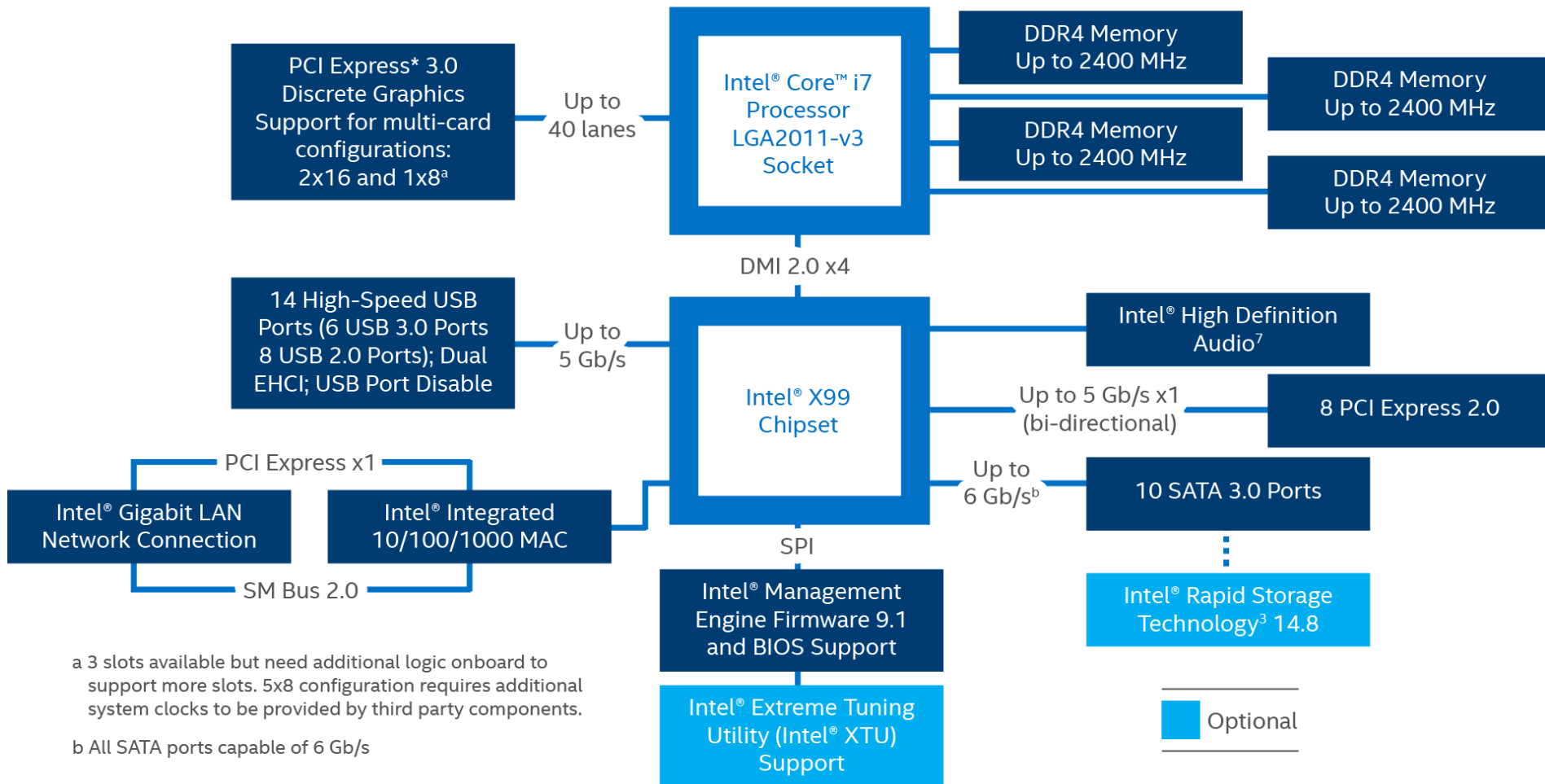


Estrutura do barramento de um Core i7

O chip iCH10 oferece suporte a interface legada para dispositivos antigos. Ele está conectado ao P67 por meio de uma interface DMI mais lenta. O iCH10 implementa o barramento PCi, Ethernet a 1G, portas USB e as clássicas interfaces PCi Express e SATA.



Estrutura do barramento de um Core i7



Referência da aula

Capítulos 3, 4 e 5 do livro *Arquitetura e Organização de Computadores*, William Stalling

Capitulo 7 do livro Introdução à arquitetura de computadores
MURDOCCA, Miles J.; HEURING, Vincent P.

Capitulos 2.2 e 2.3 do livro *Organização estruturada de computadores*, Tanenbaum

Bibliografia

MURDOCCA, Miles J.; HEURING, Vincent P. Introdução à arquitetura de computadores. Rio de Janeiro: Campus, c2001.

Stallings, William. *Computer Organization and Architecture: International Edition*. Pearson Higher Ed, 2013.

ZELENOVSKY, R.; MENDONÇA, A. Microcontroladores Programação e Projeto com a Família 8051. MZ Editora, RJ, 2005.

Gimenez, Salvador P. Microcontroladores 8051 - Teoria e Prática, Editora Érica, 2010.