

گزارش تکلیف سوم کامپیوتری مدار منطقی

البرز محمودیان 810101514

سوال 1: ابتدا کدی که برای مدار behavioral ALU زدیم را به yosys می دهیم تا آن را برای ما synthesise کند

در netlist زیر مشاهده می کنیم که کد ما را توسط gate 480 طراحی کرده است.

```
C:\Users\Mahmodiyan-PC\Desktop\assignment3\yosys.exe
Top module: \behavioral_ALU
Removed 0 unused modules.

2.23. Printing statistics.

=== behavioral_ALU ===
Number of wires:          470
Number of wire bits:      517
Number of public wires:   7
Number of public wire bits: 54
Number of memories:       0
Number of memory bits:    0
Number of processes:      0
Number of cells:          480
  $ _AND_                  59
  $ _AOI3_                 62
  $ _AOI4_                 10
  $ _MUX_                  1
  $ _NAND_                 40
  $ _NOR_                 78
  $ _NOT_                 64
  $ _OAI3_                 37
  $ _OAI4_                 9
  $ _OR_                   29
  $ _XNOR_                 82
  $ _XOR_                  9

2.24. Executing CHECK pass (checking for obvious problems).
checking module behavioral ALU...
```

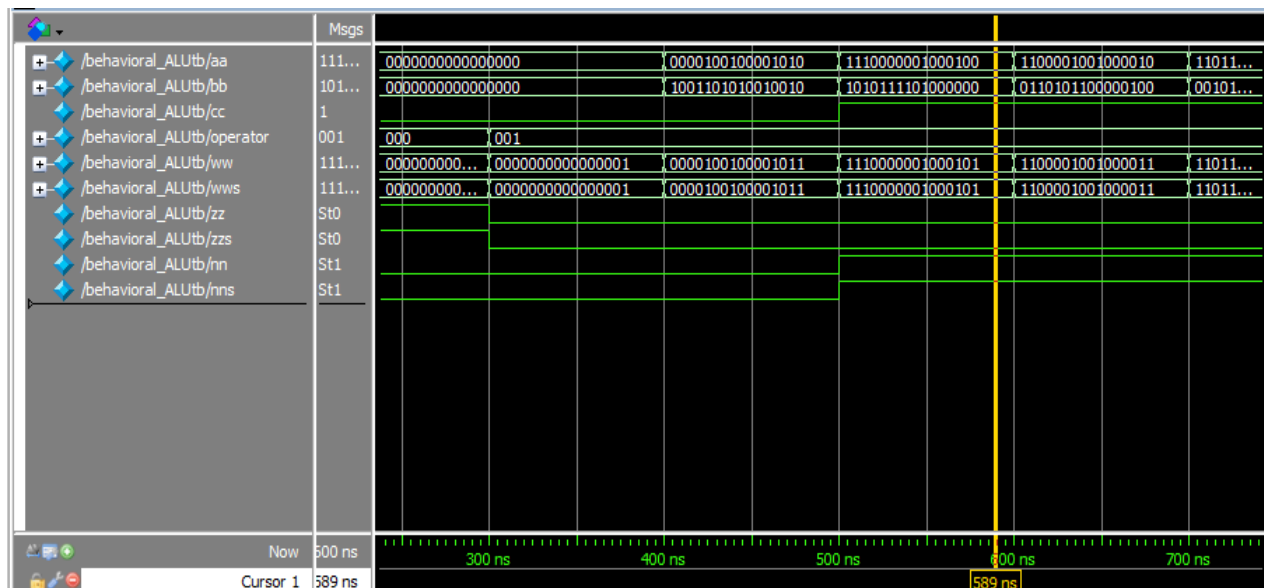
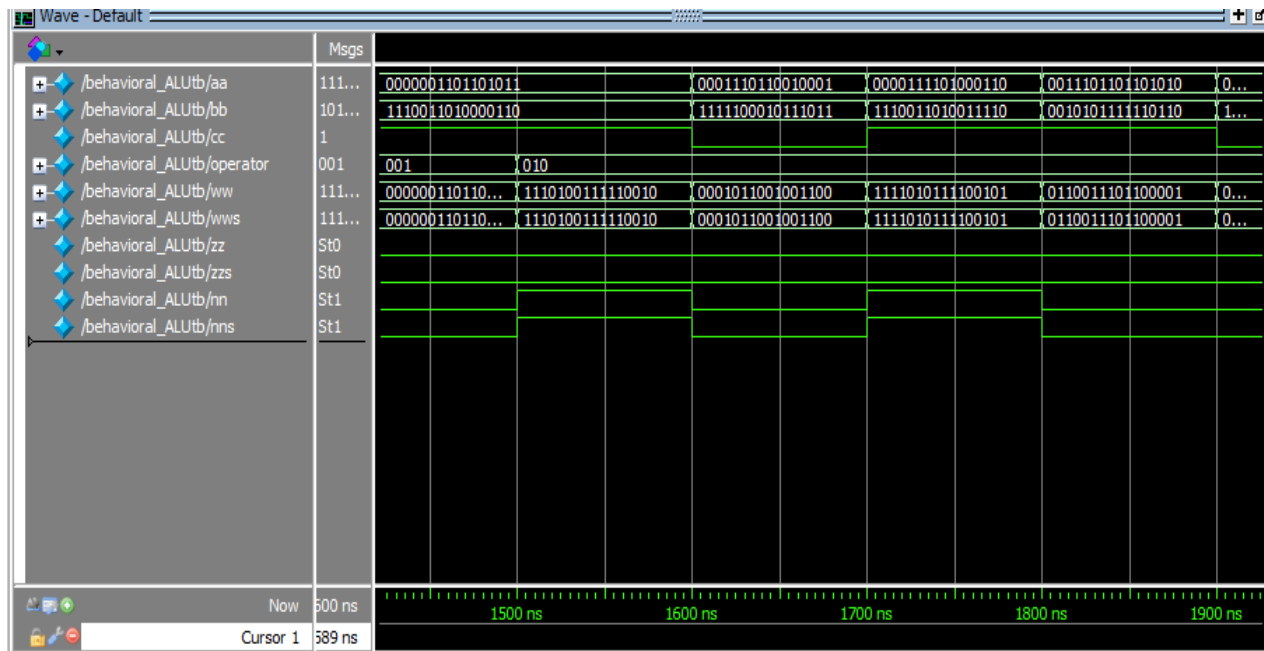
```
ABC: + map
ABC: + write_blif <abc-temp-dir>/output.blif
```

4.1.2. Re-integrating ABC results.

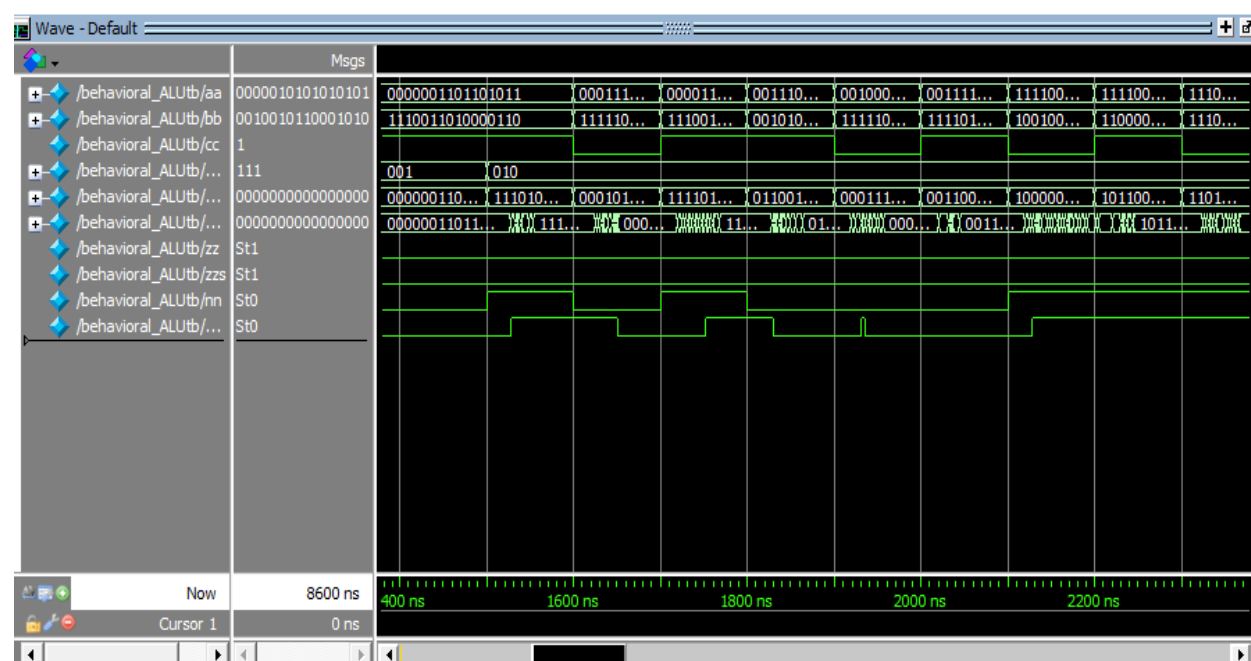
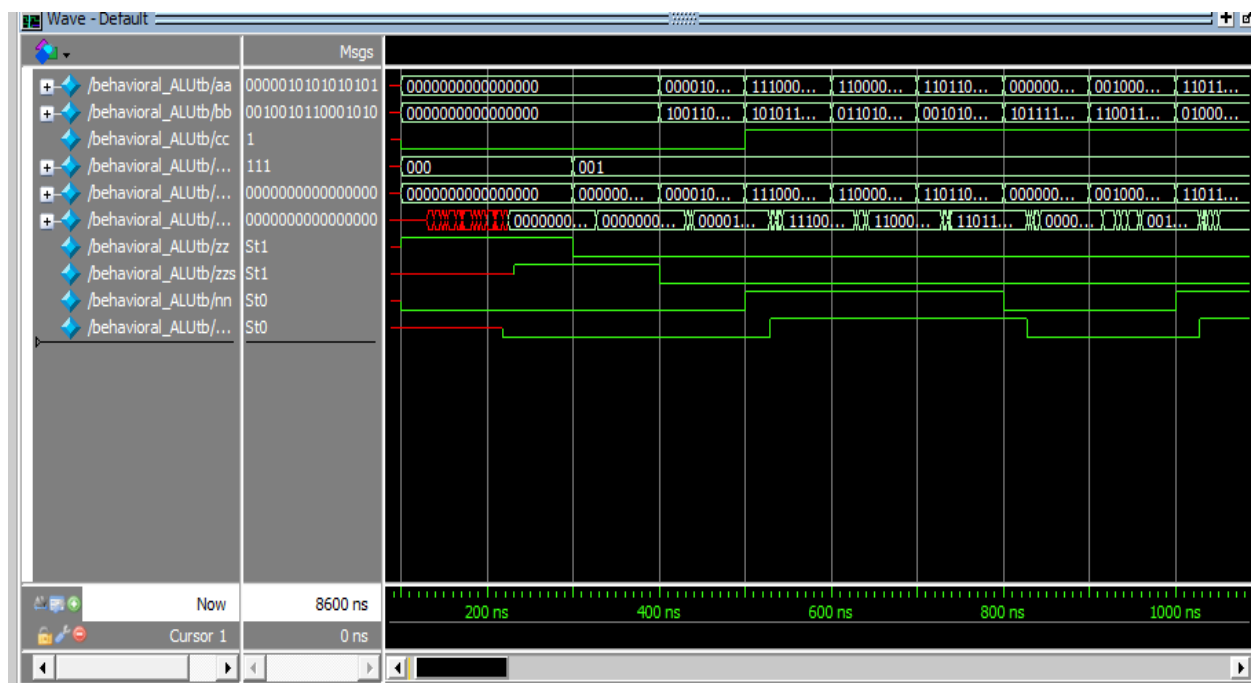
```
ABC RESULTS:      NAND cells:      208
ABC RESULTS:      NOR cells:       336
ABC RESULTS:      NOT cells:       112
ABC RESULTS:      internal signals: 463
ABC RESULTS:      input signals:    36
ABC RESULTS:      output signals:   17
Removing temp directory.
```

```
yosys>
```

حالا برای مقایسه ی wave های ALU ای که خودمان طراحی کردیم و کد synthesise شده ی yosys در فایل mycells تاخیر های گیت های not , or, and را بر میداریم تا بتوانیم دو موج را با هم مقایسه کنیم که در عکس های زیر مشاهده می کنیم w ها کاملا با هم یکسان هستند و همچنین zero flag , negative flag نیز کاملا با هم در دو مدار هماهنگ هستند:



با در نظر گرفتن delay ها در mycells می بینیم که wave ها کامل روی هم نمی افتند و تغییرات delay ها روی wave دوم قابل مشاهده است که همین سبب می شود چون گاهی بیت ها با تاخیر تغییر می کنند خروجی نیز اشتباه شود که در دو عکس زیر این مسعله را مشاهده می کنیم:



سوال 2: ابتدا کدی که برای مدار structural ALU زدیم را به yosys می دهیم تا آن را برای ما synthesise کند که در انتهای گزارش توضیح داده شده که چگونه از behavioral ALU به structural ALU رسیدیم.

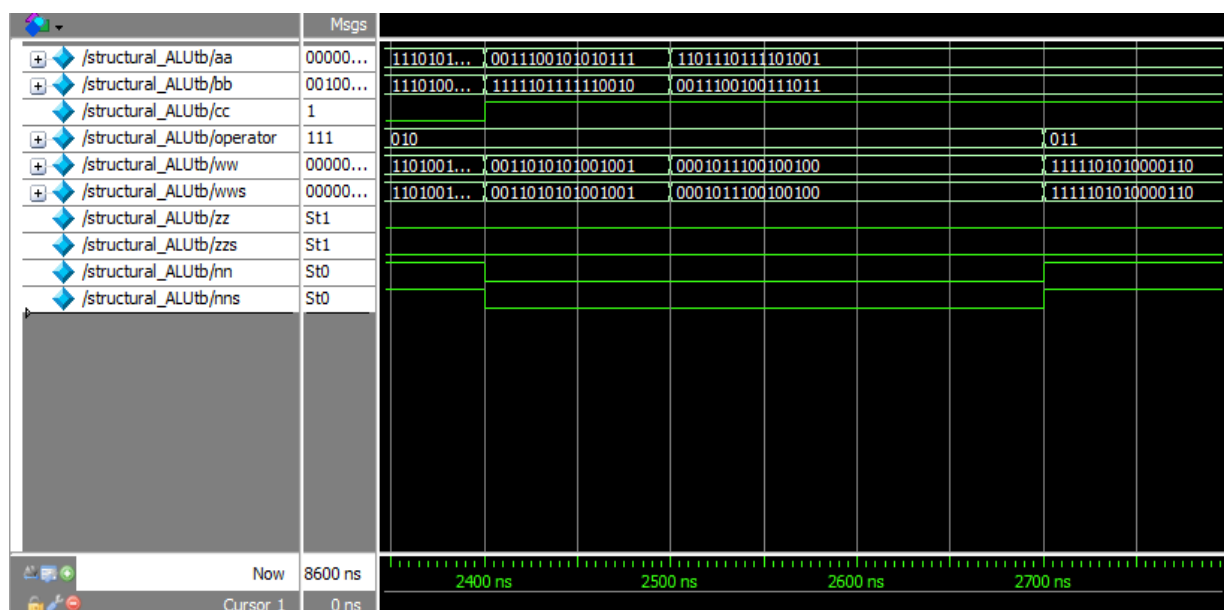
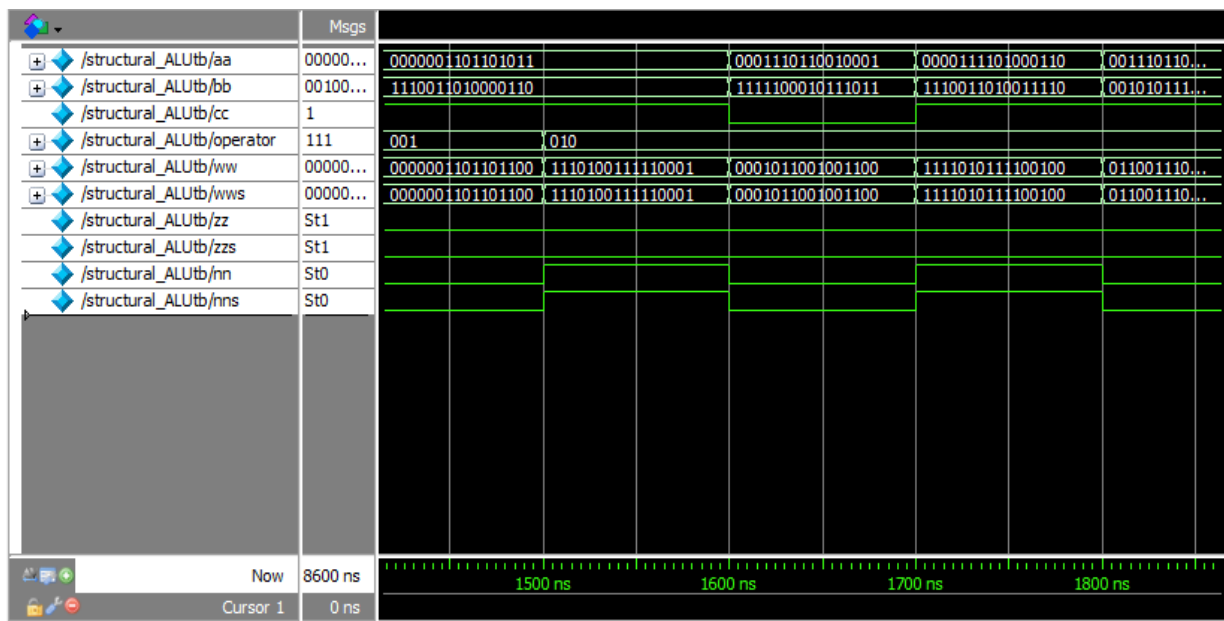
در netlist زیر مشاهده می کنیم که کد ما را توسط gate 274 طراحی کرده است. که بسیار بهتر از حالت قبل (سوال 1) است که این کار را با 480 گیت انجام دادیم.

و توانستیم با یک طراحی بهینه شده از behavioral ALU به structural ALU برسیم و در نهایت باعث شد که تعداد گیت های استفاده شده در مدار را کاهش دهد که این مسعله را می توانیم در دو عکس زیر که کتابخانه های yosys و mycells به ما داده اند مشاهده کنیم:

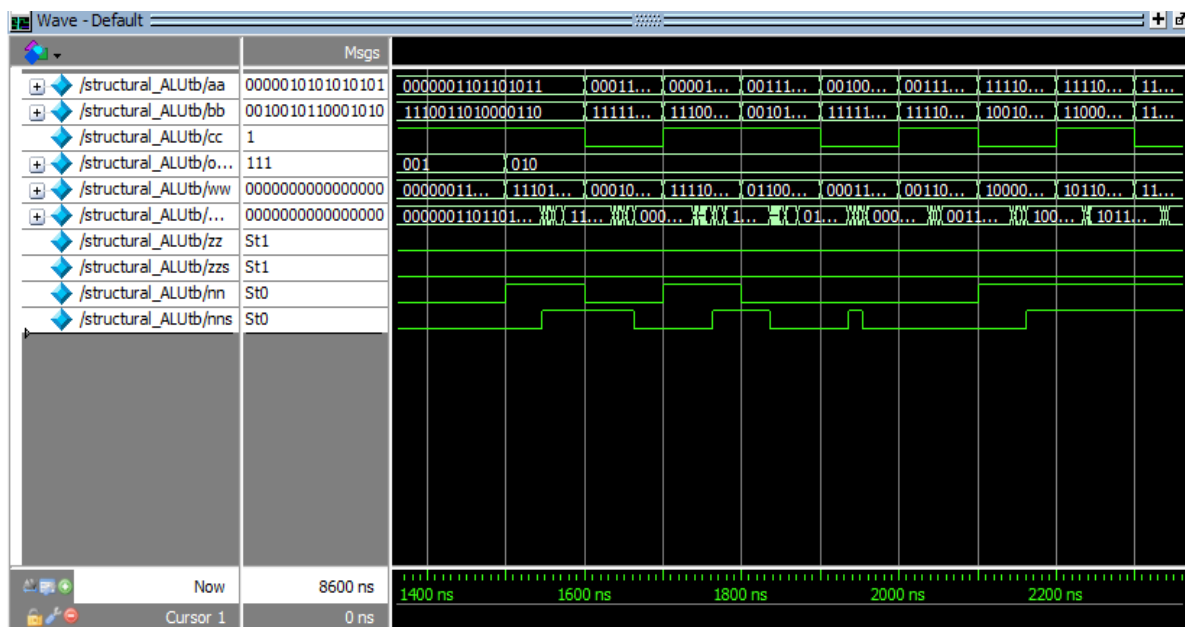
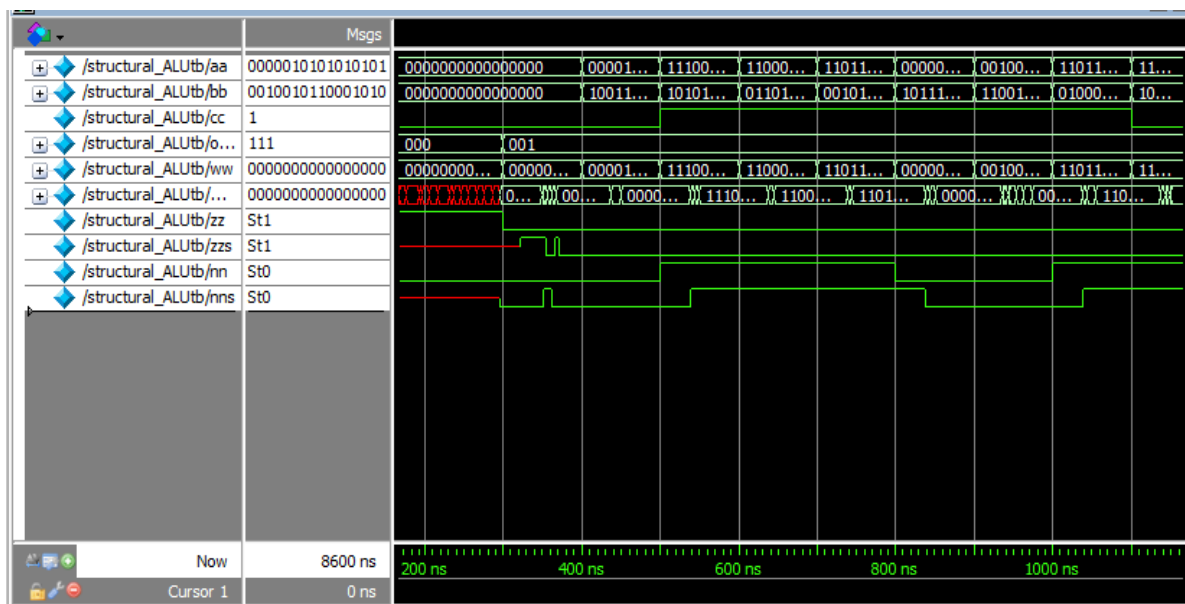
```
C:\Users\Mahmodiyan-PC\Desktop\assignment3\yosys.exe
2.23. Printing statistics.
=== structural_ALU ===
Number of wires:          264
Number of wire bits:      311
Number of public wires:   8
Number of public wire bits: 55
Number of memories:       0
Number of memory bits:    0
Number of processes:      0
Number of cells:          274
  $ _AND_                  38
  $ _AOI3_                 23
  $ _AOI4_                 18
  $ _MUX_                   1
  $ _NAND_                 20
  $ _NOR_                  32
  $ _NOT_                  27
  $ _OAI3_                 36
  $ _OAI4_                 12
  $ _OR_                   19
  $ _XNOR_                 40
  $ _XOR_                   8
2.24. Executing CHECK pass (checking for obvious problems).
checking module structural_ALU..
Warning: found logic loop in module structural_ALU:
cell $abc$698$auto$blifparse.cc:286:parse_blif$722 ($ _NOT_)
```

```
ABC: + recime -0
ABC: + strash
ABC: + dch -f
ABC: + map
ABC: + write_blif <abc-temp-dir>/output.blif
4.1.2. Re-integrating ABC results.
ABC RESULTS:          NAND cells:    165
ABC RESULTS:          NOR cells:     209
ABC RESULTS:          NOT cells:      82
ABC RESULTS:          internal signals: 256
ABC RESULTS:          input signals:   48
ABC RESULTS:          output signals:  18
Removing temp directory.
yosys>
```

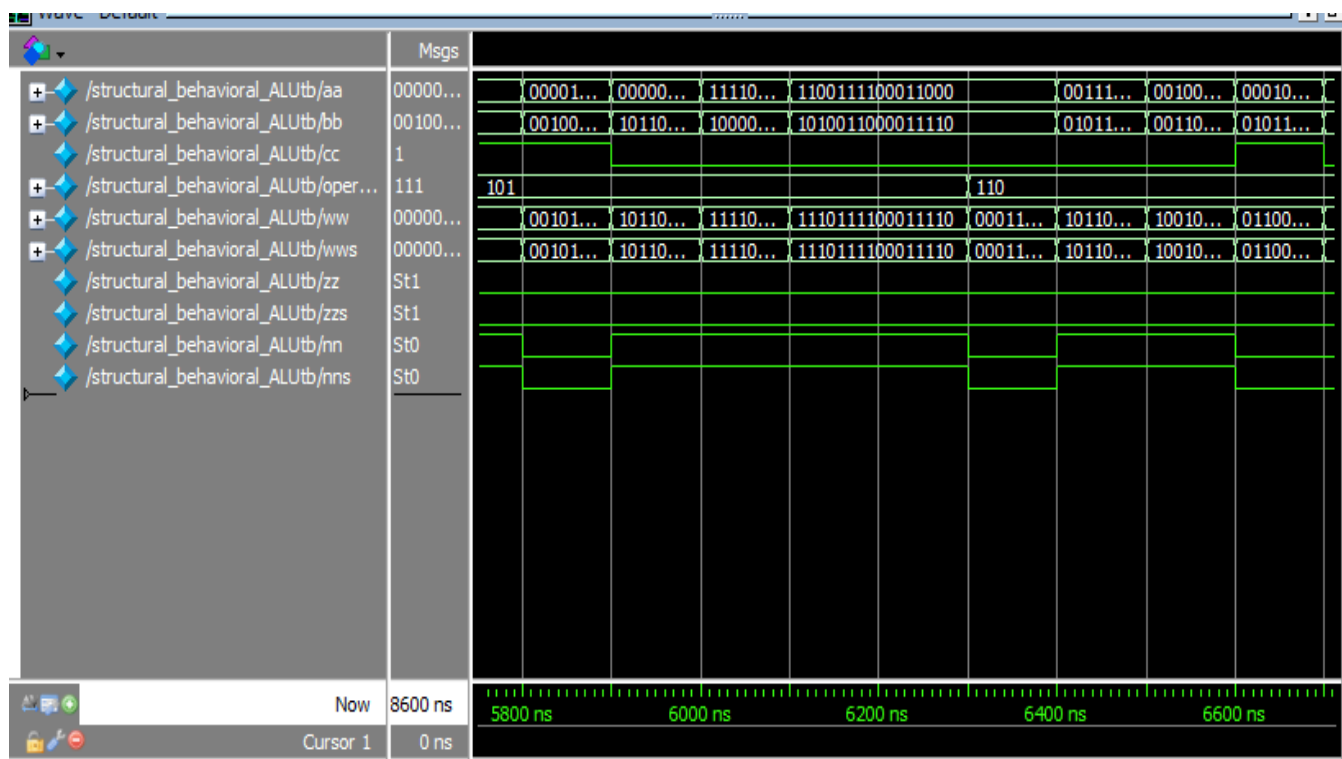
حالا برای مقایسه ی wave های structural ALU ای که خودمان طراحی کردیم و کد synthesise شده ی yosys در فایل mycells تاخیر های گیت های not , or, and را بر میداریم تا بتوانیم دو موج را با هم مقایسه کنیم که در عکس های زیر مشاهده می کنیم w ها کاملاً با هم یکسان هستند و همچنین negative flag , zero flag نیز کاملاً با هم در دو مدار هماهنگ هستند:

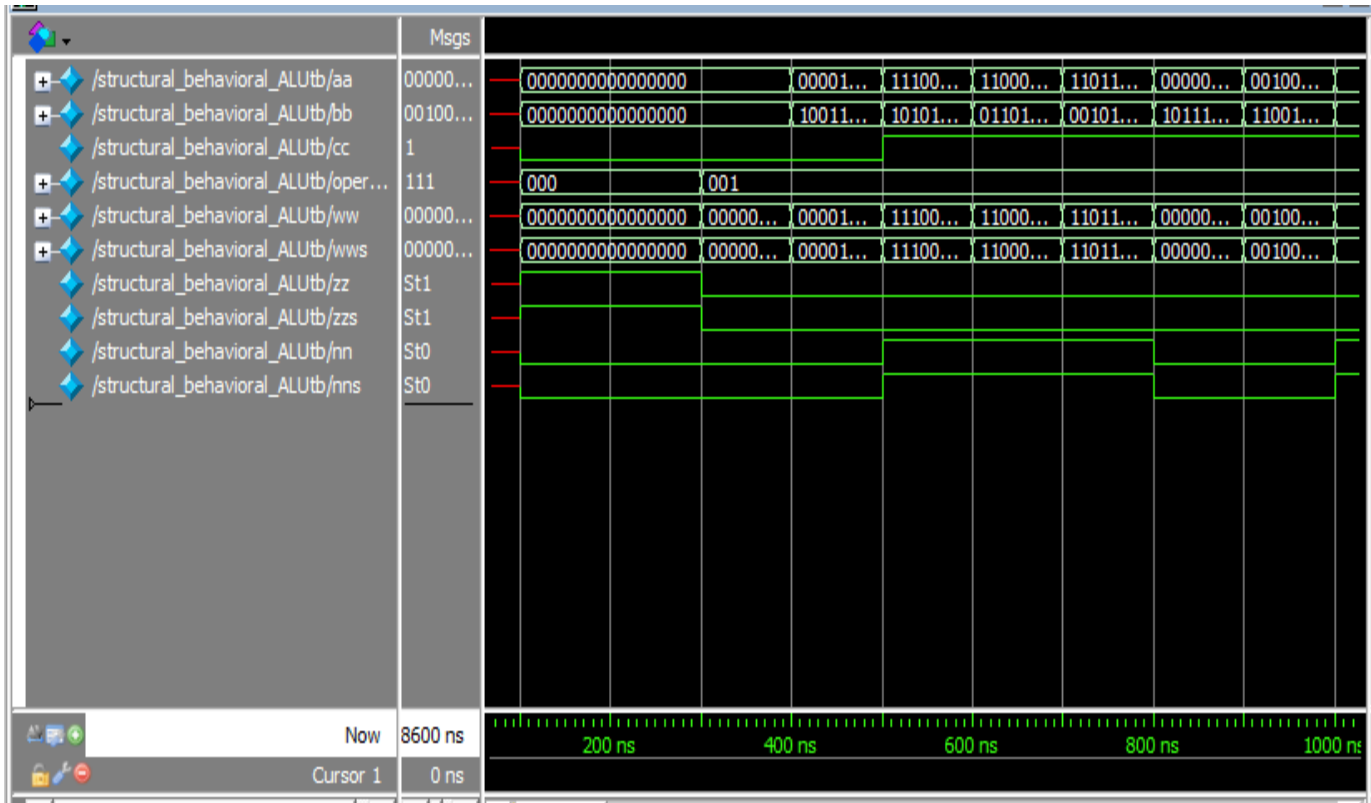


با در نظر گرفتن delay ها در mycells می بینیم که wave ها کامل روی هم نمی افتند و تغییرات delay ها روی wave دوم قابل مشاهده است که همین سبب می شود چون گاهی بیت ها با تاخیر تغییر می کنند خروجی نیز اشتباه شود که در دو عکس زیر این مسعله را مشاهده می کنیم:

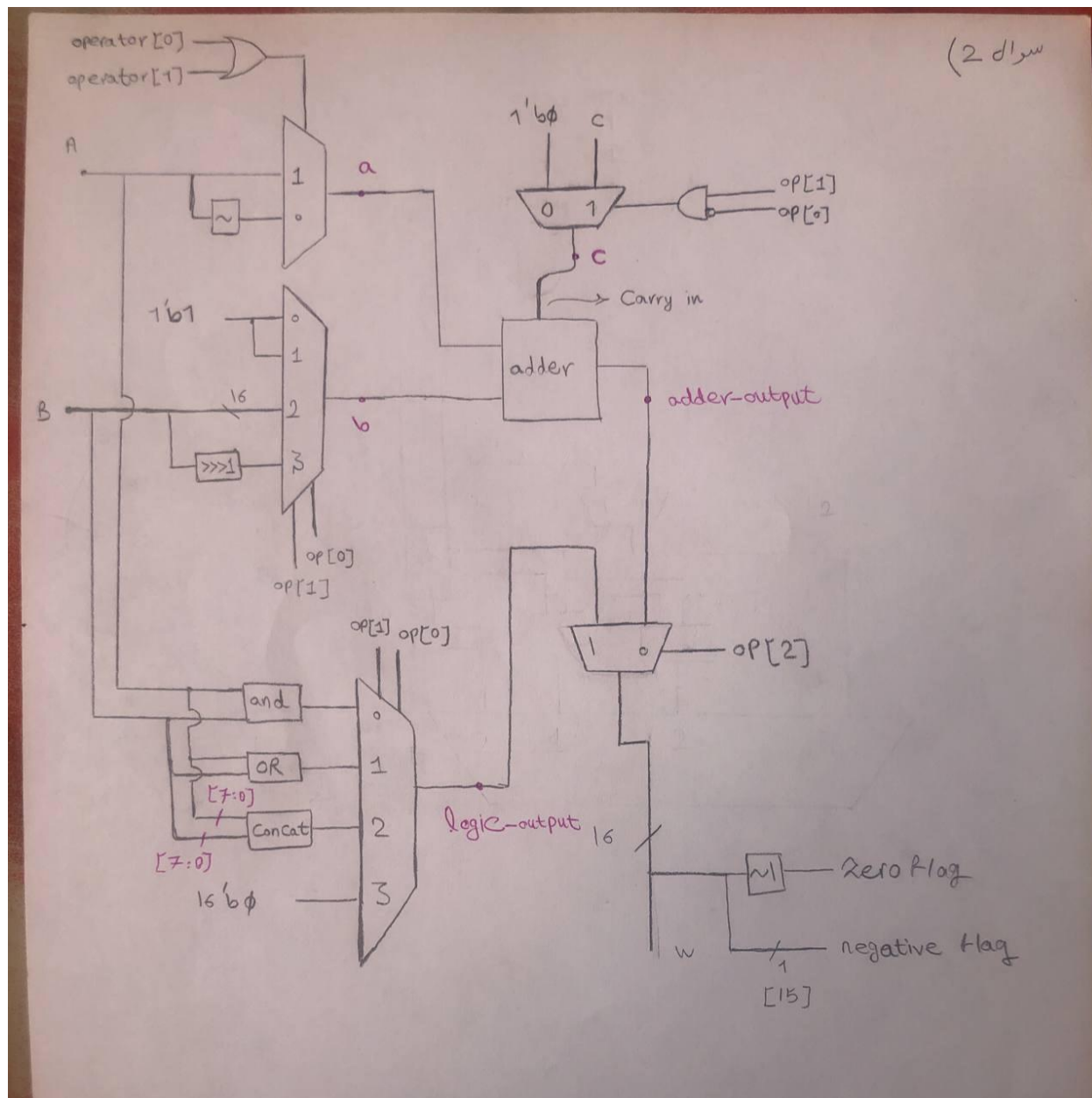


برای بخش آخر می خواهیم که دو مدار behavioral و structural را با هم مقایسه کنیم که آیا عملکرد یکسانی با وجود ساختار متفاوت دارند یا خیر که برای اینکار موج های این دو ساختار را با هم مقایسه می کنیم که در عکس های زیر مشاهده می کنیم که این دو ساختار متفاوت عملاً عملکرد یکسانی را دارند با این وجود که مدار دوم بسیار بهینه تر شده است :





سپس در آخر کار ساختاری را که روی کاغذ برای مدار های behavioral ALU و structural ALU کشیدیم را نشان می دهیم تا بفهمیم که چگونه از ساختار اول به ساختار دوم که بهینه تر بود رسیدیم :



سوال (1)

