

## گزارش پروژه 4 مدار منطقی:

البرز محمودیان

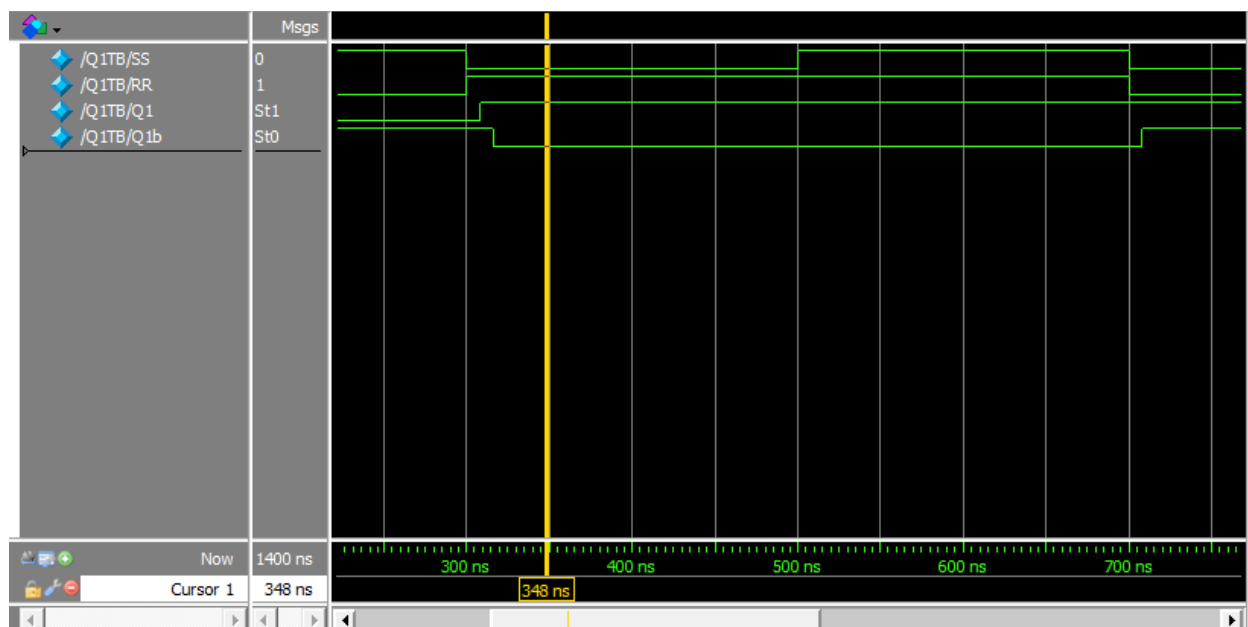
کد دانشجویی : 810101514

### سوال 1 ( a )

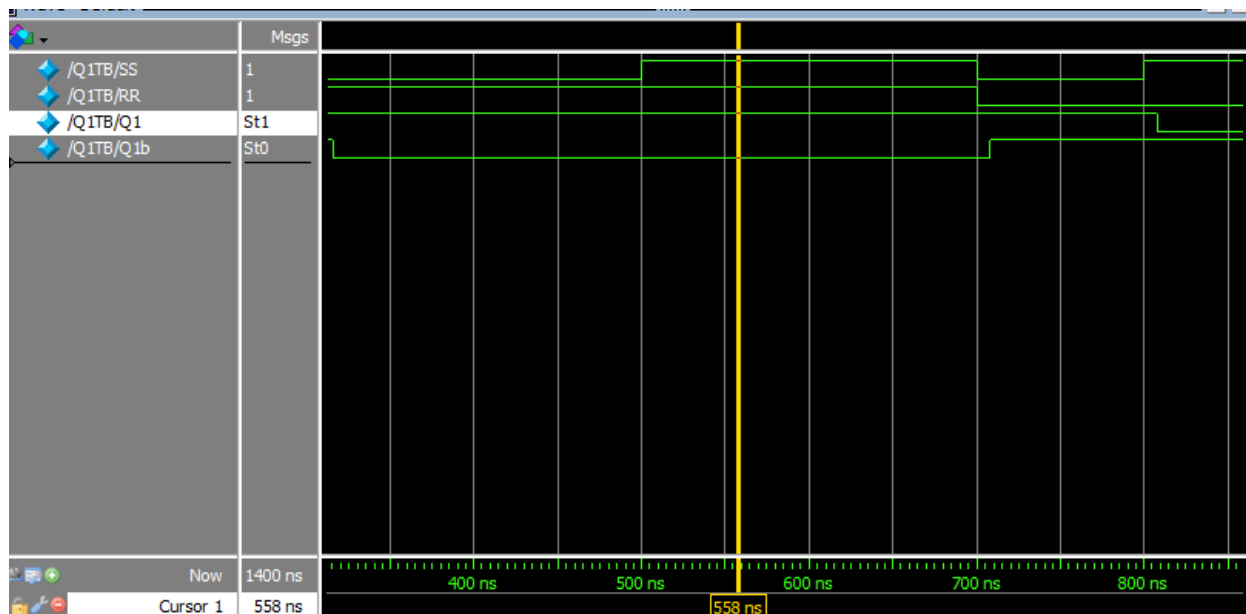
طبق شکل زیر ابتدا یک latch طراحی می کنیم که هر دو گیت هایش دو ورودی هستند که اسم module آن را latch22 می گزاریم و سپس latch دیگری طراحی میکنیم که هر دو گیت هایش سه ورودی هستند و دو ورودی اضافه را a1 و a2 می نامیم که اسم module آن را latch33 می گزاریم . و اگر جایی نیاز داشتیم که هر کدام از گیت ها به جای 3 ورودی 2 ورودی داشته باشند با توجه به نیازمان هر یک از a1 یا a2 را مساوی یک می گزاریم تا تاثیری در nand نداشته باشند.

### سوال 1 ( c )

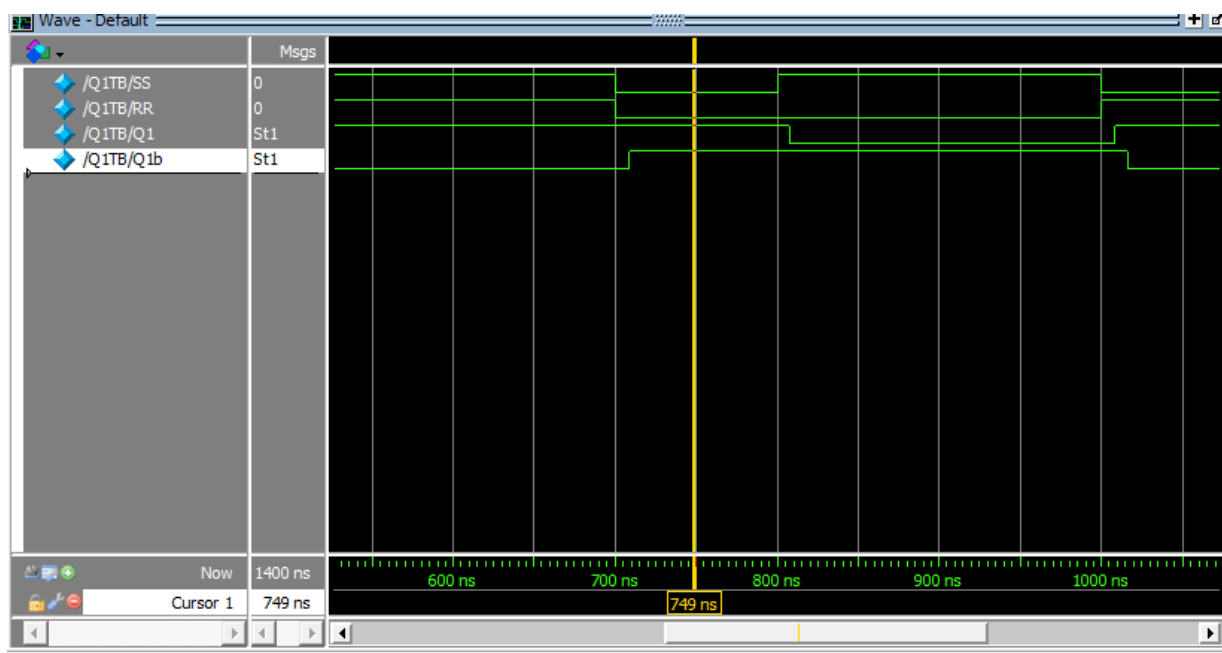
1) در حالتی که  $s = 0$  و  $r = 1$  می شود مشاهده می کنیم که set رخ داده است و مقدار Q به 1 تغییر پیدا می کند :



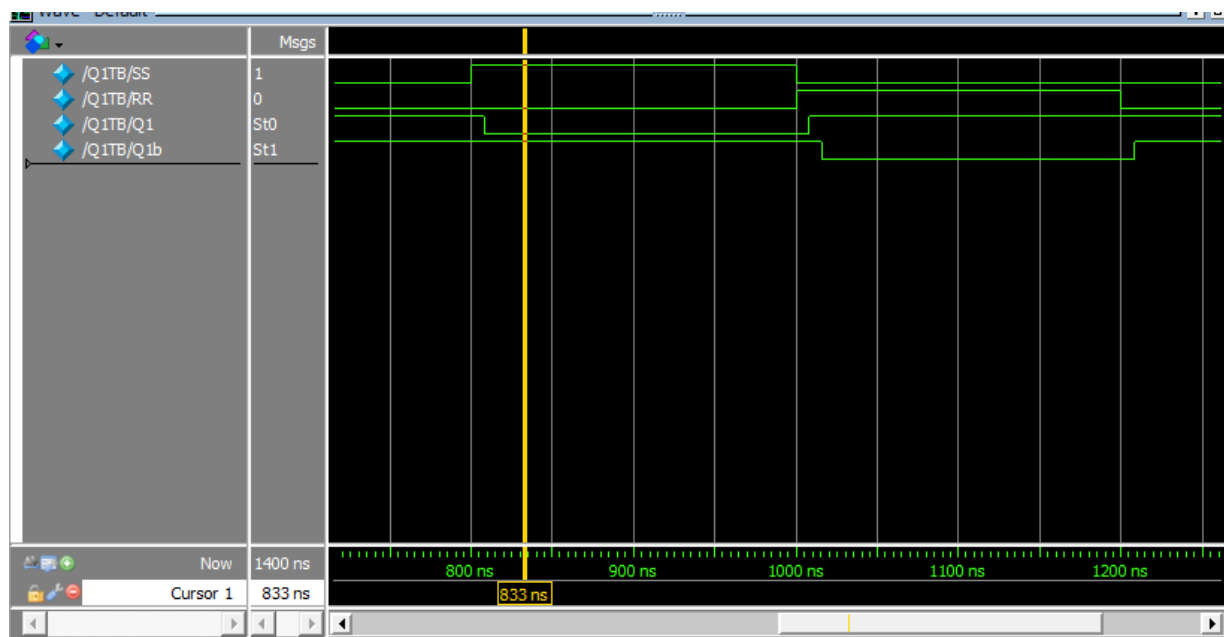
(2) در حالتی که  $s = 1$  و  $r = 1$  می شود مشاهده می کنیم که مقدار قبلی خود را حفظ کرده و تغییری در خروجی های مدار ایجاد نشده است:



(3) در حالتی که  $s = 0$  و  $r = 0$  می شود مشاهده می کنیم که حافظه مدار از بین رفته است و هر دو مقدار  $Q$  و  $Qb$  برابر یک شده اند که در این حالت memory loss رخ داده است:



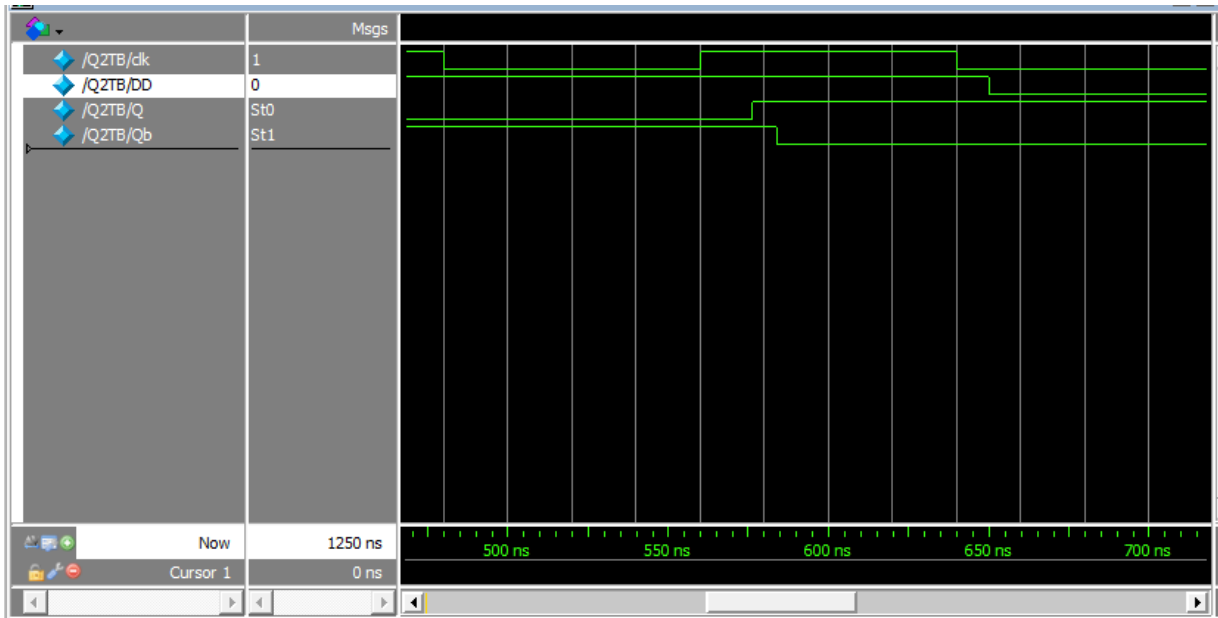
4) در حالتی که  $s = 1$  و  $r = 0$  می شود مشاهده می کنیم که reset رخ داده است و لذا مقدار Q به 0 تغییر پیدا می کند و در جلوتر که  $r = 1$  و  $s = 0$  می شود set رخ می دهد:



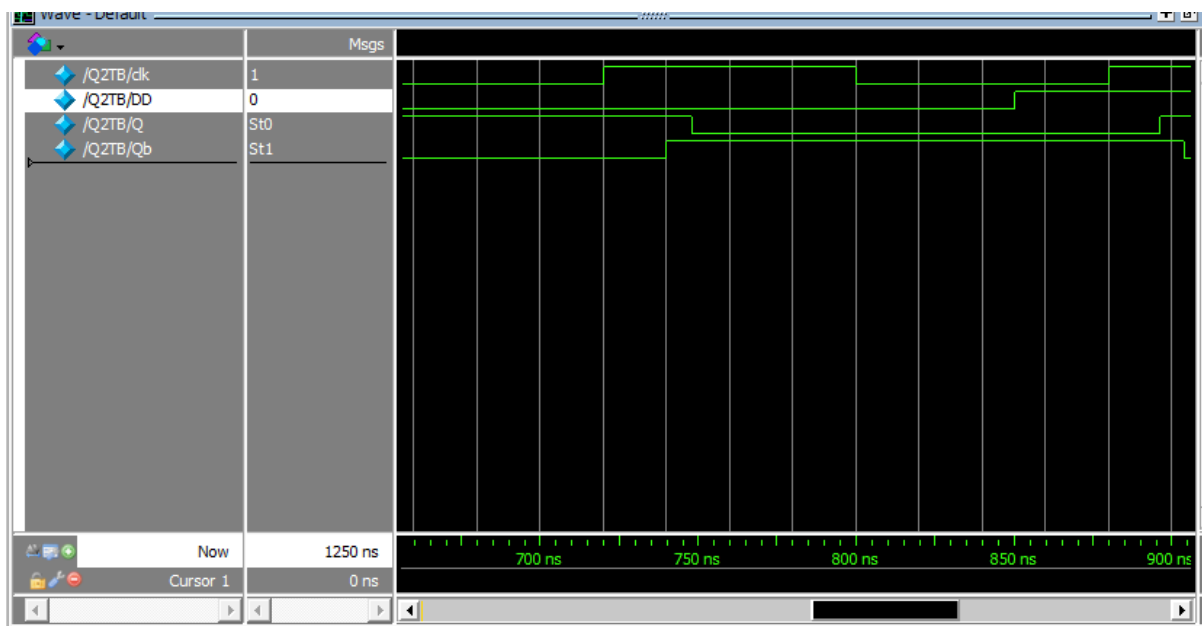
سوال 2 ( a ) در این سوال باید از latch های 2 ورودی و 3 ورودی که در سوال قبل طراحی کردم استفاده کنیم که همانطور که در شکل معلوم است دو تا از latch ها دو ورودی و latch دیگر یکی از گیت هایش 2 ورودی و گیت دیگرش 3 ورودی است برای همین برای latch سوم از یک latch سه ورودی استفاده می کنیم با این تفاوت که ورودی سوم گیتی که دو ورودی است را 1 می دهیم تا تاثیری در nand نداشته باشد

سوال 2 ( b ) از wave ها می توانیم بفهمیم که clock ما rising edge است یعنی مداری که طراحی کردیم یک D flip flop rising edge است. یعنی در واقع هنگامی که clock ما از 0 به 1 تغییر می کند Q مقدار D را می گیرد و پس از آن حتی اگر clock یک باشد و D تغییر کند Q ما ثابت خواهد بود:

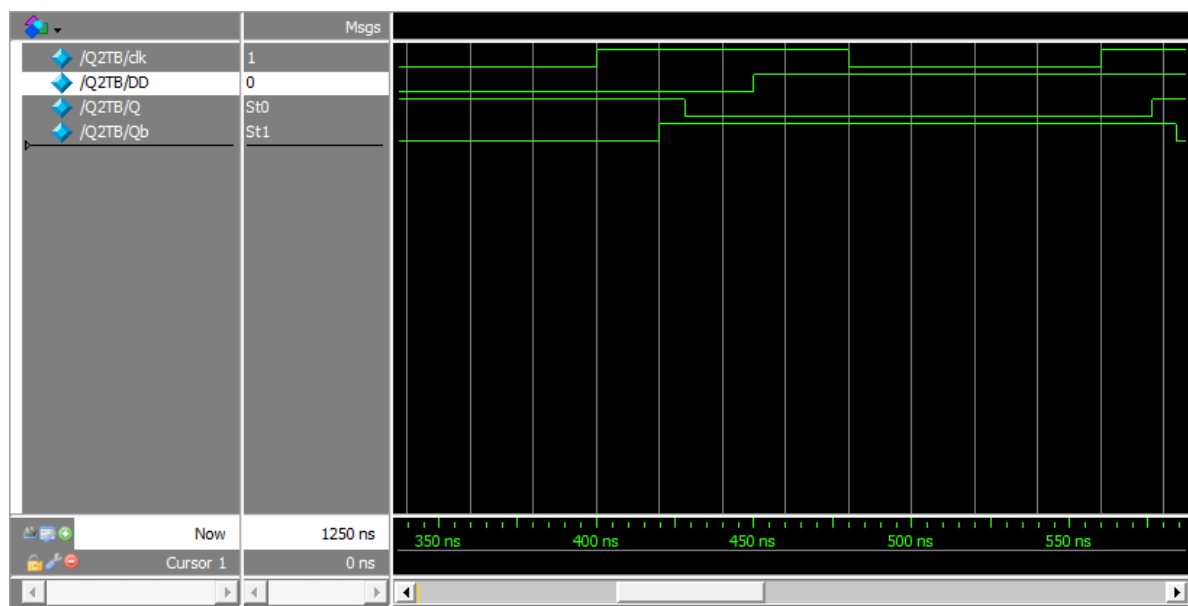
مشاهده می کنیم که هنگامی که clock می زند مقدار D یک است پس با یک تاخیری مقدار Q به یک تبدیل می شود



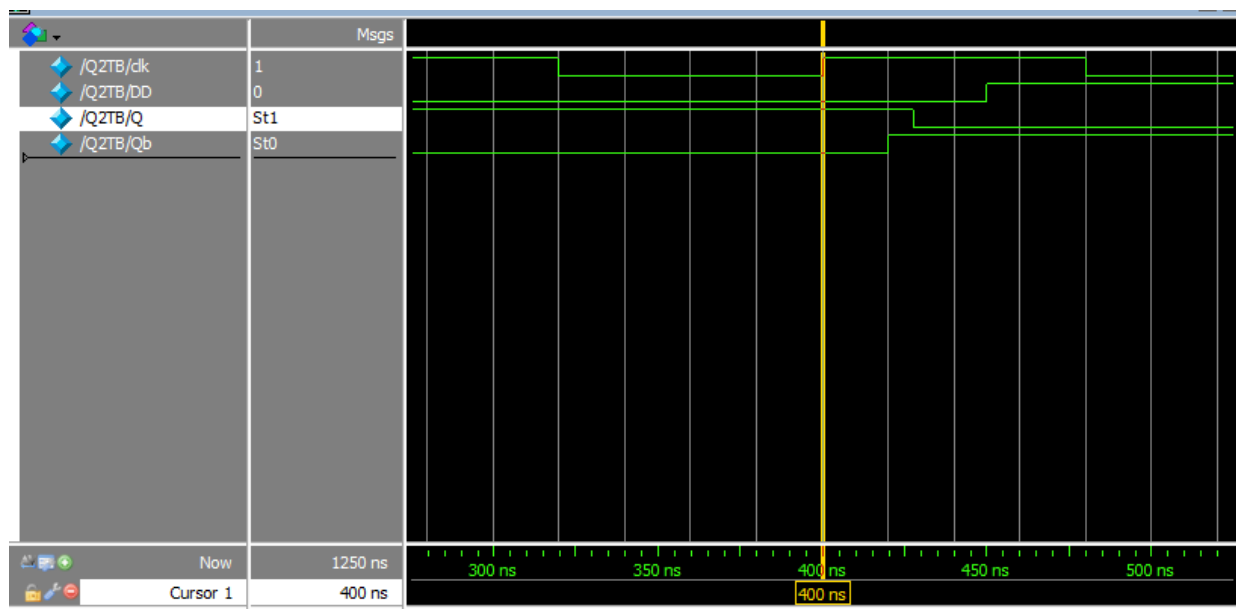
مشاهده می کنیم که هنگامی که clock می زند مقدار D صفر است پس با یک تاخیری مقدار Q به صفر تبدیل می شود

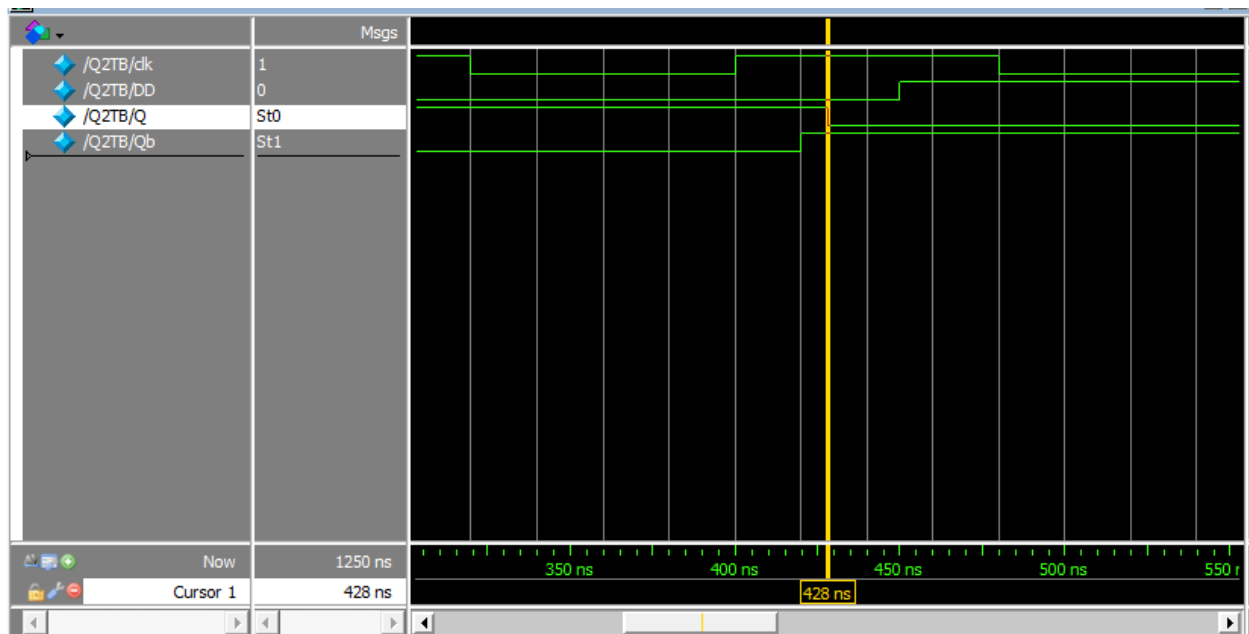


یا مثلاً در شکل زیر مشاهده می‌کنیم که با اینکه clock یک است و D از صفر به یک تغییر می‌کند اما مقدار Q ثابت است زیرا همانطور که گفتیم مدار ما D flip flop rising edge است و خروجی فقط در هنگامی که clock از صفر به یک تبدیل می‌شود مقدار D را می‌گیرد.

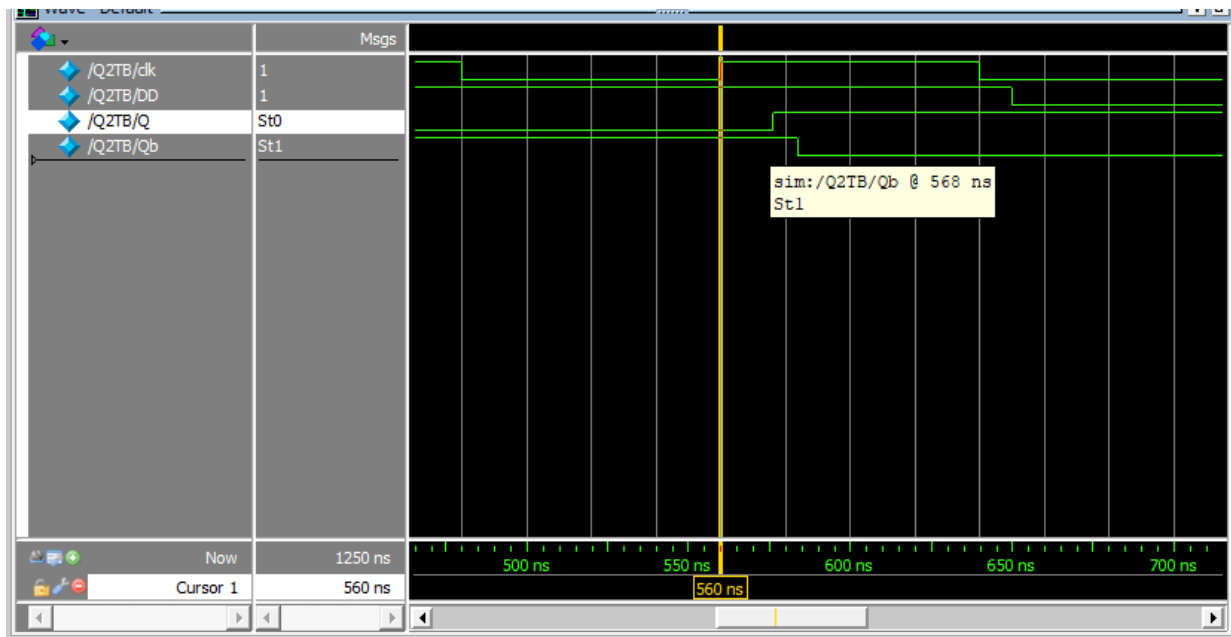


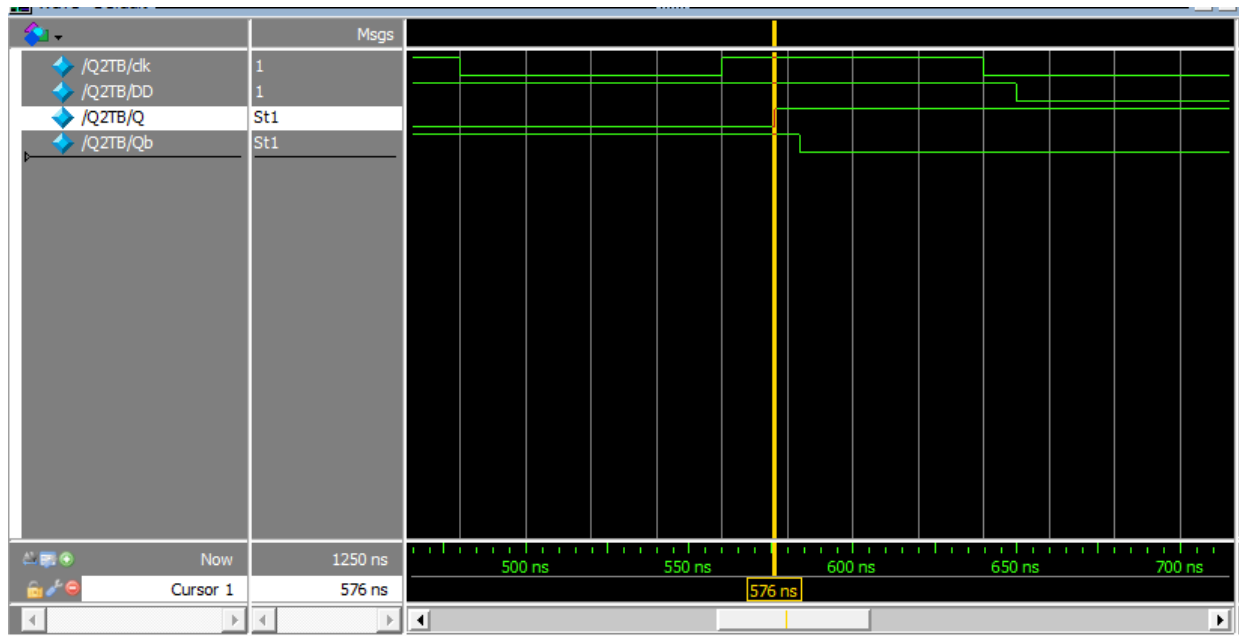
همانطور که در شکل زیر مشاهده می‌کنیم هنگامی که clock زده می‌شود (400 ns) و مقدار D صفر است پس از 28 ns یعنی در 428 ns مقدار Q از یک به صفر تغییر پیدا می‌کند یعنی 0 to Q delay برابر 28 ns است.



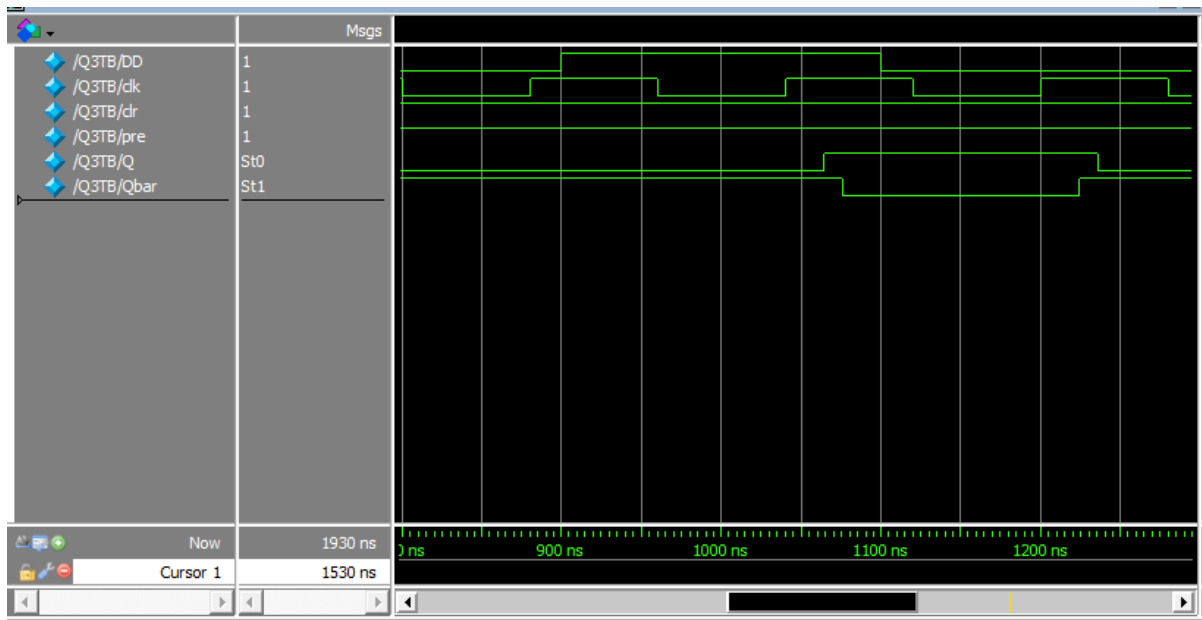


همانطور که در دو شکل زیر مشاهده می کنیم در 560 ns , clock زده می شود و از انجایی که مقدار D یک است پس مقدار Q با یک تاخیری که مقدار آن (576 – 560) ns است پس در واقع 1 delay برابر 16 ns است.





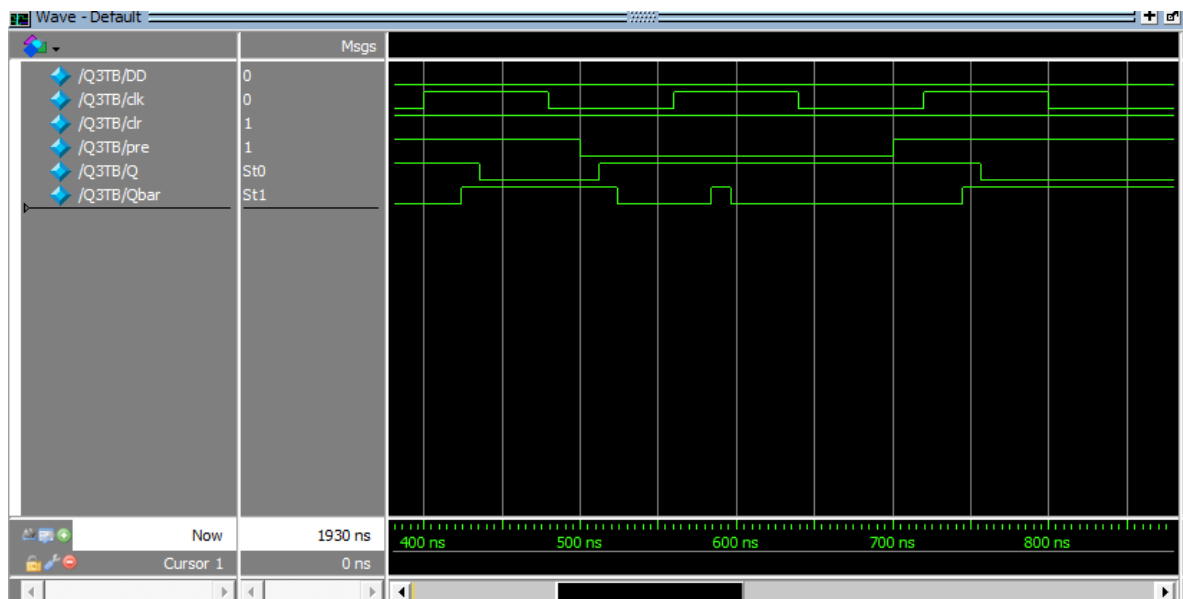
سوال 3 ( f ) از انجایی که clr و pre , low input هستند. پس فقط هنگامی کار می کنند که مقدار آنها صفر باشند یعنی در شکل زیر که مقدار آنها 1 هست تاثیری در مدار ندارد و مدار مانند سوال قبل هنگامی که clock می زند Q مقدار D را میگیرد.



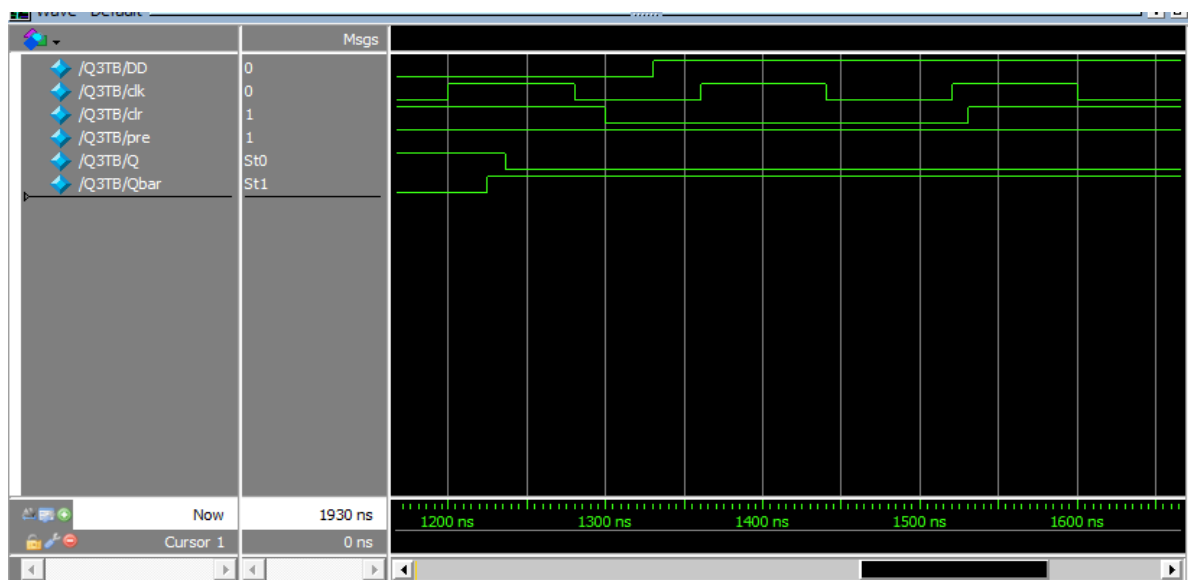
و در قسمت بعدی درباره ی صفر بودن clr و pre صحبت کردیم و با مثال انها را کامل توضیح دادیم.

سوال 3) g) در دو شکل زیر می توانیم مشاهده کنیم که در مواقعی که preset و clear صفر هستند و فعال هستند حتی اگر clock هم زده شود باز تاثیری در خروجی ندارد یعنی هنگامی که preset صفر هست با صرف نظر از clock خروجی یک است و هنگامی که clear صفر است با صرف نظر از clock خروجی صفر است.

مثلا در شکل زیر هنگامی که preset صفر می شود با اینکه clock زده می شود و مقدار D صفر است ولی Q همچنان بخاطر preset یک مانده است و مقدار D را نمی گیرد.

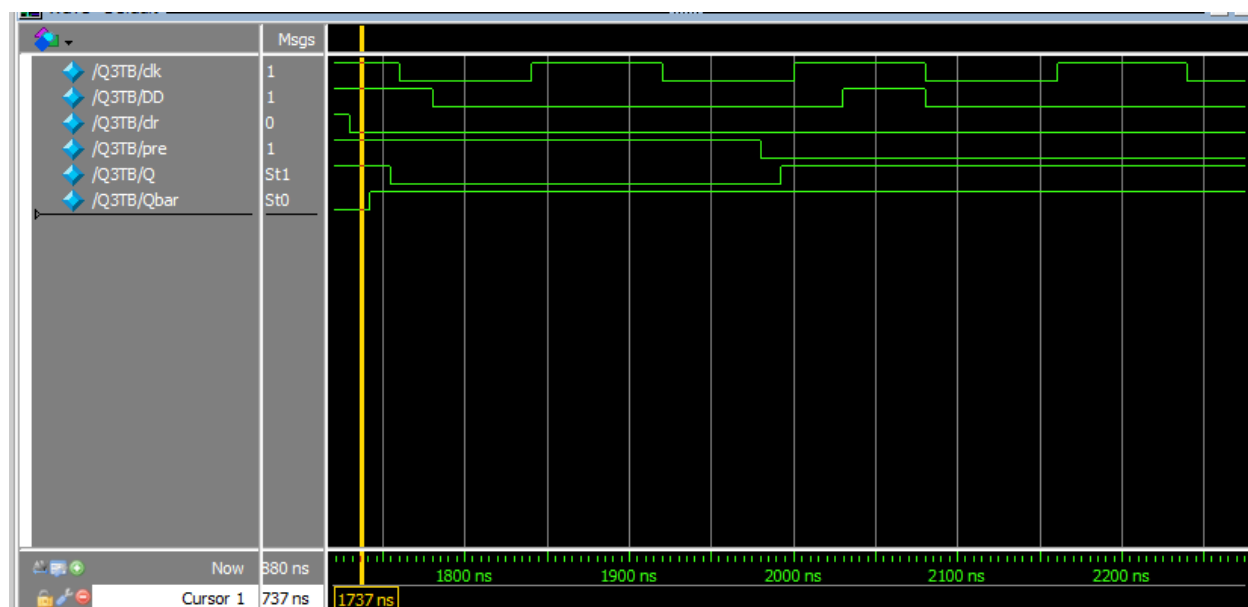


یا در شکل زیر هنگامی که clear صفر می شود با اینکه clock زده می شود و مقدار D یک است ولی Q همچنان بخاطر clear صفر مانده است و مقدار D را نمی گیرد.





سوال 3 ( h ) در شکل اول ابتدا clr صفر است پس مقدار Q به صفر تغییر پیدا می کند و Qb یک می شود و پس از مدتی که pre هم صفر می شود هم Q و هم Qb یک می شوند



در شکل دوم pre ابتدا صفر است پس Q یک و Qb صفر است اما پس از مدتی که clr هم صفر می شود هر دو فعال می شوند و هم Q و هم Qb مانند شکل قبل هر دو یک می شوند یعنی اگر pre و clr هر دو صفر باشند Q و Qb هر دو یک می شوند.

