

**POLITECNICO DI TORINO**

**III Facoltà di Ingegneria  
Corso di Laurea in Ingegneria delle  
Telecomunicazioni**

**ELETTRONICA PER LE  
TELECOMUNICAZIONI**

**(cod. 01AU)**

**Docente: C. Sansoè**





## **Note su questo documento**

Questi appunti sono stati presi durante il corso di “Elettronica delle telecomunicazioni” tenutosi presso il politecnico di Torino. Sono da ritenersi liberamente utilizzabili e da prendersi “così come sono”, l'autore non sarà in alcun caso responsabile di qualsiasi danno causato da eventuali errori presenti nel testo. Inoltre vorrei ricordare che non sono da ritenersi sostitutivi di un libro od altro materiale relativo all'argomento trattato ma come solo materiale di supporto.

Come appena ricordato, nonostante più riletture sono sicuro che siano presenti ancora errori o dimenticanze che potete segnalare agli indirizzi e-mail indicati.

Alberto Todde

[alberto.todde@gmail.com](mailto:alberto.todde@gmail.com)

# Indice generale

<b>1. L'Amplificatore Operazionale.....</b>	<b>6</b>
1.1 Introduzione.....	6
1.2 Descrizione dell'Amplificatore Operazionale.....	6
1.2.1 Amplificatore Operazionale ideale.....	7
1.2.2 Amplificatore Operazionale reale.....	7
1.2.3 Resistenza di ingresso.....	9
1.2.4 Resistenza di uscita.....	9
1.2.5 Valutazione quantitativa dei parametri di un Amplificatore Operazionale reale	
.....	10
1.3 Prodotto Banda Guadagno.....	11
1.4 Slew Rate.....	12
1.5 Progettazione di circuiti con Amplificatori Operazionali.....	13
1.6 Filtri del I ordine.....	15
1.6.1 Filtro passa basso.....	15
1.6.2 Filtro passa alto.....	17
1.6.3 Filtro passa banda.....	18
1.7 Filtri del II ordine.....	19
1.7.1 Topologie a guadagno finito.....	19
1.7.2 Topologie a guadagno infinito.....	22
1.7.3 Celle a doppio integratore.....	23
1.8 Principio delle capacità commutate.....	25
<b>2. PLL.....</b>	<b>28</b>
2.1 Introduzione.....	28
2.2 Principio di funzionamento.....	29
2.3 Filtri passa basso utilizzati nelle applicazioni reali.....	31
2.4 Frequenze di ingresso sostenibili dal PLL .....	34
2.5 Dinamica del PLL.....	36
2.6 Demodulatore di fase.....	38
2.6.1 Demodulatore a moltiplicatore analogico.....	38
2.6.2 Demodulatore di fase digitale.....	39
2.6.3 Demodulatore di fase-frequenza.....	43
2.7 Voltage Controlled Oscillator digitale.....	45
2.8 Specchi di corrente.....	45
2.8.1 Generatori di corrente tramite specchi di corrente.....	46
2.9 Oscillatore a transistor.....	47
<b>3. Analisi del PLL in presenza di rumore.....</b>	<b>50</b>
3.1 Non linearità dei transistor.....	51
3.2 Amplificatore accordato.....	53
3.3 Dispositivi non lineari.....	53
3.3.1 Oscillatori.....	54
3.3.2 Oscillatore Colpitts.....	55
<b>4. Sistemi di acquisizione dati.....</b>	<b>56</b>
4.1 Il campionamento.....	56
4.2 La quantizzazione.....	58
4.2.1 Rumore di quantizzazione.....	59
4.3 Schema a blocchi del sistema di acquisizione dati.....	61
4.4 convertitori D/A o DAC.....	61
4.4.1 Errori lineari.....	62
4.4.4 Costruzione caratteristica di un DAC.....	65

4.4.5DAC a resistori pesati.....	66
4.4.6 Rete a scala R-2R (Ladder).....	68
4.5 Convertitori A/D o ADC.....	69
4.5.1Convertitore parallelo o flash.....	69
4.5.2Convertitori ad inseguimento.....	70
4.5.3Convertitore ad approssimazioni successive.....	71
4.5.4Convertitore a residui.....	72
4.5.5Convertitori a pipeline.....	74
4.6 Convertitori differenziali.....	75
4.7 Convertitore Sigma Delta.....	77
<b>5. Sample &amp; Hold.....</b>	<b>79</b>
5.1 Circuiti per Sample&Hold.....	82
<b>6. Progettazione digitale.....</b>	<b>84</b>
6.1 FPGA.....	84
6.2 Circuiti digitali.....	84
6.1.1Circuiti combinatori.....	84
6.3 Contatori sincroni.....	85
6.4 Macchine a stati finiti.....	86
6.4.1Macchina a stati di Moore.....	88
<b>Appendice VHDL.....</b>	<b>91</b>

# 1. L'Amplificatore Operazionale

## 1.1 Introduzione

Un *amplificatore operazionale* (OP.AMP) è un amplificatore a più stadi con accoppiamento in continua. I principali campi di applicazione degli OP.AMP sono l'acquisizione di segnali analogici (amplificazione, filtraggio...), elaborazione di segnali (raddrizzamento, integrazione, somma,...), la generazione di forme d'onda, la conversione analogico-digitale. In un sistema di trasmissione, ad esempio, si possono trovare come amplificatori IF (frequenza intermedia), nella telefonia il segnale prima di essere convertito in digitale deve essere portato alla giusta dinamica, ciò avviene tramite OP.AMP detti di condizionamento, quindi ci saranno degli amplificatori audio.

## 1.2 Descrizione dell'Amplificatore Operazionale

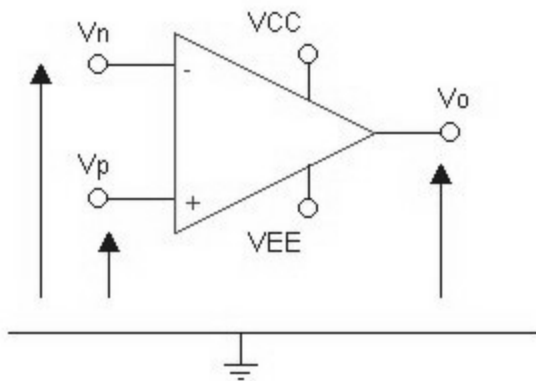


Figura 1.1a simbolo circuitale AO

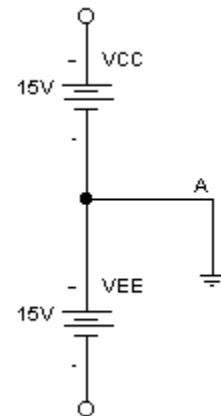


Figura 1.1b Alimentazione duale

L'operazionale, figura 1.1a, in genere si presenta con 5 terminali:

- terminali di ingresso (uno invertente  $V_n$  ed uno non invertente  $V_p$ )
- 1 terminale di uscita ( $V_o$ )
- terminali di alimentazione ( $V_{CC}$  e  $V_{EE}$ )

Normalmente i terminali di alimentazione non vengono disegnati.

L'OP.AMP possiede anche due terminali di *offset*. Non presenta un terminale di massa poiché viene ricavata internamente.

L'alimentazione è di tipo duale, con egual valore assoluto per entrambe le tensioni, per consentire escursioni del segnale di uscita in un *range* sia positivo che negativo. Valori tipici dell'alimentazione sono  $V_{CC} = +15V$ ,  $V_{EE} = -15V$ . Il limite massimo del segnale di uscita, sia positivo che negativo, è sempre di poco inferiore all'alimentazione, anche se oggi esistono OP.AMP costruiti con tecnologia in grado di raggiungere il valore massimo dell'alimentazione in uscita.

### 1.2.1 Amplificatore Operazionale ideale

Un OP.AMP ideale, di cui è rappresentato il modello circuitale ad anello aperto in figura 1.2, presenta:

- Guadagno  $A_d$  infinito
- Offset nulli
- Banda infinita
- Resistenza di ingresso infinita
- Resistenza di uscita nulla

Essendo la tensione di uscita  $V_u$  finita, l'unico modo per ottenere  $A_d$  infinito è che la tensione  $V_d$  tra morsetto invertente e morsetto non invertente sia nulla, ovvero che le correnti di ingresso all'OP.AMP siano anch'esse nulle.

Questo è il modello più semplice di OP.AMP, ma non tutte queste ipotesi risultano vere, inoltre si ipotizza che il sistema sia lineare e l'errore finale sia dovuto ad un singolo effetto (non ci sia quindi correlazione tra gli effetti ma l'errore totale sia somma dei singoli errori),

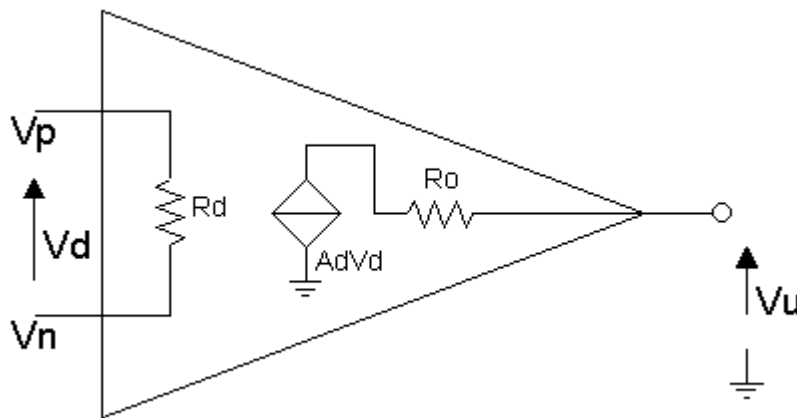


Figura 1.2 Modello circuitale Amplificatore Operazionale

### 1.2.2 Amplificatore Operazionale reale

Per analizzare l'OP.AMP reale viene presa in considerazione la configurazione *non invertente* figura 1.3. Analizzando il circuito si ricava:

$$V_u = A_d V_d \quad (1.1)$$

$$V_e = V_u \frac{R_1}{R_1 + R_2} = \beta V_u = \beta A_d V_d \quad (1.2)$$

Essendo il rapporto delle resistenze una costante viene indicato con  $\beta$  e  $\beta A_d$  è detto *guadagno ad anello* dell'OP.AMP. Si ricavano quindi le seguenti equazioni:

$$V_d = V_i - V_e \quad (1.3)$$

$$V_e = \beta A_d (V_i - V_e) \quad (1.4)$$



$$V_d = \frac{V_i}{1 + \beta} \quad (1.5)$$

$$V_u = A_d \frac{V_i}{1 + \beta} \quad (1.6)$$

$$\frac{V_u}{V_i} = \frac{1}{\beta} \frac{1}{1 + \frac{1}{\beta A_d}} \quad (1.7)$$

Il secondo fattore della (1.7) rappresenta il *fattore di errore*. Se  $A_d$  valesse infinito la formula si semplificherebbe in:

$$\frac{V_u}{V_i} = \frac{1}{\beta} \quad (1.8)$$

Infine si ottiene che il guadagno ideale dell'OP.AMP risulta:

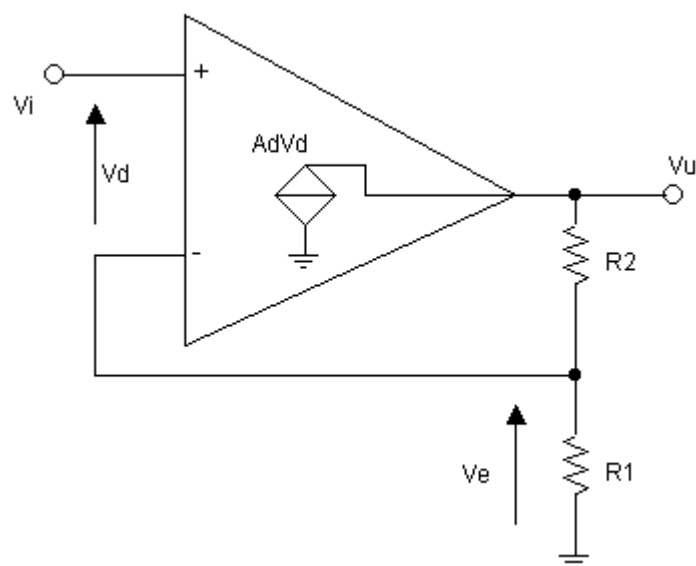
$$A_{RI} = \frac{1}{\beta} \quad (1.9)$$

ed il guadagno non ideale ( $A_d \neq \infty$ ) dell'OP.AMP:

$$A_{RNI} = \frac{1}{\beta} \frac{1}{1 + \frac{1}{\beta A_d}} \stackrel{\text{SVILUPPANDO IN SERIE}}{=} \frac{1}{\beta} \left( 1 - \frac{1}{\beta A_d} + \dots \right) \quad (1.10)$$

L'errore di guadagno è quindi ora approssimabile come:

$$\xi_G = \frac{1}{\beta A_d} \quad (1.11)$$



**Figura 1.3 Amplificatore non invertente reale**

Il fatto che  $A_d$  sia, nell'OP.AMP reale, diverso da infinito non influenza solo il guadagno, ma ha anche secondi effetti: la resistenza di ingresso risulta elevata ma non infinita, e la resistenza di uscita, se pur di basso valore, non è nulla.

Considerando gli effetti uno per volta è possibile ricavare i valori per la resistenza di ingresso e di uscita.

### 1.2.3 Resistenza di ingresso

Analizzando la figura 1.4, in cui viene ora indicata anche la resistenza di ingresso

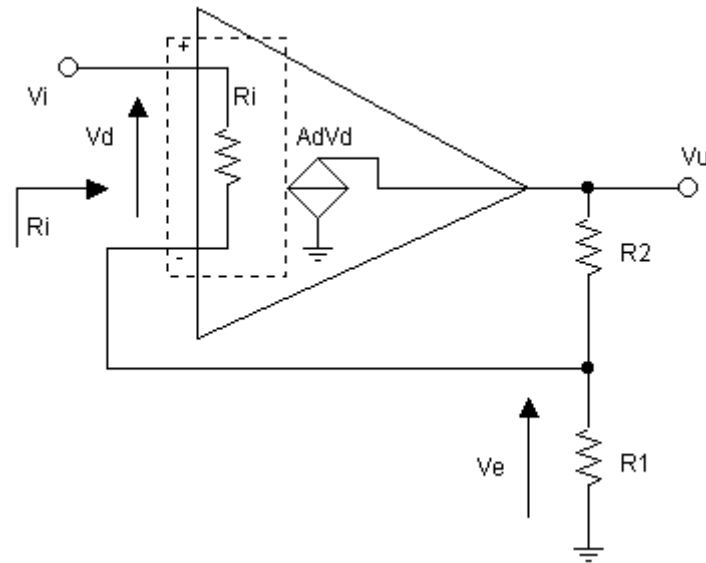


Figura 1.4 Resistenza di ingresso dell'OP.AMP reale

si ottengono le seguenti relazioni:

$$R_i = \frac{V_i}{I_i} \quad I_i = \frac{V_d}{R_{id}} \quad (1.12)$$

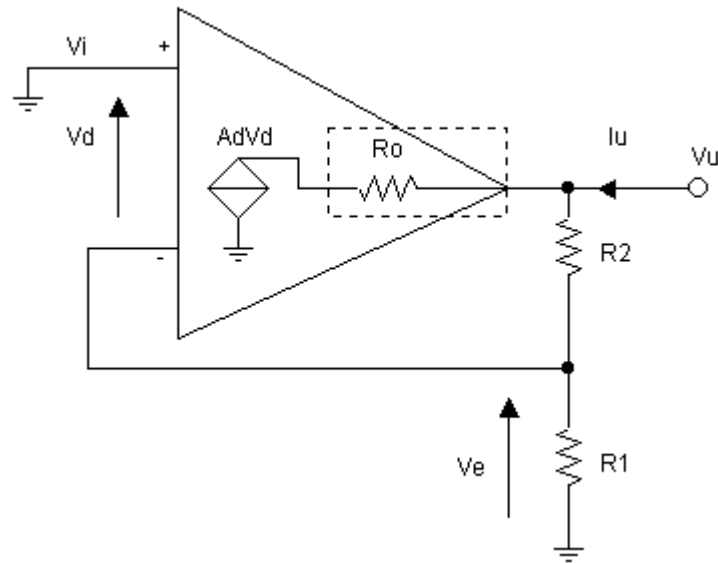
$$V_i = V_d + \beta V_u = V_d + \beta A_d V_d \quad (1.13)$$

$$R_i = \frac{V_d + \beta A_d V_d}{\frac{V_d}{R_{id}}} = R_{id} (1 + \beta A_d) \underset{\beta A_d \gg 1}{\approx} R_{id} \beta A_d \quad (1.14)$$

Dalla (1.14) si osserva come la resistenza di ingresso risulti elevata ma non infinita.

### 1.2.4 Resistenza di uscita

Analogamente alla resistenza di ingresso, ma per la resistenza di uscita, figura 1.5, forzando la tensione di uscita  $V_u$ , misurando la corrente  $I_u$  e mettendo a zero l'ingresso si ottiene:



**Figura 1.15 Resistenza di uscita dell'OP.AMP reale**

$$V_i = 0 \Rightarrow V_d = V_e \quad (1.15)$$

$$V_d = \beta V_u \quad (1.16)$$

da cui si ricava:

$$V_u = A_d V_d + R_o I_u \quad (1.17)$$

$$V_u = -\beta V_u A_d + R_o I_u \quad (1.18)$$

$$R_u = \frac{V_u}{I_u} = \frac{R_o}{1 + \beta A_d} \approx \frac{R_o}{\beta A_d} \quad (1.19)$$

La resistenza di uscita non è nulla ma è comunque piuttosto piccola e dalla (1.19) si nota come decresca all'aumentare del guadagno ad anello. Infine è doveroso notare che  $R_u \neq R_o // (R_1 + R_2)$ .

### **1.2.5 Valutazione quantitativa dei parametri di un Amplificatore Operazionale reale**

Analizzando un OP.AMP reale ed ipotizzando i seguenti valori:

- $A_d = 80\text{dB} (=10^4)$
- $R_{id} = 100\text{K}\Omega$
- $R_o = 200\Omega$
- $R_1 = 12\text{K}\Omega$
- $R_2 = 1\text{M}\Omega$

applicando la (1.9) e la (1.10) si ottengono i seguenti risultati:

- Guadagno reazionato  $A_{RI} = 84.33\text{dB}$
- Guadagno non reazionato  $A_{RNI} = 83.62\text{dB}$
- $R_i = 11.9\text{M}\Omega$
- $R_o = 1.7\Omega$

I valori della resistenza di uscita e della resistenza di ingresso sono tali da far considerare l'OP.AMP quasi ideale. Esistono però applicazioni in cui tali valori non risultano sufficienti.

### 1.3 Prodotto Banda Guadagno

L'OP.AMP reale presenta larghezza di banda e guadagno limitati, come precedentemente visto, ma soprattutto il guadagno ad anello diminuisce al crescere della frequenza di 20dB/dec. In questo modo aumentando la frequenza di un fattore 10 l'amplificazione diminuisce di un fattore 10. In ogni punto della curva della risposta in frequenza dell'OP.AMP, figura 1.6, il prodotto del guadagno per la larghezza di banda è costante. Tale prodotto detto *prodotto banda guadagno* (GBP) è il primo parametro che viene considerato per valutare se un OP.AMP risulta essere adatto dal punto di vista della frequenza per una data applicazione. Infatti all'aumentare della frequenza aumenta l'errore  $\xi_G = 1/\beta A_d$ , la resistenza di ingresso diminuisce e quella di uscita aumenta, ovvero ci si allontana dalle condizioni di idealità. Analizzando la (1.10), riportata qui sotto, si nota come per le alte frequenze il guadagno non dipenda più dalla rete di reazione, ma dal comportamento ad anello aperto.

$$A_{RNI} = \frac{1}{\beta} \frac{1}{1 + \frac{1}{A_d \beta}} \begin{cases} \text{se } A_d \gg 1 \text{ prevale } 1/\beta \\ \text{se } A_d \ll 1 \text{ prevale } A_d \end{cases}$$

Nella figura 1.6 la frequenza  $f_2$  è la frequenza in cui il guadagno vale uno. Se l'OP.AMP guadagna uno la banda passante è proprio  $f_2$  da cui il nome GBP.

Alla frequenza in cui  $A_d$  incrocia  $1/\beta$  il guadagno si riduce di metà rispetto alle basse frequenze come evidenziato in figura 1.7.

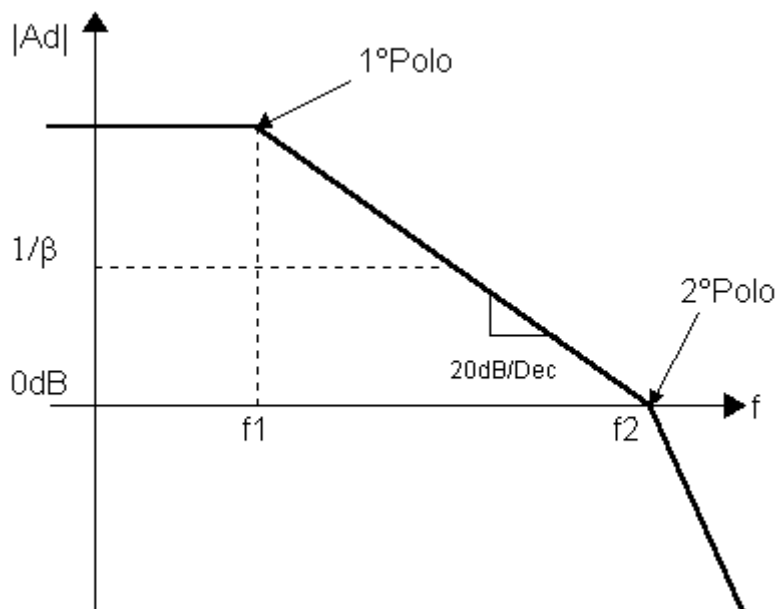


Figura 1.6 Diagramma risposta in frequenza

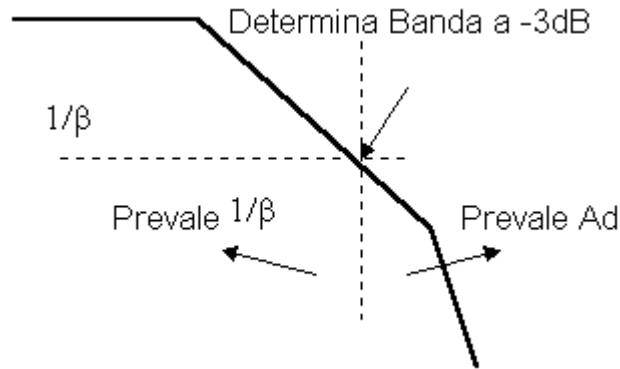


Figura 1.7 Banda a -3dB

È opportuno inoltre notare che i poli introducono una rotazione di fase. Avere due poli prima dell'asse a zero dB rende instabile il sistema, è per questo motivo che il secondo polo si prevede esattamente sull'asse a zero dB. In questo modo  $90^\circ$  sono dovuti al primo polo e  $45^\circ$  dal secondo. Sono così ancora disponibili  $45^\circ$  di margine prima di innescare la reazione positiva e quindi l'instabilità. Tale margine prende il nome di *margine di fase*. Per ogni valore di  $1/\beta$  maggiore di zero dB l'OP.AMP non presenta problemi di instabilità, si dice che gli OP.AMP sono *intrinsecamente stabili* o compensati per il *voltage follower*.

## 1.4 Slew Rate

Lo *slew rate* è un parametro non lineare che indica come la variazione del segnale di uscita rispetto al tempo non possa assumere valori continui, ossia che per ampi segnali di uscita la rapidità di risposta dell'OP.AMP viene limitata dalla velocità di variazione della tensione di uscita.

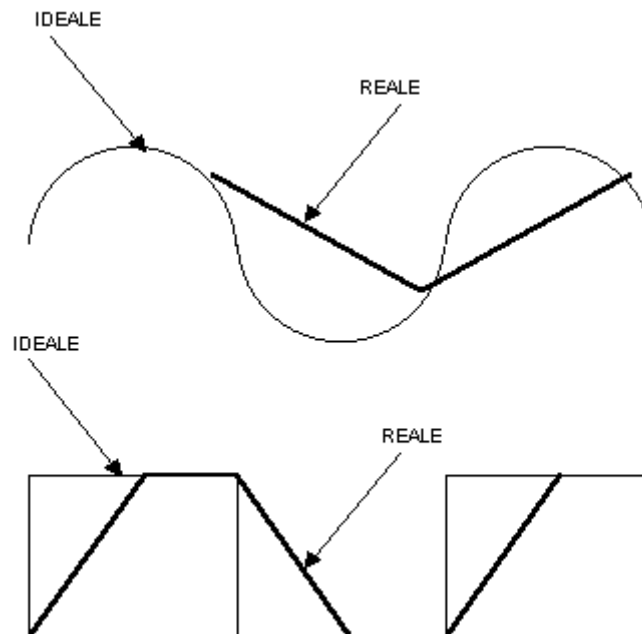


Figura 1.8 Effetti dello slew rate sul segnale

L'OP.AMP a causa dello *slew rate* non riesce a inseguire la frequenza del segnale e rimane in ritardo rispetto al segnale teorico di uscita. Se si pone in ingresso ad un OP.AMP un segnale sinusoidale  $v_s = \sin(\omega t)$  si ha che  $dV_s/dt = v_w \cos(\omega t)$ , e se  $v_w$  è maggiore

dello *slew rate* in uscita non si avrà più un segnale sinusoidale ma un segnale tipo quello mostrato in figura 1.8. Questa è una limitazione del componente che dipende dall'ampiezza del segnale e non dalla sua banda.

Un metodo per misurare lo *slew rate* è quello di portare all'ingresso dell'OP.AMP un onda quadra e misurare la pendenza del segnale di uscita rispetto all'ingresso.

## 1.5 Progettazione di circuiti con Amplificatori Operazionali

Dovendo progettare un circuito in base ai seguenti criteri:

- Guadagno in tensione  $A_v = 12$
- Resistenza di ingresso  $R_i$  elevata
- Resistenza di uscita  $R_u$  bassa
- Banda passante  $B$  tra 100Hz e 15KHz
- Resistenza di carico  $R_L \geq 10K\Omega$
- Tensione di uscita  $V_u = \pm 10V$

oggi si preferisce usare degli OP.AMP e non più dei singoli transistori (*BJT*), che sono giustificati solo per progettazione ad alte frequenze, dove gli OP.AMP risultano costosi per tali usi.

Le configurazioni utilizzabili per il progetto sono la *invertente* e la *non invertente*, riportati rispettivamente in figura 1.9a e 1.9b.

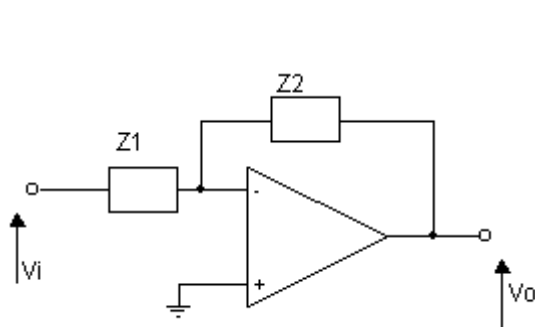
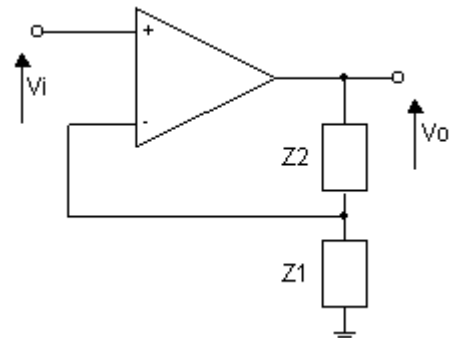


Figura 1.9a OP.AMP a stadio non invertente



1.9b OP.AMP a stadio invertente

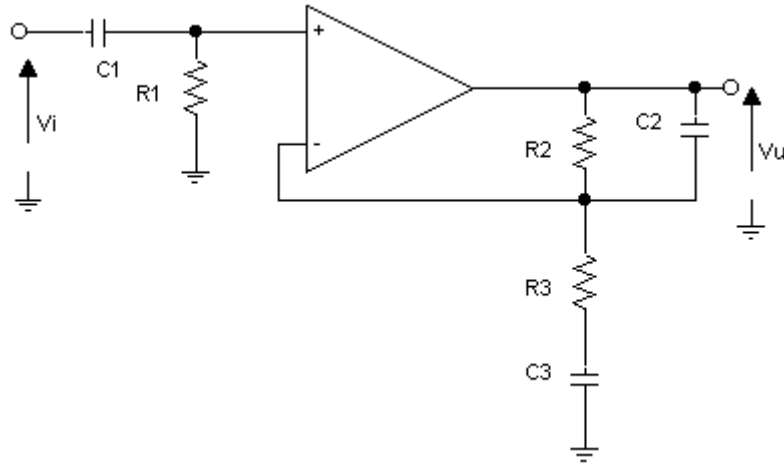
Essendo però richiesta una resistenza di ingresso elevata la configurazione migliore da adoperare è quella con lo stadio *non invertente*. Infatti l'impedenza di ingresso dello stadio *invertente* non è possibile progettarela troppo elevata dato che impedirebbe la polarizzazione degli stadi interni dell'OP.AMP.

Considerando quindi le specifiche richieste per il progetto si ottiene:

$$GBP = 12V \times 15KHz = 180VKHz$$

$$SR > 10V \times 2\pi \times 15KHz = 1V / \mu s$$

La configurazione a stadio *non invertente* però non può essere utilizzata senza che vengano apportate alcune modifiche come riportato in figura 1.20.



**Figura 1.20 Progetto con Amplificatore Operazionale**

L'amplificazione si desidera solo in banda passante e non per la continua. Per evitare l'ingresso della continua nei resistori si inserisce in serie ad  $R_3$  un condensatore  $C_3$  che, per la continua, risulta un circuito aperto. Inoltre per evitare l'amplificazione alle alte frequenze (fuori banda) si inserisce un ulteriore condensatore in parallelo ad  $R_2$ . L'effetto di  $C_2$  è quello di cortocircuitare  $R_2$  alle alte frequenze.

Un ulteriore problema è la continua presente all'ingresso che limita la dinamica del segnale. In tal caso non si può semplicemente inserire un condensatore  $C_1$  in serie all'ingresso, dato che realizzerebbe la saturazione dell'OP.AMP ma è necessario un resistore  $R_1$  che eviti che tale condensatore si carichi.

Determinato lo schema del circuito occorre progettare i valori delle resistenze e la posizione dei poli.

Il resistore  $R_2$  deve essere di valore piuttosto elevato per caricare poco l'uscita dell'OP.AMP in alternata, ma non lo deve essere troppo altrimenti l'offset dovuto alla corrente di polarizzazione del circuito diviene eccessivo. In pratica deve risultare:

$$I_{OFF}R_2 \ll V_{OFF} \Rightarrow R_2 \ll \frac{V_{OFF}}{I_{OFF}} \quad (1.20)$$

Valori pratici di  $R_2$  sono circa un decimo del rapporto tra  $V_{OFF}$  ed  $I_{OFF}$ . Se si pone  $R_2 = R_1$  si elimina il contributo della corrente interna all'OP.AMP  $I_d$  e la scelta di  $R_2$  risulta corretta.

$R_3$  si ricava dalla relazione  $1 + \frac{R_3}{R_2} = 12 \Rightarrow R_3 = \frac{R_2}{11}$ . Il condensatore  $C_1$  introduce uno zero

nell'origine ed un polo alla frequenza  $f_1 = \frac{1}{R_1 C_1 2\pi}$  (annulla lo zero e si ha la banda

passante). Il condensatore  $C_2$  introduce un polo alla frequenza  $f_2 = \frac{1}{R_2 C_2 2\pi}$ , mentre il

condensatore  $C_3$  lo introduce alla frequenza  $f_3 = \frac{1}{R_3 C_3 2\pi}$

## 1.6 Filtri del I ordine

### 1.6.1 Filtro passa basso

Il filtro passa basso è un circuito che lascia passare le basse frequenze ed attenua le alte. In figura 1.21 viene rappresentata la struttura generale dei filtri del I ordine in configurazione invertente.

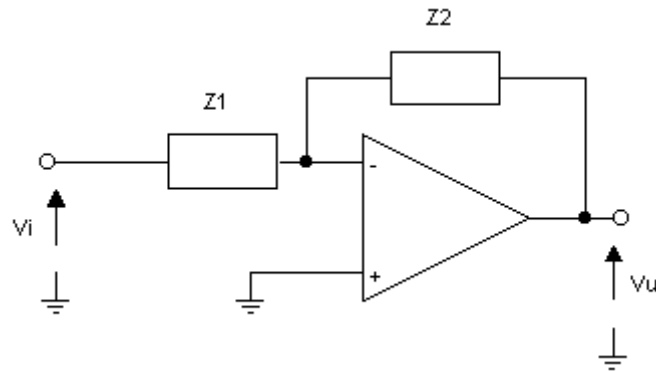


Figura 1.21 Struttura generica filtro del I ordine

Il metodo più semplice per ottenere un filtro passa basso è quello di sostituire al posto di  $Z_1$  e  $Z_2$  due resistori  $R_1$  ed  $R_2$ . Se al posto di  $Z_1$  si inserisce un resistore  $R_1$  ed al posto di  $Z_2$  si pone invece un condensatore  $C_2$  si ottiene un integratore invertente, figura 1.22.

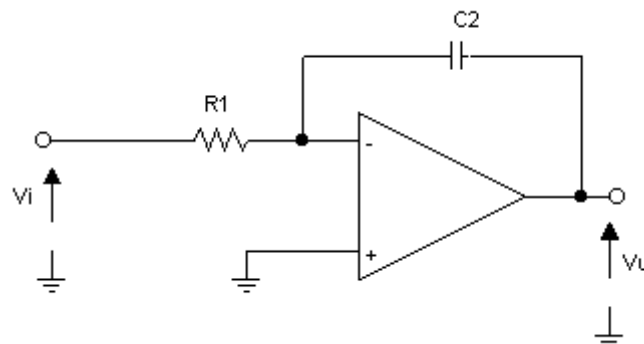


Figura 1.22 Integratore invertente

Analizzando il circuito dell'integratore invertente si ottiene:

$$\frac{V_u}{V_i} = - \frac{Z_2}{Z_1} = - \frac{1}{sC_2R_1} \quad (1.21)$$

La tensione di uscita risulta analiticamente dalla seguente formula:

$$V_u(t) = V_i(t) + \int \frac{1}{R_1C_2} V_i(t) dt \quad (1.22)$$

In base alla (1.21) si ha che il circuito attenua le alte frequenze ma la frequenza di taglio non è definita. La continua viene amplificata in maniera infinita come mostrato in figura 1.23.



L'integratore invertente è un circuito fondamentale per l'elettronica analogica, ma dato che la sua uscita è l'integrale del segnale di ingresso (1.22) solo per brevi intervalli di tempo, dopodiché l'OP.AMP entra in saturazione, viene utilizzato in sistemi con anello di reazione, od altro, che eviti la fuori linearità dell'OP.AMP. Per attenuare la basse frequenze occorre limitare il guadagno in continua. Utilizzando la configurazione di figura 1.22 è quindi necessario aggiungere un resistore  $R_2$  in parallelo a  $C_2$ , figura 1.24.

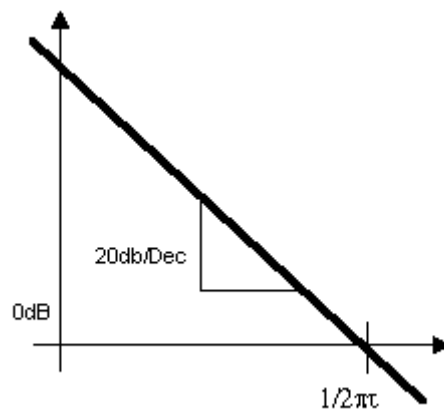


Figura 1.23 Risposta in frequenza

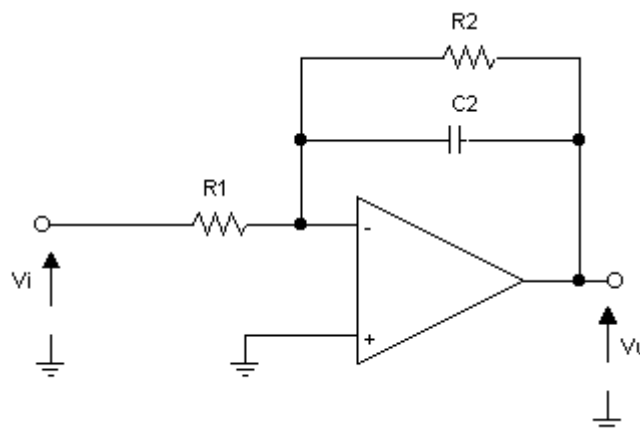


Figura 1.24 Filtro passa basso

Dalla configurazione di figura 1.24 ponendo  $Z_2 = \frac{R_2}{1 + sC_2R_2}$   $Z_1 = R_1$  si ottiene:

$$\frac{V_u}{V_i} = - \frac{Z_2}{Z_1} = - \frac{R_2}{R_1} \frac{1}{1 + sC_2R_2} \quad (1.23)$$

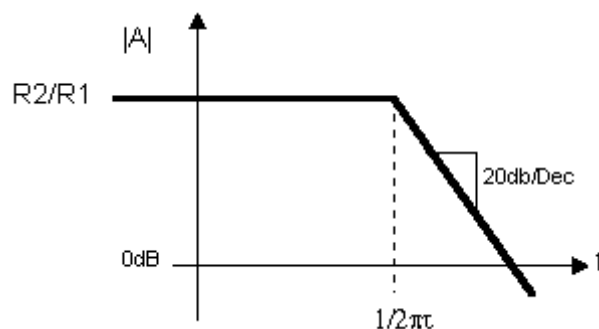


Figura 1.25 Risposta in frequenza del filtro passa basso

### 1.6.2 Filtro passa alto

Il filtro passa alto è un circuito che attenua le basse frequenze ed esalta invece le alte. Rispetto alla configurazione generale di figura 1.21 per ottenere tale tipo di filtro occorre agire su  $Z_1$ .

Il più semplice filtro passa alto si ottiene sostituendo a  $Z_2$  un resistore ed a  $Z_1$  un condensatore. Tale configurazione prende il nome di *derivatore invertente* e viene proposta in figura 1.26.

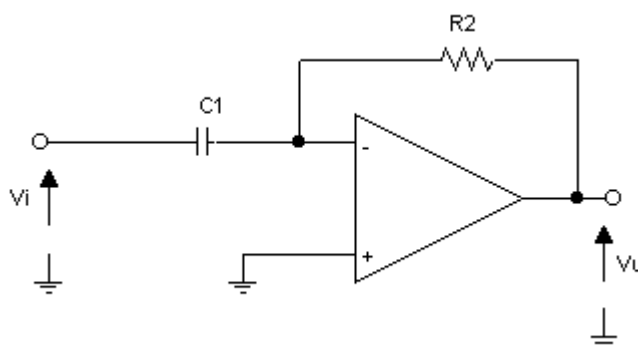


Figura 1.26 derivatore invertente

Ricavando la funzione di trasferimento per il derivatore si ottiene:

$$\frac{V_u}{V_i} = - \frac{Z_2}{Z_1} = -sR_2C_1 \quad (1.23)$$

Il circuito così come visto in figura 1.26 però non funziona. Se si osserva il diagramma del guadagno ad anello, figura 1.27, si nota che il sistema risulta instabile; si ha un margine di fase estremamente ridotto.

Per evitare che il guadagno alle alte frequenze tenda ad infinito è necessario inserire una resistenza in serie al condensatore, figura 1.28.

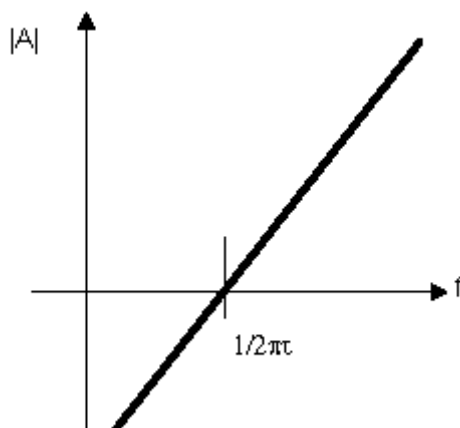


Figura 1.27 Risposta in frequenza instabile

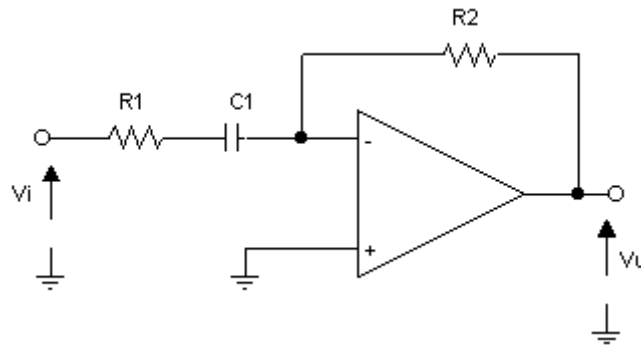


Figura 1.28 Filtro passa alto

Ponendo ora  $Z_1 = \frac{sR_1C_1 + 1}{sC}$   $Z_2 = R_2$  e ricavando la nuova funzione di trasferimento per la configurazione di figura 1.28 si arriva alla relazione seguente::

$$\frac{V_u}{V_i} = - \frac{Z_2}{Z_1} = - \frac{sR_2C_1}{sR_1C_1 + 1} \quad (1.24)$$

In tal caso si presenta uno zero nell'origine ed un polo alla frequenza  $f = \frac{1}{2\pi R_1C_1}$ , per tali motivi il guadagno delle alte frequenze non può crescere indefinitamente, il che rende stabile il sistema. Il margine di fase di questi filtri non è comunque mai molto alto.

### 1.6.3 Filtro passa banda

Un filtro passa banda del I ordine non può esistere dato che sono necessari almeno due punti angolosi (due poli). Ciò che può esistere è la fusione di un filtro passa basso ed un filtro passa alto del I ordine a cui si aggiunge un condensatore, figura 1.29. Il risultato è un filtro del II ordine che presenta però una limitazione. Analizzando infatti la sua funzione di trasferimento (1.25) si osserva che se le due radici sono reali i due poli del circuito possono essere alla stessa frequenza, non quindi poli complessi e coniugati, il che determina una limitazione sulla larghezza di banda.

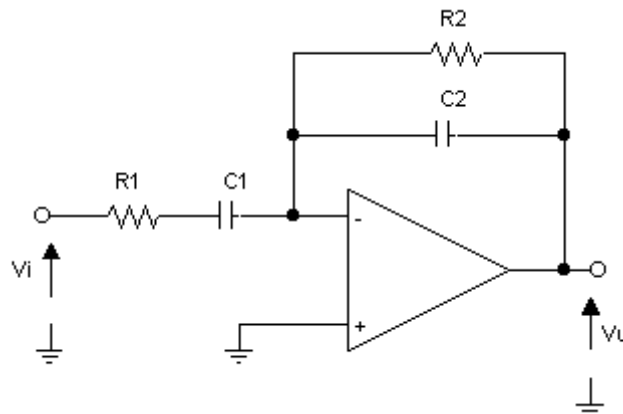


Figura 1.29 Filtro passa banda a larga banda

$$\frac{V_u}{V_i} = - \frac{sR_2 C_1}{(sR_2 C_2 + 1)(sR_1 C_2 + 1)} \quad (1.25)$$

## 1.7 Filtri del II ordine

Nella realizzazione di filtri del II ordine gli OP.AMP risultano molto importanti. Per ottenere poli non reali senza OP.AMP è necessario utilizzare resistori, condensatori ed induttori. L'utilizzo di induttori a bassa frequenza ( $\sim 1\text{MHz}$ ) è però decisamente scomodo in quanto risultano di grosse dimensioni, hanno bisogno di un nucleo magnetico, non sono ideali e tendono a saturare. L'OP.AMP è quindi adottato per fornire l'energia che fornirebbe l'induttore.

La creazione di filtri del II ordine tramite OP.AMP può avvenire in due modi:

1.  $R_i = \text{infinito}$ ,  $R_o = 0$  e guadagno  $K$ , inserimento dell'operazionale in circuito passivo.
2. Avere un filtro come rete di reazione dell'OP.AMP (che da se guadagnerebbe infinito).

Le celle del primo tipo sono dette *celle a guadagno finito*, mentre le celle del secondo tipo *celle a guadagno infinito*. In entrambi i casi si utilizza un OP.AMP per cella. Se si utilizzano due o più OP.AMP si parla di *cella a doppio integratore*.

### 1.7.1 Topologie a guadagno finito

La configurazione generale dei filtri di tipo Sallen-Key, mostrata in figura 1.30, prevede l'uso di quattro componenti passivi.

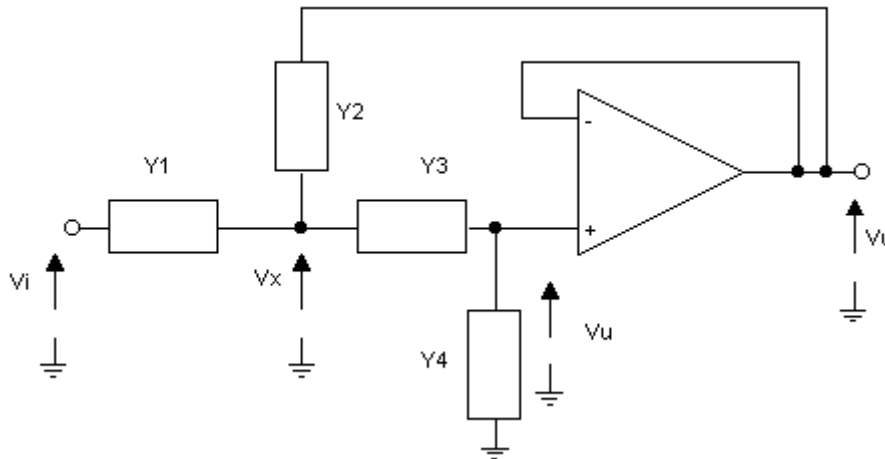


Figura 1.30 Configurazione generale dei filtri Sallen-Key

Analizzando il circuito di figura 1.30, e considerandolo ideale si ottengono le seguenti equazioni:

$$(V_i - V_x)Y_1 = (V_x - V_u)Y_3 + (V_x - V_u)Y_2 = (V_x - V_u)(Y_2 + Y_3) \quad (1.26)$$

Essendo l'OP.AMP ideale la corrente su  $Y_3$  è la stessa che scorre su  $Y_4$  da cui si ottiene::

$$V_u Y_4 = (V_x - V_u)Y_3 \quad (1.27)$$

$$V_x = V_u \left( 1 + \frac{Y_4}{Y_3} \right) \quad (1.28)$$

La generica funzione di trasferimento risulta quindi:

$$\frac{V_u}{V_i} = \frac{Y_1 Y_3}{Y_4 (Y_1 + Y_2 + Y_3) + Y_1 Y_3} \quad (1.29)$$

Supponendo di voler progettare un filtro del II ordine di tipo passa basso, ovvero avere due poli e nessuno zero si ha come funzione di trasferimento in  $\omega_0^2$  la seguente relazione:

$$\frac{V_u}{V_i} = H(0) \frac{\omega_0^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (1.30)$$

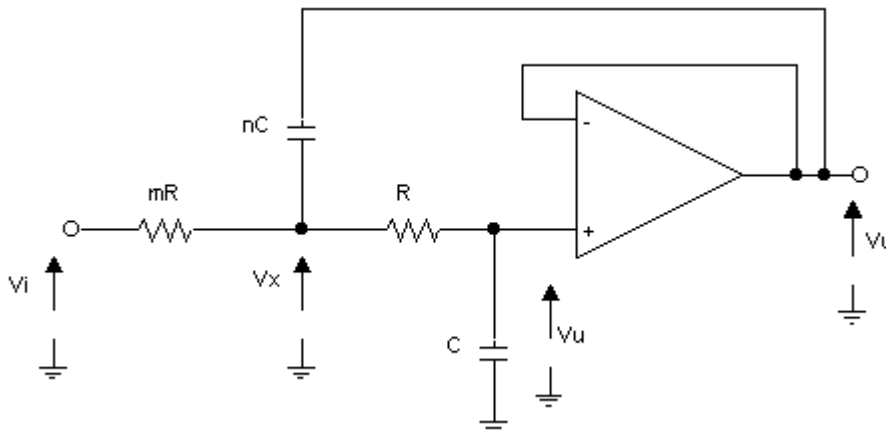
- Q rappresenta il *fattore di merito o smorzamento*
- $H(0)$  è il guadagno in banda del filtro.

Per ottenere un denominatore di II ordine ed un numeratore di ordine zero è richiesto che rispetto al circuito di figura 1.30 si abbiano:

- $Y_1$  e  $Y_3$  di tipo resistivo
- $Y_2$  e  $Y_4$  di tipo capacitivo.

Nella (1.29) quindi  $Y_4(Y_1 + Y_2 + Y_3)$  costituirà il termine del I ordine.

Si arriva infine al circuito di figura 1.31 che prende il nome di *filtro passa basso Sallen-Key*.



**Figura 1.31 Filtro passa basso Sallen-Key**

La funzione di trasferimento del filtro passa basso Sallen Key risulta essere:

$$\frac{V_u}{V_i} = \frac{1}{s^2 mnR^2 C^2 sRC(m+1) + 1} \quad (1.31)$$

Portando la (1.31) in  $\omega_0^2$  si ottiene la seguente funzione di trasferimento e quindi i parametri del filtro :

$$\frac{V_u}{V_i} = H(0) \frac{1}{\frac{s^2}{\omega_0^2} + \frac{1}{Q\omega_0^2}s + 1} \quad (1.32)$$

$$f_0 = \frac{1}{2\pi \sqrt{mnRC}} \quad (1.33)$$

$$Q = \frac{\sqrt{mn}}{m+1} \quad (1.34)$$

In base alla (1.33) ed alla (1.34) imponendo due parametri si ricavano gli altri due. Teoricamente esistono infinite soluzioni, anche se in pratica non tutte sono attuabili, ad esempio  $C = 10F$  e  $mR = 1\Omega$ .

Bisogna notare che la (1.33) non è la frequenza di taglio del filtro ma la frequenza per cui la rotazione di fase del filtro è arrivata a metà di quella complessiva.

Per progettare un filtro passa alto, utilizzando sempre la configurazione di figura 1.30, si deve ottenere un denominatore del II ordine ed un polo doppio che consenta di avere una funzione di trasferimento alle alte frequenze con andamento orizzontale (guadagno unitario). Per ottenere ciò è sufficiente, rispetto al filtro passa basso di figura 1.31, scambiare tra di loro resistori e condensatori, ovvero avere

- $Y_1$  e  $Y_3$  di tipo capacitivo
- $Y_2$  e  $Y_4$  di tipo resistivo

**[Nota]:** Con la configurazione di filtro di tipo Sallen-Key è sconsigliato realizzare dei filtri passa banda.

**[Nota]:** Quanto è sensibile la  $f_0$  rispetto alle tolleranze dei componenti è detto *sensitivity* che è la derivata dei parametri di uscita rispetto alla variazione percentuale dei componenti.

**[Nota]:** se  $Q < \frac{\sqrt{2}}{2}$  si ottiene una f.d.t. monotona decrescente, mentre se  $Q > \frac{\sqrt{2}}{2}$  si ha il picco della f.d.t. intorno ad  $f_0$ .

Il filtro di tipo Sallen-Key è un caso particolare di celle a guadagno finito K. Un filtro analogo al Sallen-Key ma con un OP.AMP a guadagno K al posto del voltage follower è quello mostrato in figura 1.32

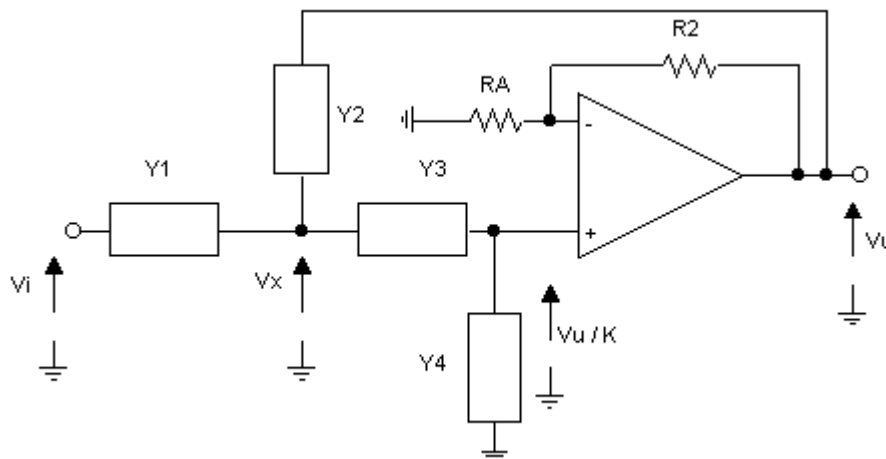


Figura 1.32 Filtro con guadagno K

Il valore del guadagno è  $K = 1 + (R_A / R_B)$ . I conti sono gli stessi effettuati per il Sallen-Key a parte il fatto che ora la tensione su  $Y_4$  vale  $V_u / K$ , pertanto si ha la seguente funzione di trasferimento:

$$\frac{V_u}{V_i} = \frac{KY_1Y_3}{Y_4(Y_1 + Y_2 + Y_3) + (1 - K)(Y_2Y_3 + Y_1Y_3)} \quad (1.35)$$

I vantaggi rispetto al Sallen-Key sono:

- Guadagno in banda diverso da uno.
- Un passa basso/alto con questa struttura presenta una  $f_0$  come in (1.33) ma un diverso valore di smorzamento pari a  $Q = \frac{\sqrt{mn}}{(m+1) + (1-k)mn}$ . Utilizzando componenti con 5% di tolleranza la  $f_0$  ed il  $Q$  sono ovviamente diversi da quelli calcolati analiticamente. Ogni variazione di qualsiasi parametro varia sia  $f_0$  che  $Q$ , quindi tali valori sono difficili da impostare esattamente. In questo caso però potendo variare il valore di guadagno  $K$  è possibile far variare indipendentemente  $f_0$  e  $Q$ .

### 1.7.2 Topologie a guadagno infinito

Se si vuole utilizzare la reazione per la configurazione filtrante si devono impiegare OP.AMP di tipo invertente. I componenti del filtro sono posti nella rete di reazione dell'OP.AMP. I filtri a reazione multipla del II ordine derivano dal circuito riportato in figura 1.33, che è la configurazione generale. Questi filtri presentano buona stabilità, impedenza di uscita bassa e sono poco sensibili alle variazioni dei valori dei componenti. Con riferimento al circuito di figura 1.33, considerando il modello ideale dell'OP.AMP, applicando le equazioni di Kirchhoff alla massa virtuale dell'ingresso invertente ed al punto A e ricavando la funzione di trasferimento si ottiene la f.d.t. (1.36).

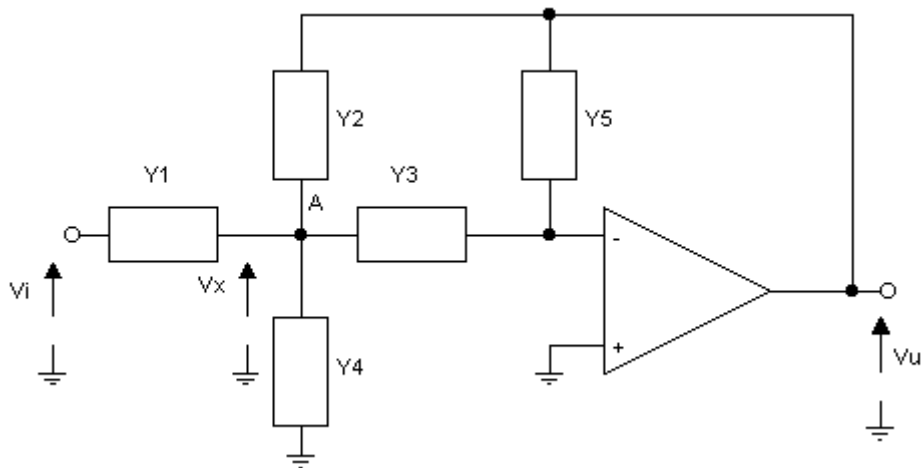


Figura 1.33 Configurazione generale dei filtri a reazioni multiple

$$\frac{V_u}{V_i} = - \frac{Y_1Y_3}{Y_5(Y_1 + Y_2 + Y_3 + Y_4) + Y_2Y_3} \quad (1.36)$$

Il circuito è composto da cinque componenti passivi e questi possono essere utilizzati per ottenere indipendenza sui parametri  $f_0$  e  $Q$ .

Per ottenere un filtro di tipo passa basso esiste un'unica configurazione possibile:

- $Y_1, Y_2$  e  $Y_3$  di tipo resistivo
- $Y_4$  e  $Y_5$  di tipo capacitivo

Per ottenere un filtro passa alto o passa banda esistono invece più alternative, anche se non tutte valide, infatti la corrente di polarizzazione dell'OP.AMP deve chiudersi verso massa, il che determina che  $Y_3$  e  $Y_5$  non possono mai essere contemporaneamente dei condensatori.

### 1.7.3 Celle a doppio integratore

Le celle a doppio integratore presentano due integratori nell'anello di reazione, figura 1.34. Questo tipo di celle può essere utilizzato come base per la realizzazione dei filtri di II ordine.

Dall'analisi di tale circuito si arriva alle seguenti relazioni:

$$V_a = \frac{1}{B_2} [V_i - V_b B_1 - V_c B_0] \quad (1.37)$$

$$V_b = \frac{V_a}{S} \quad (1.38)$$

$$V_c = \frac{V_a}{S^2} \quad (1.39)$$

La (1.38) è l'integrale di  $V_a$ . Sostituendo nella (1.37) la (1.38) e la (1.39) si arriva ad ottenere la seguente funzione di trasferimento:

$$\frac{V_a}{V_i} = \frac{S^2}{B_2 S^2 + B_1 S + B_0} \quad (1.40)$$

quindi le singole uscite del filtro risultano:

Filtro passa alto:

$$\frac{V_1}{V_i} = A_2 V_a = \frac{A_2 S^2}{B_2 S^2 + B_1 S + B_0} \quad (1.41)$$

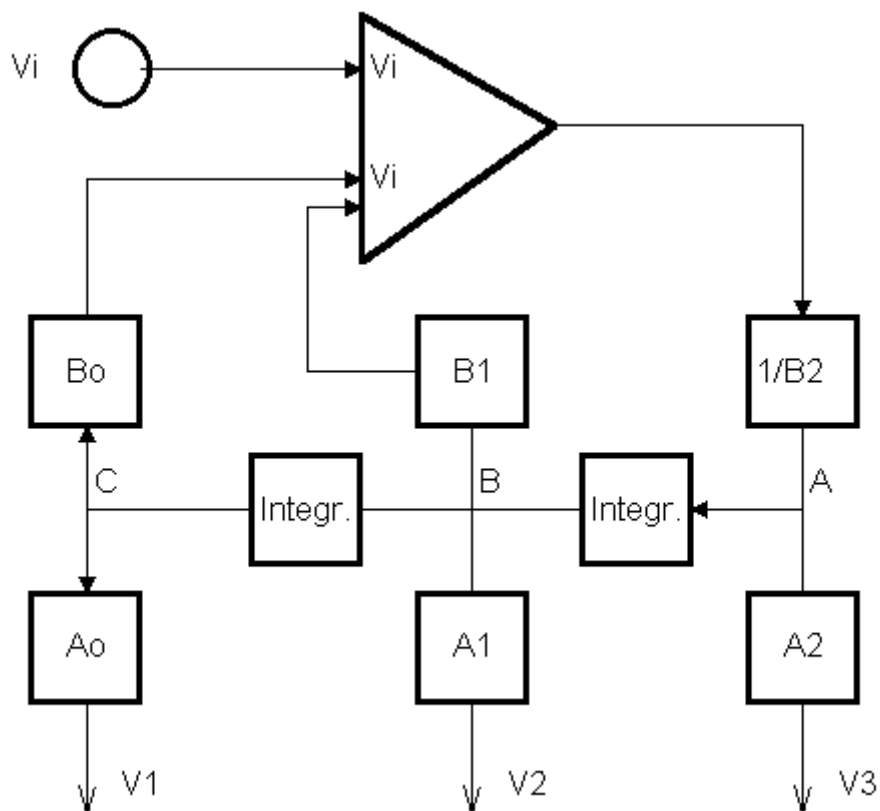
Filtro passa banda:

$$\frac{V_2}{V_i} = \frac{A_1 S^2}{B_2 S^2 + B_1 S + B_0} \quad (1.42)$$

Filtro passa basso:

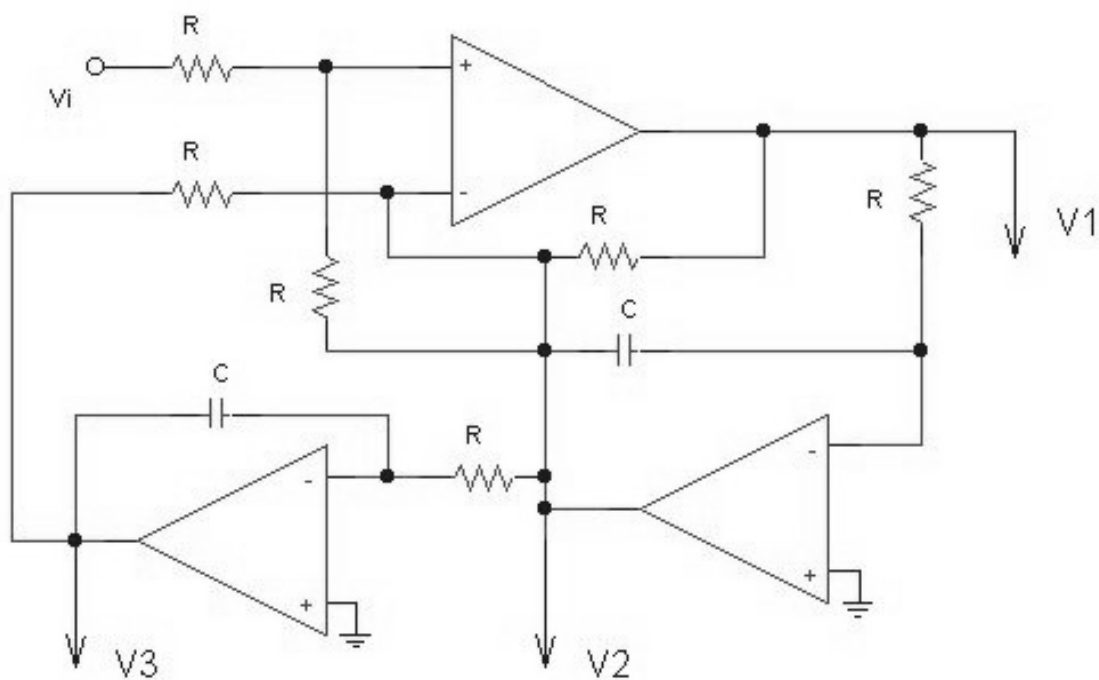
$$\frac{V_3}{V_i} = \frac{A_0 S^2}{B_2 S^2 + B_1 S + B_0} \quad (1.43)$$





**Figura 1.34 Schema di una Cella a doppio integratore**

Le f.d.t. (1.41) (1.42) ed (1.43) presentano tutte il medesimo denominatore, quindi gli stessi valori di  $f_0$  e  $Q$  e perciò lo stesso circuito a seconda dell'uscita realizza un diverso tipo di filtro. Considerando due uscite e combinandole tra loro si può realizzare un filtro elimina banda. Gli integratori utilizzati per la cella sono di tipo non invertente. In figura 1.35 è mostrato lo schema circuitale della cella.



**Figura 1.35 Schema circuitale cella a doppio integratore**

## 1.8 Principio delle capacità commutate

La tecnica delle capacità commutate è realizzata con tecnologia MOS integrata e consente di simulare un resistore mediante una capacità e due interruttori MOS integrati. Con riferimento alla figura 1.36 in cui  $S_1$  ed  $S_2$  rappresentano i selettori realizzati con dei MOS, quando  $S_1$  è chiuso ed  $S_2$  è aperto la capacità  $C$  si carica al valore  $Q = CV_1$ , mentre quando  $S_2$  è chiuso ed  $S_1$  è aperto la carica sul condensatore vale  $Q = CV_2$ , ed il condensatore trasferisce l'energia immagazzinata al generatore  $V_2$ . In questo modo la variazione di carica sul condensatore risulta pari a

$$\Delta Q = C(V_2 - V_1) \quad (1.44)$$

Continuando a ripetere le fasi di apertura e chiusura mutuamente esclusiva dei selettori la carica che per unità di tempo viene trasferita risulta essere:

$$f_{CLK} \Delta Q = C(V_2 - V_1) f_{CLK} = I \quad (1.45)$$

dove  $f_{CLK}$ , pari ad  $1/T$  con  $T$  il periodo di apertura chiusura, è la frequenza con cui vengono imposti i comandi di apertura e chiusura dei selettori.

È ammesso che entrambi i selettori siano contemporaneamente aperti, ma non deve mai accadere che siano entrambi chiusi poiché verrebbero posti in corto circuito i due generatori di tensione.

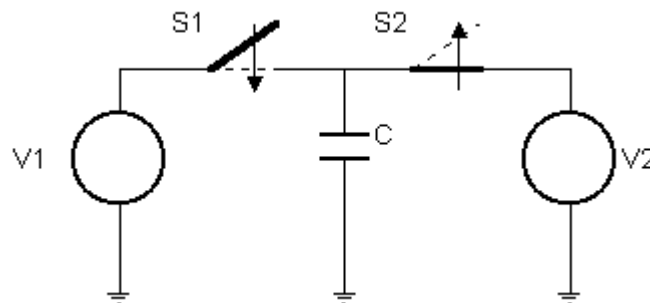


Figura 1.36 Principio capacità commutate

Un condensatore commutato tra due generatori di tensione è quindi equivalente ad un resistore di valore  $R_{eq}$  come mostrato in figura 1.37.

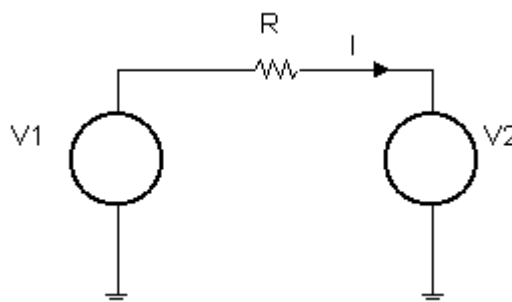


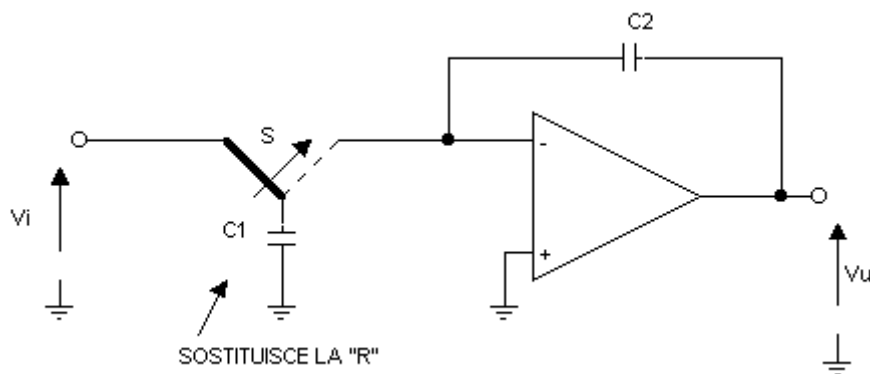
Figura 1.37

$$I = \frac{V_1 - V_2}{R} \quad (1.46)$$

$$R_{eq} = \frac{I}{Cf_{CLK}} \quad (1.47)$$

La tecnica delle capacità commutate è fondamentale per la realizzazione di filtri, alimentatori, moltiplicatori di tensione, ed altro ancora.

Se si volesse progettare un integratore invertente ad 1kHz utilizzando dei resistori il circuito sarebbe di notevoli dimensioni, in quanto occorrerebbe utilizzare grandi condensatori, e comunque sarebbe complicato da realizzare per svariati motivi come la dipendenza dalle variazioni della temperatura. Facendo uso delle capacità commutate si ottiene invece il “piccolo” circuito di figura 1.38.



**Figura 1.38 Integratore invertente**

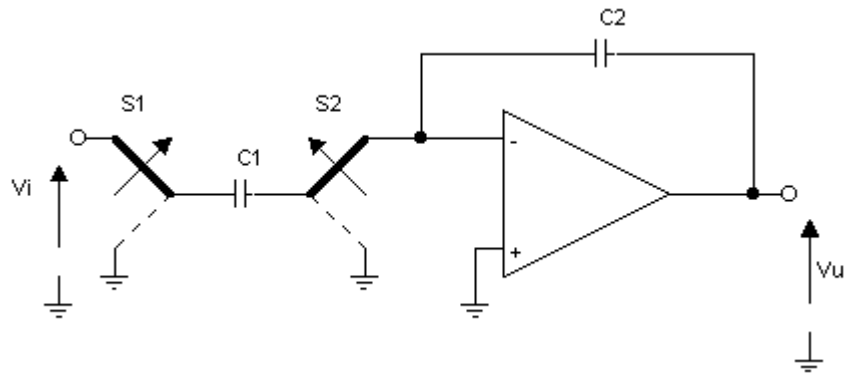
In questo caso, ipotizzando come frequenza di riferimento la frequenza  $f_{CLK}$ , si arriva alle seguenti relazioni:

$$\frac{V_u}{V_i} = \frac{C_1}{SC_2} f_{CLK} \quad (1.48)$$

$$f_0 = \frac{1}{2\pi C_2} C_1 f_{CLK} \quad (1.49)$$

dalla (1.49)  $f_0$  risulta proporzionale alla frequenza di riferimento e dipendente dal rapporto dei due condensatori  $C_1$  e  $C_2$ . Tale dipendenza risulta molto importante, in quanto fa sì che non interessi il valore assoluto dei condensatori (si possono utilizzare condensatori da 10pF), e ne consegue che non è necessario che i condensatori utilizzati per realizzare il dispositivo siano precisi, ma solamente che sia preciso il valore del loro rapporto, ovvero il rapporto delle loro aree sia esatto, il che è estremamente facile da realizzare in un circuito integrato.

Con questa tecnica si ottiene anche l'integratore non invertente, figura 1.39, ed è questa la configurazione utilizzata nella pratica e non quella di principio. In questo caso cambiando le fasi dei selettori si cambia il segno dell'integratore (si ottiene un valore di resistenza negativo).



**Figura 1.39 Integratore non invertente**

I filtri a capacità commutate presentano quindi diversi vantaggi:

- possono variare facilmente le loro caratteristiche in base alla frequenza di clock;
- hanno un comportamento poco influenzato dalle variazioni di temperatura;
- la funzione di trasferimento può essere realizzata con precisione;
- presentano un ridotto consumo di potenza (dato che mancano i resistori);

Lo svantaggio di questa tecnologia è imposto dal limite della massima frequenza di commutazione dei selettori. Essendo sistemi campionati possono essere usati solo a frequenze inferiori a quelle richieste dal teorema di Nyquist. La frequenza del segnale di ingresso può variare dalla continua fino ad un massimo di  $1/5 - 1/10$  della frequenza del segnale di clock. La gamma possibile di frequenze di clock utilizzabile varia da un minimo di 100Hz ad un massimo di 10MHz.

## 2. PLL

### 2.1 Introduzione

Il PLL, *Phase Locked Loop* o maglia ad aggancio di fase, è un sistema reazionato che trova applicazione principalmente, nel dominio analogico, come oscillatore locale per i sistemi di trasmissione e ricezione (sintonia dei sistemi radio), demodulatore di ampiezza, frequenza, IQ, recupero della portante. Nel dominio digitale invece trova impiego, ad esempio, nei PC dove la frequenza di lavoro interna del microprocessore è diversa da quella del bus e le due frequenze, tramite PLL, vengono sincronizzate. Inoltre è utilizzato nei recuperi di clock da un flusso di dati digitali ricevuti, ecc.

La struttura di base del PLL è sintetizzata in figura 2.1 e si compone di tre blocchi fondamentali:

1. Demodulatore di fase (o comparatore) D.F.;
2. Filtro passa basso;
3. Oscillatore controllato in tensione VCO (*Voltage Controlled Oscillator*);

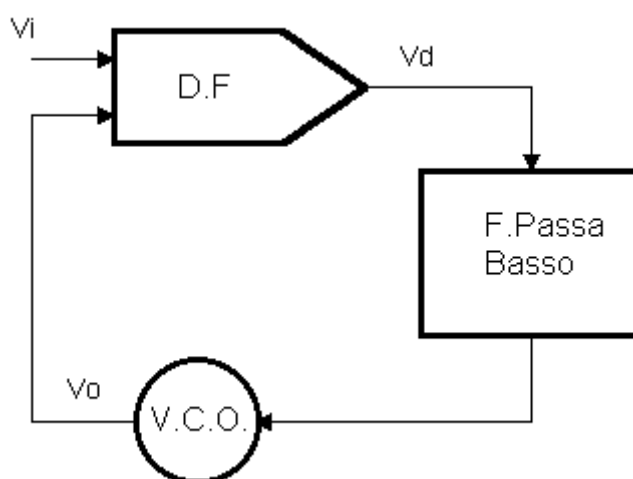


Figura 2.1 Schema a blocchi base del PLL

Il demodulatore di fase è un circuito che presenta in uscita una tensione determinata dalla differenza delle fasi dei due segnali applicati in ingresso (tensione di errore).

Il filtro estrae il valore medio del segnale di uscita dal demodulatore di fase e determina la banda entro cui è possibile l'aggancio di fase.

Il VCO è un dispositivo che genera una frequenza variabile sotto l'azione di un controllo esterno. È un oscillatore non stabilizzato in frequenza, in grado di funzionare ad una frequenza diversa da quella naturale determinata da una tensione di controllo esterna.

Il PLL è dunque un sistema reazionato con una particolarità: la reazione coinvolge soltanto la relazione di fase che intercorre tra il segnale di ingresso  $V_i$  e il segnale di uscita  $V_o$ , quindi il sistema non è intrinsecamente lineare. L'obiettivo del PLL è quello di sincronizzare la fase e la frequenza (aggancio dell'angolo istantaneo), di un segnale generato localmente a quello di uno posto come ingresso.

## 2.2 Principio di funzionamento

In assenza di un segnale modulato, all'ingresso del comparatore di fase, si ottiene una tensione di uscita  $v_d$  nulla e pertanto la tensione di controllo applicata al VCO essendo nulla fa sì che non venga variata la sua frequenza di oscillazione  $\omega_{or}$ . Tale frequenza prende il nome di *frequenza a riposo* del VCO.

Ipotezzando inizialmente i blocchi lineari e presenza di un segnale di ingresso al D.F., l'uscita proveniente dal VCO segue la frequenza di tale segnale, preso come riferimento. Il sistema tende ad eguagliare le frequenze dei due segnali tramite una differenza di fase,  $\theta_e$ , costante. Il demodulatore di fase produce un'uscita proporzionale alla somma ed alla differenza tra le fasi del segnale di riferimento a frequenza  $f$  ed il segnale di uscita del VCO:

$$V_d = K_d \theta_e \quad (2.1)$$

in cui, nella (2.1),  $K_d$  è un guadagno costante del PLL, ossia il rapporto tra la variazione della tensione ottenuta all'uscita del dispositivo e la variazione della differenza di fase pari a:

$$K_d = \frac{\Delta V_o}{\Delta \theta_e} [\text{V/rad}] \quad (2.1a)$$

Il filtro passa basso lascia passare solamente la componente differenza dando origine ad una tensione di errore proporzionale alla differenza tra le due fasi comparate. Questa tensione di errore è impiegata per controllare la frequenza dell'oscillatore il quale ha ampiezza fissa per evitare di subire variazioni di ampiezza dovute al segnale di ingresso. Il VCO varia la sua frequenza  $\omega_{or}$  in modo da ridurre la variazione della differenza di fase. La variazione di frequenza del VCO è data da:

$$\Delta \omega_o = K_o V_c \quad (2.2)$$

in cui  $K_o$  è il guadagno del VCO, cioè il rapporto tra la variazione della frequenza di oscillazione che si ha in uscita e la variazione della tensione di controllo, dipendente dalla tensione di errore che si ha in ingresso:

$$K_o = \frac{\Delta \omega}{\Delta V_{err}} [\text{Hz/V}] \quad (2.2a)$$

Quando l'anello risulta agganciato in fase, la frequenza del VCO è uguale alla frequenza del segnale di ingresso e la differenza tra le due fasi risulta costante. Ogni variazione di tale differenza determina una variazione della tensione di errore che forza la frequenza del VCO sino all'aggancio successivo.

Il PLL è dunque caratterizzato da:

- due guadagni:  $K_d$  e  $K_o$ ;
- la f.d.t. del filtro passa basso;
- frequenza di riposo del VCO:  $\omega_{or}$ ;

È possibile definire un guadagno ad anello  $K_d K_o F(s)$  ed un guadagno ad anello in continua  $K_d K_o F(0)$ . La stabilità o la instabilità del PLL è determinata dalla forma del guadagno ad anello.

Ipotizzando di fornire in ingresso un segnale di tipo sinusoidale come il seguente:

$$v_i = V_i \sin(\omega_i(t) + \theta_i(t)) \quad (2.3)$$

in cui  $V_i$  è l'ampiezza del segnale,  $\omega_i$  è la pulsazione di ingresso e  $\theta_i$  la fase del segnale in uscita si avrà:

$$v_o = V_o \cos(\omega_o(t) + \theta_o(t)) \quad (2.4)$$

in cui è possibile avere uno sfasamento di  $90^\circ$ . (ma avendo tra ingresso ed uscita *sin* e *cos* tale sfasamento si annulla). Il PLL pur essendo un sistema reazionato non agisce sulle tensioni di uscita; la  $v_o$  non è legata alla  $v_i$ . Il parametro su cui opera è solo la fase, ovvero ciò che lega  $\theta_o$  a  $\theta_i$ .

Passando al demodulatore di fase, continuando l'ipotesi di linearità, si ottiene:

$$V_d = K_d(\theta_i - \theta_o) \quad (2.5)$$

$$V_c(s) = F(s)V_d(s) \quad (2.6)$$

La frequenza può essere pensata come derivata della fase

$$\frac{d\theta_o(t)}{dt} = K_o v_c(t) \quad (2.7)$$

$$s\theta_o(s) = K_o v_c(s) = K_o F(s) K_d [\theta_i(s) - \theta_o(s)] \quad (2.8)$$

quindi ricavando dalla (2.8) la funzione di trasferimento nelle fasi del PLL si ottiene:

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_o K_d F(s)}{s + K_d K_o F(s)} = H(s) \quad (2.9)$$

in cui  $s$  rappresenta la velocità di variazione delle fasi dei segnali.

Noto che  $\theta_e = \theta_i - \theta_o$  si riesce ad ottenere la seguente formulazione per la (2.9):

$$\theta_o = \theta_i H(s) \quad (2.10)$$

$$\theta_e = \theta_i (1 - H(s)) \quad (2.11)$$

$$\frac{\theta_e}{\theta_i} = \frac{s}{s + K_o K_d F(s)} \quad (2.12)$$

Il demodulatore di fase ed il VCO possono solo variare il guadagno. L'unico punto su cui si può agire per variare la f.d.t. del PLL è il filtro passa basso che risulta pertanto il punto chiave del PLL per la stabilità ed il comportamento del sistema.

## 2.3 Filtri passa basso utilizzati nelle applicazioni reali

I tipi di filtro passa basso più utilizzati sono principalmente divisibili in sette tipologie:

- (1) un filo
- (2) RC passivo
- (3) RRC
- (4) cella del II ordine
- (5) RC attivo
- (6) integratore
- (7) pompa di carica (PFD)

$$1. \quad F(s) = 1 \Rightarrow H(s) = \frac{K_0 K_d}{s + K_0 K_d} \quad (2.13)$$

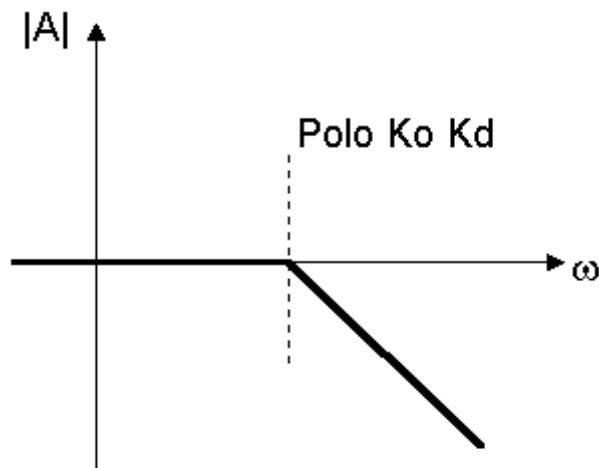


Figura 2.2 Risposta in frequenza

È semplicemente un filo quindi un filtro molto facile da realizzare. Il filtro è di ordine zero ma il PLL presenta una f.d.t. ( $H(s)$ ) di ordine 1. Con questo passa basso se la fase del segnale di ingresso varia lentamente la fase del segnale di uscita è in grado di seguirla senza alterazioni, e si ha la stessa relazione di fase tra segnale di ingresso e segnale di uscita  $\theta_o = \theta_i$ . Se invece la fase del segnale di ingresso varia velocemente la fase del segnale di uscita non varia con altrettanta velocità e  $\theta_o \neq \theta_i$ .

$$2. \quad F(s) = \frac{1}{1 + sRC} \Rightarrow H(s) = \frac{K_0 K_d}{RCs^2 + s + K_0 K_d} \quad (2.14)$$

Il filtro RC passivo, figura (2.3) è del I ordine e la f.d.t. del II ordine.

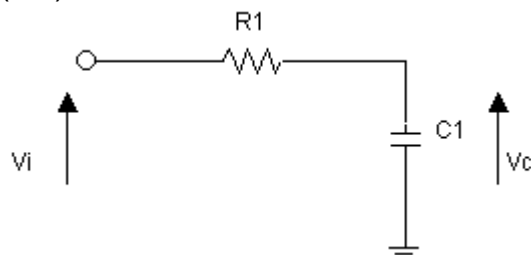
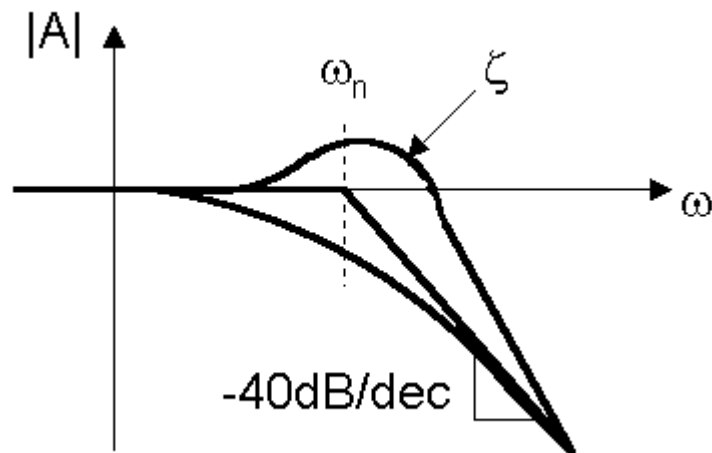


Figura 2.3 Filtro RC passivo



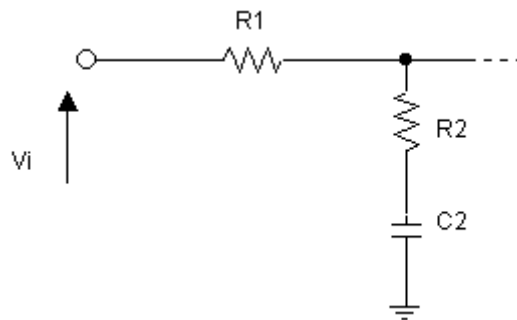
Il comportamento del PLL con questo tipo di filtro dipende principalmente dalla pulsazione  $\omega_n$  e dallo smorzamento  $\xi$  come evidenziato in figura (2.4).



**Figura 2.4 Risposta in frequenza in base alla pulsazione ed allo smorzamento**

3. Il filtro RRC, figura 2.5, ha un polo ed uno zero che interessano relativamente perché la sua f.d.t. nel PLL ha frequenza di taglio  $\omega_n$  e lo zero comporta contributi a frequenze che non destano interesse. Il vantaggio di questo filtro è che la frequenza del polo dipende solo dalla somma di  $R_1$  ed  $R_2$ .

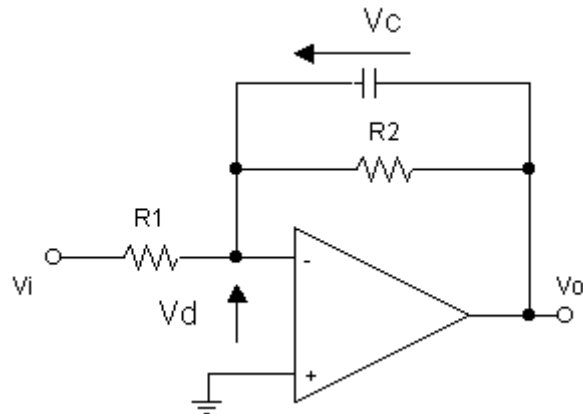
$$F(s) = \frac{sCR_1 + 1}{sC(R_1 + R_2) + 1} \quad (2.15)$$



**Figura 2.5 Filtro RRC**

4. Il filtro costruito con celle del II ordine si può realizzare ma crea scompensi (instabilità) ed è poco utilizzato

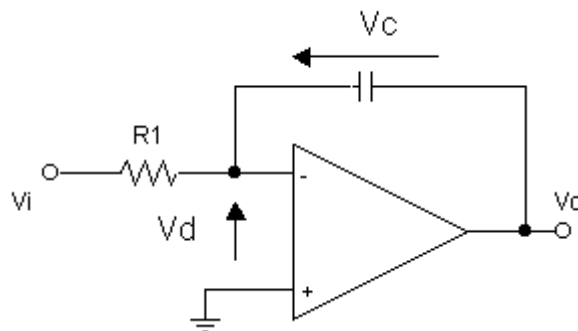
5. Il filtro RC attivo è realizzato tramite un OP.AMP. È un filtro che può guadagnare più di uno in banda passante, ma la f.d.t. del PLL è analoga alla f.d.t. del PLL con RRC. Tale filtro mostrato in figura 2.6 utilizza un OP.AMP invertente. Il PLL è un sistema reazionato e invertire il segnale nel filtro può causare dei problemi che però vengono compensati dal demodulatore di fase.



**Figura 2.6 Filtro RC attivo**

6. Il filtro ad integratore mostrato in figura 2.7 rispetto al filtro RC attivo, in continua guadagna infinito invece che uno a causa della reazione del sistema.

L'unico modo per ottenere una  $V_c$  limitata è avere una  $V_d$  nulla. La  $V_d$  costante è diversa da zero se  $\theta_i \neq \theta_o$ . Tutti i PLL, in  $F(0)$  diverso da infinito, sono in grado di mantenere l'aggancio a frequenze diverse da  $\omega_{or}$  al prezzo di avere uno sfasamento costante tra segnale di ingresso e segnale di uscita. Il vantaggio di questo filtro è dunque che con  $F(0)$  infinita allora la  $V_c$  risulta non nulla e si ottiene una relazione di fase fissa ( $\theta_i - \theta_o$ ) = 0 per ogni frequenza del segnale di ingresso.



**Figura 2.7 Filtro ad integratore**

(8) La pompa di carica o PFD (Phase Frequency Demodulator) è simile all'integratore ma risulta di più facile realizzazione.

È un circuito a capacità commutate che viene schematizzato in figura 2.8. Tale circuito è un dispositivo digitale che regola la tensione sul condensatore in modo da avere in uscita un segnale con la medesima frequenza del segnale di ingresso con al più una discordanza di fase. Tutte le volte che la frequenza del segnale di ingresso è uguale alla frequenza del segnale di uscita si ha uno sfasamento nullo ed i selettori indicati come A e B risultano aperti. Quando la frequenza del segnale di ingresso è diversa da quella del segnale di uscita si ha invece uno sfasamento non nullo e, essendo selettore A chiuso, si assiste alla carica del condensatore, mentre, con il selettore B chiuso, si ha la sua scarica. Con entrambi i selettori chiusi si ha un corto circuito verso massa che esclude il condensatore.

Un sistema reazionato come questo, con più di due poli nella f.d.t., risulta facilmente instabile. La stabilità dipende quindi dalla posizione del terzo polo. Il guadagno ad anello non è però facilmente controllabile nel PLL ed il terzo polo può risultare in un punto che

rende instabile il sistema. È per questo motivo che si cerca di progettare principalmente PLL del I ordine.

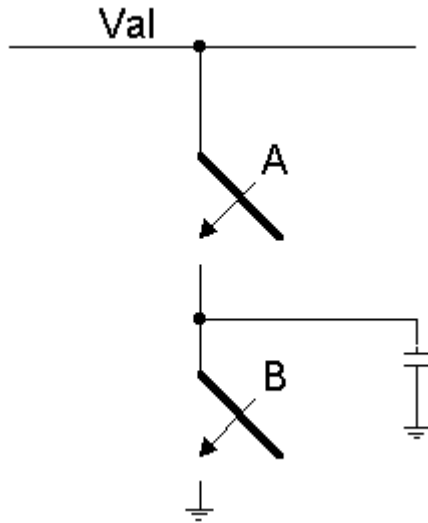


Figura 2.8 Schema di principio PFD

## 2.4 Frequenze di ingresso sostenibili dal PLL

Qualsiasi PLL è in grado di agganciarsi alla frequenza di riposo del VCO. Se però il segnale di ingresso è diverso da un segnale di tipo sinusoidale il PLL riesce a mantenere l'aggancio? Per saperlo è necessario studiare l'errore di fase  $\theta_{er}$  a regime;

$$\theta_{er} = \lim_{t \rightarrow \infty} \theta_e(t) \quad (2.16)$$

risultando noto  $\theta_e(s)$ , per il teorema del valore finale dalla (2.16) si ottiene

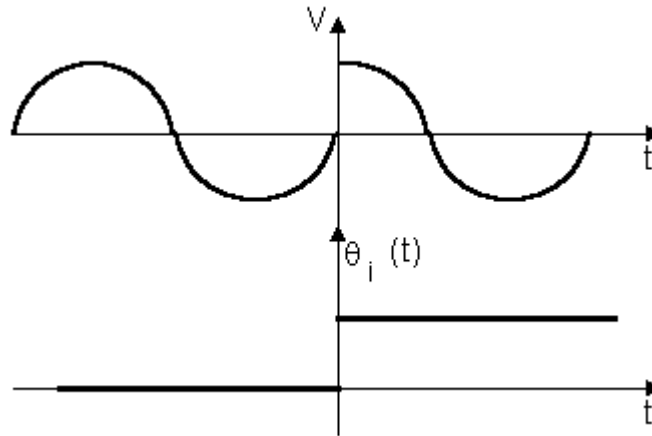
$$\lim_{s \rightarrow 0} s \theta_e(s) = \lim_{s \rightarrow 0} \frac{s^2 \theta_i(s)}{s + K_0 K_d F(s)} \quad (2.17)$$

$$\theta_{er} = \lim_{s \rightarrow 0} \frac{s^2 \theta_i(s)}{s + K_0 K_d F(s)} \quad (2.18)$$

si deduce quindi che il PLL è caratterizzato dalla forma della fase del segnale di ingresso  $\theta_i(s)$  e dal prodotto  $K_0 K_d F(s)$  nell'intorno dell'origine ( $F(0)$ ).

Il segnale di ingresso può essere un segnale modulato. Se è modulato in fase il PLL deve poterne seguire un suo salto di fase.

In figura 2.9 si nota come  $\theta_i(t)$  presenti un salto  $\Delta\theta_i$  in corrispondenza del cambio di fase, ( $\Delta\theta_i/s$  è il gradino di Laplace).



**Figura 2.9 Salto di fase**

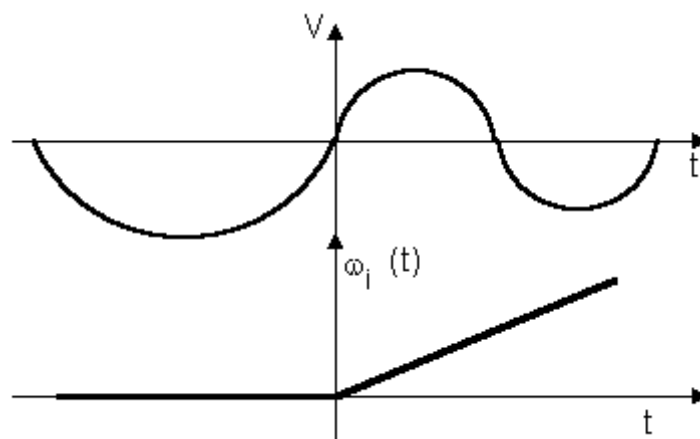
Qualunque PLL è in grado di rimanere agganciato ad un segnale che presenta salti di fase. Infatti per ogni PLL risulta valido il limite (2.19)

$$\lim_{s \rightarrow 0} \frac{s^2 \Delta \theta_i(s)}{s + K_0 K_d F(s)} = 0 \quad (2.19)$$

Se invece di variazioni di fase il segnale di ingresso presenta variazioni di frequenza, figura 2.10, il limite (2.19), noto che la trasformata della rampa è  $\Delta \omega / s^2$ , diventa

$$\lim_{s \rightarrow 0} \frac{s^2 \Delta \omega_i(s)}{s + K_0 K_d F(s)} \quad (2.20)$$

in questo caso se nella (2.20)  $F(0)$  risultasse infinita il PLL seguirebbe il segnale di ingresso con errore di fase nullo, essendo  $F(0)$  finita il sistema segue ancora il segnale ma con un errore di fase diverso da zero.



**Figura 2.10 Salto di frequenza**

Una rampa di frequenza non viene inseguita dal PLL con guadagno in continua finito. Se  $F(s)$  è un infinito del I ordine il limite (2.20) è diverso da zero ma finito.

$$\lim_{s \rightarrow 0} \frac{\Delta \dot{\omega}}{s + s(s + K_0 K_d F(s))} \quad (2.21)$$

## 2.5 Dinamica del PLL

Per studiare quando il PLL entra in aggancio con il segnale di ingresso occorre l'analisi della sua *caratteristica a farfalla*.

Come già visto, ponendo in ingresso un segnale sinusoidale (2.3) si otterrà in uscita un segnale co-sinusoidale (2.4). La tensione di uscita dal demodulatore di fase si può pertanto scrivere come:

$$v_d = \frac{1}{2} K_m V_i V_o \sin[(\omega_i - \omega_o)t + (\theta_i - \theta_o)] + \frac{1}{2} \dots \quad (2.22)$$

in cui (\*) sono termini che si trascurano dato che le variazioni di questi segnali essendo fuori banda rispetto al VCO non ne fanno variare la frequenza del suo segnale di uscita;  $K_m$  rappresenta il guadagno del moltiplicatore.

Se  $\omega_i = \omega_o =$  costante si è in aggancio e l'uscita risulta una tensione costante continua non dipendente dal tempo.

$$v_d = \frac{1}{2} K_m V_i V_o \sin(\theta_i - \theta_o) \quad (2.23)$$

Se invece risulta  $\omega_i \neq \omega_o$  l'uscita è una sinusoide del tipo:

$$v_d = \frac{1}{2} K_m V_i V_o \sin[(\omega_i - \omega_o)t + \theta_o] \quad (2.24)$$

### 2.5.1 Caratteristica ad anello aperto

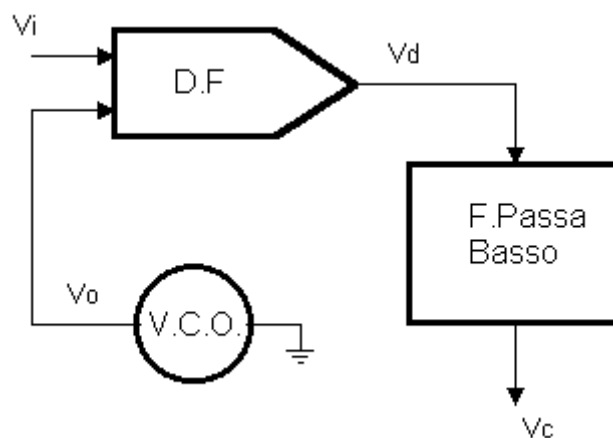


Figura 2.11 PLL in configurazione ad anello aperto

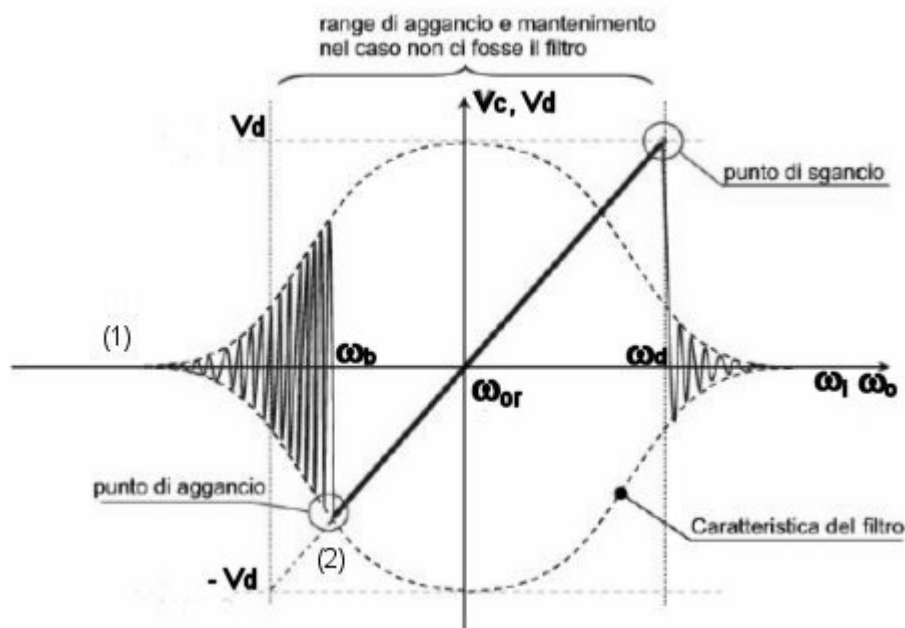
In figura 2.11 viene mostrato lo schema ad anello aperto del PLL ipotizzando di utilizzare un filtro RC passivo.

In tal caso si ha  $\Delta\omega_o = 0$  poiché l'ingresso del VCO è posto a massa ed il VCO oscilla quindi ad una pulsazione fissa (di riposo)  $\omega_{or} = \omega_o$ . La tensione  $v_d$  sarà di tipo sinusoidale con

$$|v_d|_{\max} = \frac{K_m V_i V_o}{2} \quad (2.25)$$

e si riscontra che:

$$\overline{w}_d = \overline{w}_i - \overline{w}_{or} \quad (2.26)$$



**Figura 2.11 Caratteristica a farfalla**

Il grafico di figura 2.11 mostra la caratteristica a farfalla del PLL. In pratica quel che avviene è questo: si inizia la spazzolata dal basso con dei valori di frequenza tali per cui il PLL risulta agganciato. Aumentando progressivamente la frequenza si arriva ad un valore ben preciso per il quale il PLL risulta agganciato. Questo punto è individuato dall'intersezione delle curve caratteristiche del filtro e del VCO. Adesso quello che si trova in ingresso al VCO non è altro che un segnale in continua che si muove lungo la retta individuabile nel grafico di figura 2.11. Essendo un segnale in continua, o comunque lentamente variabile nel tempo, non risente del filtro e aumentando la frequenza si riesce ad oltrepassare la caratteristica del filtro raggiungendo un valore più elevato. Analogamente avviene se si procede dall'alto verso il basso.

### 2.5.2 Caratteristica ad anello chiuso

$\omega_i \ll \omega_{or}$  : Passando alla caratteristica ad anello chiuso ed ipotizzando di inviare in ingresso al PLL un segnale a frequenza  $\omega_i \ll \omega_{or}$ , cioè rispetto alla figura 2.11 partendo dal punto (1) si ha che per ogni  $\omega$  in uscita dal VCO il segnale in uscita dal filtro è nullo e quindi il VCO oscilla alla frequenza di riposo come analizzato nella caratteristica ad anello aperto.

$$\varpi_0 = \varpi_{or} + K_o v_c \rightarrow v_c = \frac{\varpi_o - \varpi_{or}}{K_o} \quad (2.27)$$

la (2.27) implica che la pendenza della retta sia pari ad  $(1 / K_0)$ .

Se la tensione di controllo  $V_c$  varia ecco come varia l'  $\omega$  di uscita:

- $\omega_o = \omega_{or}$ , valido per basse frequenze
- Se si sale un po' in frequenza la tensione di controllo farà spazzolare in frequenza il VCO (il valore medio sarà circa  $\omega_{or}$ ). Il VCO quindi avrà una frequenza di uscita non fissa ma variabile tra  $\omega_{or} - \delta_{\omega}$  e  $\omega_{or} + \delta_{\omega}$ .
- Solo alla frequenza  $\omega_b$ , nel punto (2), avverrà l'aggancio. Il modulatore di fase quindi invierà al VCO non più un segnale di tipo sinusoidale ma una tensione continua.
- La tensione in uscita dal demodulatore di fase sarà una continua fino alla frequenza  $\omega_d$ , punto (3). Infatti il demodulatore di fase non è in grado di fornire tensioni superiori ad  $1/2V_iV_o$  e quindi si ritorna ad un segnale sinusoidale.

$\omega_i \gg \omega_{or}$ : Pensando di inviare ora un segnale ad alta frequenza ( $\omega_i \gg \omega_{or}$ ) si trova che il PLL ha quattro frequenze caratteristiche distinte. Esiste un campo interno  $[\omega_b; \omega_c]$  in cui per ogni segnale di ingresso il PLL si aggancia, indipendentemente dal fatto che si arrivi da frequenza superiori od inferiori a  $\omega_r$ . Tale campo prende il nome di *campo di cattura* del PLL. Il campo di cattura dipende in particolare dalla banda del filtro passa basso ( $K_0, K_d, \omega_p$ ); infatti se l'ingresso  $v_i$  è ad una frequenza  $f_i$ , tale che  $f_i - f_0$  ( $f_0$  frequenza centrale) è superiore alla frequenza di taglio del filtro, il segnale di errore è nullo ed il VCO rimane alla frequenza centrale  $f_0$ .

È presente poi un campo detto *campo di mantenimento* del PLL. Il campo di mantenimento è l'intervallo di frequenze entro cui, dopo l'aggancio, l'oscillatore può rimanere sincronizzato al segnale di ingresso. Il campo di mantenimento è maggiore del campo di cattura e dipende dal campo di variazione della tensione di errore prodotta dal demodulatore di fase e dal campo di frequenza in cui può operare il VCO; infatti una volta avvenuto l'aggancio, la tensione di uscita del demodulatore di fase è continua e quindi la frequenza di taglio superiore del filtro non influenza il comportamento del sistema.

## 2.6 Demodulatore di fase

### 2.6.1 Demodulatore a moltiplicatore analogico

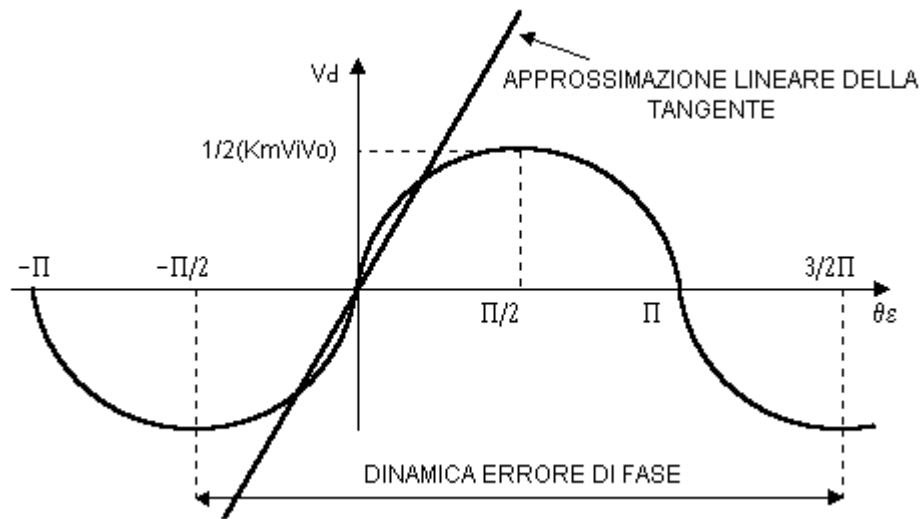
La caratteristica del demodulatore di fase analogico è quella di figura 2.12.

$$v_d = \frac{1}{2} K_m V_i V_o \sin \theta_e \quad (2.28)$$

**[Nota]:** i segnali sono in *seno* e *coseno* quindi ci sono  $90^\circ$  di sfasamento.

Le due dinamiche di ingresso sono uguali ma non sono vere contemporaneamente. Il segno del guadagno del demodulatore di fase varia nei due pezzi della caratteristica e solo in uno dei due il DF risulta stabile. Ciò dipende dal segno del guadagno degli altri due componenti del sistema. Non è possibile affermare a priori che l'errore di fase sarà nel tratto  $[0; \pi]$  o nel tratto  $[\pi; 2\pi]$ : sarà comunque ampio  $\pi$ . L'ampiezza massima e minima di  $v_d$  dipendono da  $K_m$ , dal valore di picco del segnale di ingresso (che è controllabile) e dal valore di picco del segnale di uscita (che è variabile).

$$K_d = \frac{1}{2} K_m V_i \quad (2.29)$$

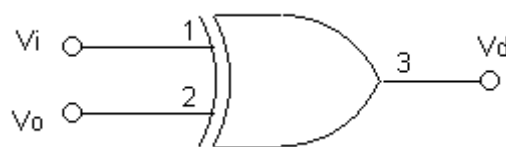


**Figura 2.12 Caratteristica lineare del D.F. analogico**

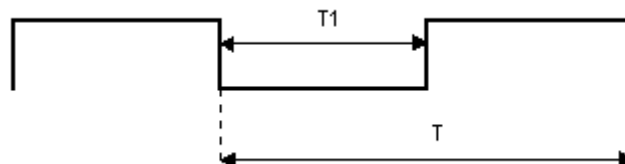
Le variazioni di ampiezza del segnale di uscita dal DF possono causare problemi nella definizione del campo di cattura e del campo di mantenimento del PLL. Se invece il segnale di ingresso è molto grande la tensione  $v_d$  può crescere molto e far saturare il sistema alterandone le caratteristiche.

### 2.6.2 Demodulatore di fase digitale

Il circuito logico che opera come demodulatore di fase per i segnali di tipo digitale è la porta logica EXOR, figura 2.13. Risulta un circuito semplice ed economico ma ha la limitazione di operare correttamente solo se i segnali digitali presentano un duty-cycle del 50% come rappresentato in figura 2.14.



**Figura 2.13 Porta logica EXOR**



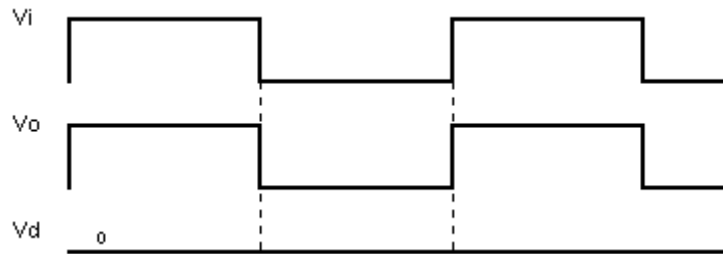
**Figura 2.14 Onda quadra con duty cycle del 50%**

La distanza tra i fronti di salita rapportata al periodo risulta pari a:

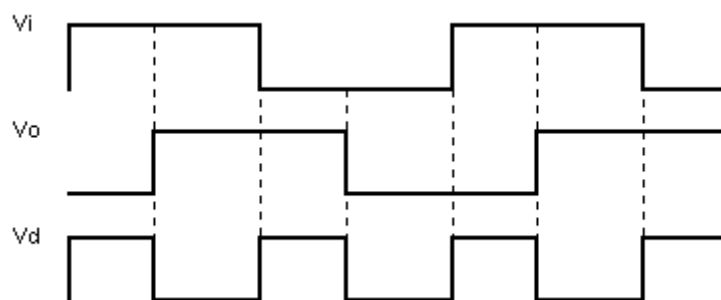


$$FASE = \frac{T_{FS1} - T_{FS2}}{T} * 360 \quad (2.29)$$

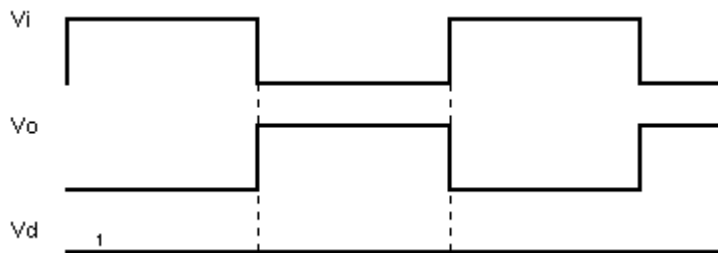
In cui  $T_{FS}$  sono i fronti di salita. Nel comportamento di questo tipo di demodulatore di fase si hanno i tre casi mostrati in figura 2.15°, 2.15b e 2.15c.



**Figura 2.15a Sfasamento nullo**

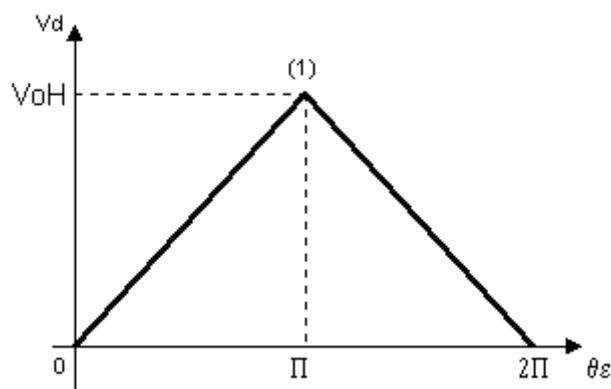


**Figura 2.15b Sfasamento del 50%**



**Figura 2.15c Sfasamento del 100%**

Ciò che è importante è il valor medio delle tensione  $v_d$ , proporzionale allo sfasamento dei segnali, mostrato in figura 2.16 che dipende dalla posizione reciproca dei fronti di salita.



**Figura 2.16 Tensione di uscita  $v_d$ . Caratteristica con DC=50%**

In assenza di sfasamento la tensione  $V_d$  è nulla. Tale tensione cresce all'aumentare dello sfasamento fino a che la tensione  $V_i$  non è l'inverso della tensione  $V_0$  in cui  $V_d$  vale uno. Da

questo punto in poi l'aumento dello sfasamento determina una diminuzione della tensione  $V_d$  fino a zero

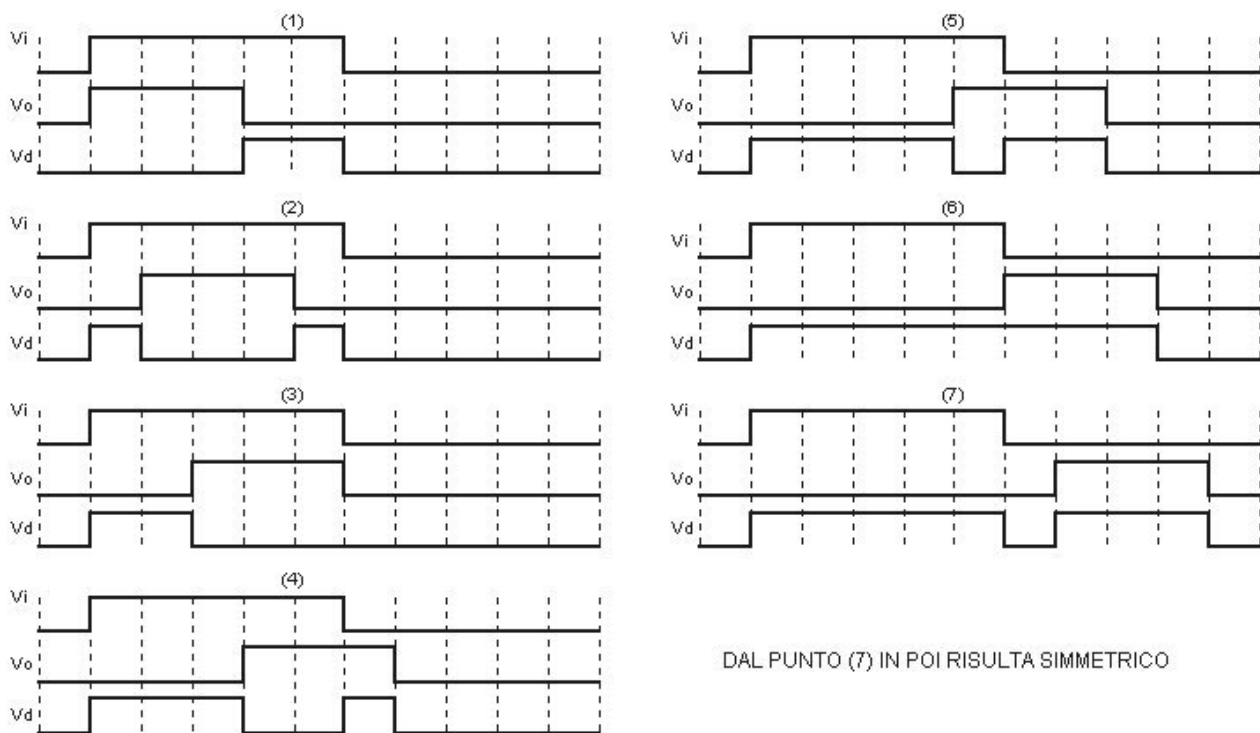
**[Nota]:** Quando si ha uno sfasamento del 50% in uscita dall'EXOR sono presenti componenti a frequenza doppia rispetto ai segnali di ingresso che non vengono considerate, sono infatti eliminate dal filtro passa basso e comunque il VCO non sarebbe sensibile a tali frequenze.

Per il demodulatore digitale ad EXOR si ha  $K_d$  come:

$$K_d = \frac{V_{OH}}{\pi} \quad (2.30)$$

quindi un errore di fase di  $\pi$  genera una tensione di errore pari a  $V_{OH}$ .

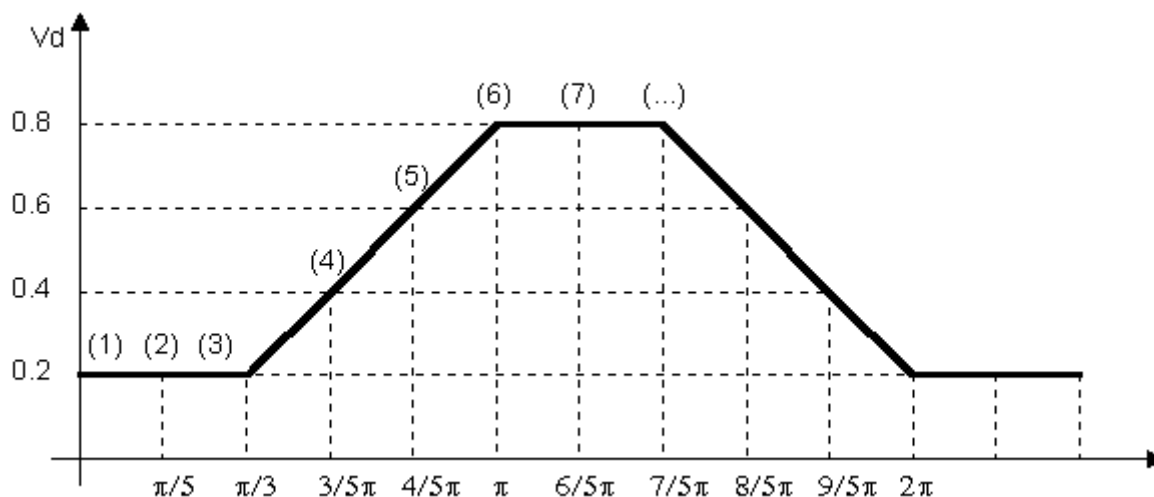
Analizzando ora un caso in cui il duty cycle tra il segnale  $v_i$  ed il segnale  $v_o$  sia diverso dal 50% si ottiene ciò che è mostrato in figura 2.17



**Figura 2.17 Comportamento con DC≠50%**

In figura 2.17 nel grafico (1) con sfasamento nullo si ha una  $v_d$  pari a 0.2, variando lo sfasamento tra segnale  $v_o$  ed il segnale  $v_i$  di  $1/\pi$  si ricavano i grafici che vanno da (2) a (7). Dal grafico (7) la sequenza si ripete ciclicamente dal primo con i relativi valori di  $v_d$ .

Riportando i valori la caratteristica che si ottiene è quella riportata in figura 2.18.



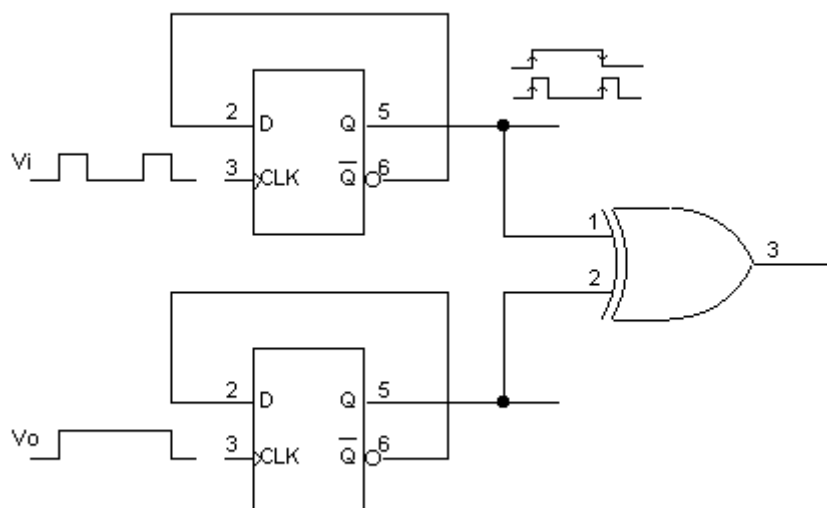
**Figura 2.18 Caratteristica con  $DC \neq 50\%$**

Da tale caratteristica si vede come l'uscita venga "tosata" sopra e sotto rispetto al duty cycle al 50%. La pendenza della caratteristica non varia ( $0.6V_{OH}/(3/5)\pi$ ).

È possibile che esistano zone in cui le fasi dei segnali di uscita e di ingresso possono variare l'una rispetto all'altra, ma in tal caso è come se l'anello di reazione venisse aperto il che restringe il campo di segnali di ingresso che il PLL può trattare correttamente. Questo tipo di demodulatore di fase non è adatto neanche per segnali di tipo impulsivo,

Esiste un modo per risolvere il problema del trattamento di segnali digitali con duty cycle diverso dal 50%. Si può progettare un dispositivo che consenta di avere sempre una relazione di fase con duty cycle pari al 50%, ciò è possibile utilizzando un circuito che sia sensibile solo ai fronti di salita del segnale di ingresso come il flip flop D.

In figura 2.19 i due segnali di ingresso risultano divisi entrambi per due ma la variazione di fase tra loro risulta mantenuta.



**Figura 2.19 Demodulatore di fase per segnali digitali con  $DC \neq 50\%$**

Per segnali di tipo impulsivo invece dei flip flop D si utilizzano, per esempio, dei latch SR in cui l'uscita Q risulta alta quando l'ultimo impulso su set ( $v_i$ ) è stato un impulso alto e bassa quando l'ultimo impulso alto si è presentato su reset ( $v_o$ ). In tal caso la caratteristica è quella di figura 2.20 in cui il valore medio dell'uscita dipende sostanzialmente dalla

distanza degli impulsi di set e reset. In questo caso si ha una caratteristica lineare tra 0 e  $2\pi$  mentre prima lo era tra 0 e  $\pi$ . Risulta possibile trasformare segnali di ingresso non impulsivi ad impulsivi mediante l'uso di derivatori.

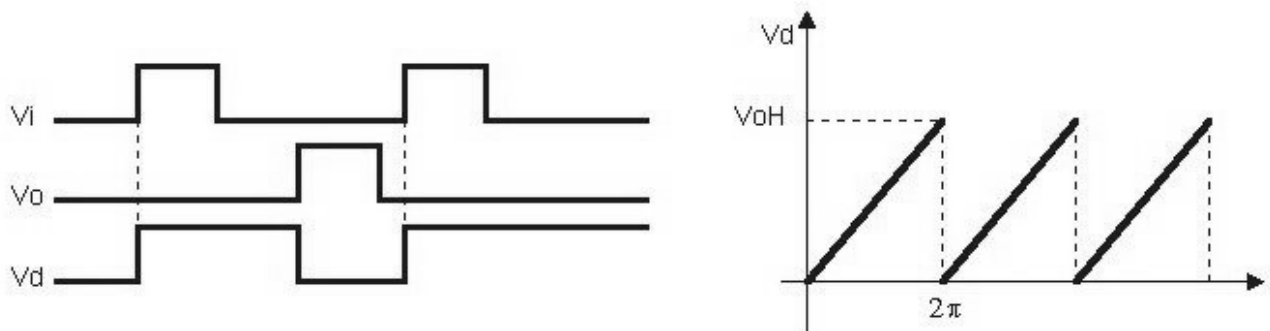


Figura 2.20 Caratteristica per segnali impulsivi

### 2.6.3 Demodulatore di fase-frequenza

Il demodulatore di fase frequenza è schematizzato in figura 2.21. In tal caso  $A$  e  $B$  sono i segnali che comandano i due interruttori che caricano e scaricano il condensatore  $C$ , figura 2.22.

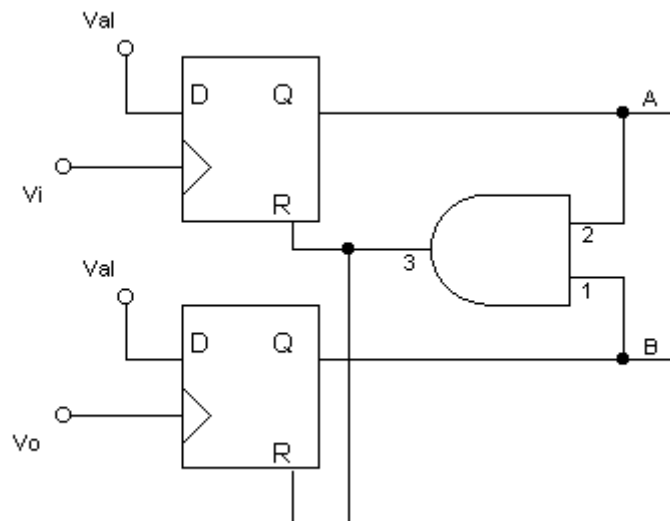


Figura 2.21 Schema demodulatore di fase frequenza

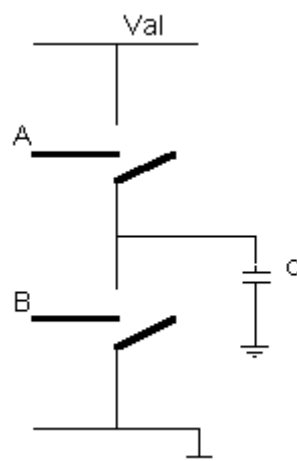


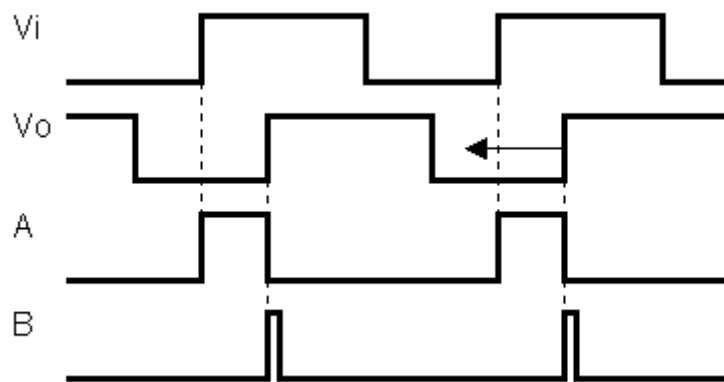
Figura 2.22 Schema di comando carica/scarica condensatore

Il segnale  $A$  va ad uno (il circuito si chiude) quando riconosce il fronte di salita del segnale  $v_i$  e si ripresenta a zero (si apre il circuito) quando riconosce il fronte di salita del segnale  $v_o$ .  $B$  si porta verso lo stato uno quando sia il segnale  $v_i$  che il segnale  $v_o$  risultano alti ed  $A$  è ad uno.

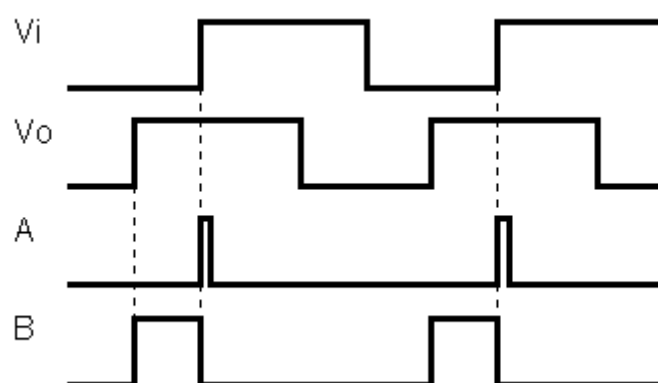
Nel momento in cui  $A$  e  $B$  sono contemporaneamente ad uno viene attivato il reset dei flip flop. Il comando  $B$  rimane ad uno solo per un istante ed ai fini pratici è come se non ci andasse mai. Il comando  $A$  resta alto per un po' di tempo, questo periodo determina la carica del condensatore  $C$  e aumenta la frequenza del segnale del VCO  $v_o$  che quindi si avvicina ai fronti di salita di  $v_i$ .

Quando i fronti sono coincidenti è come se i comandi  $A$  e  $B$  fossero sempre aperti. In figura 2.23 è riportato il grafico di tale comportamento.

Nel momento in cui il segnale  $v_o$  precede il segnale  $v_i$ , figura 2.24, il comportamento dei comandi  $A$  e  $B$  si scambia ed avviene la scarica del condensatore che rallenta la frequenza di oscillazione del VCO.



**Figura 2.23** Comportamento dei comandi  $A$ ,  $B$  per  $V_i$  che precede  $V_o$



**Figura 2.24** Comportamento dei comandi  $A$ ,  $B$  per  $V_i$  che segue  $V_o$

A regime i due segnali  $v_i$  e  $v_o$  risultano perfettamente sincronizzati e l'errore di fase è mantenuto nullo se il PLL risulta agganciato.

## 2.7 Voltage Controlled Oscillator digitale

Il VCO di tipo digitale genera in uscita un onda quadra. Per ottenere tale risultato si utilizza come demodulatore base per le oscillazioni un condensatore la cui tensione viene monitorata da due comparatori di soglia  $V_{s1}$  e  $V_{s2}$  come da schema di figura 2.25.

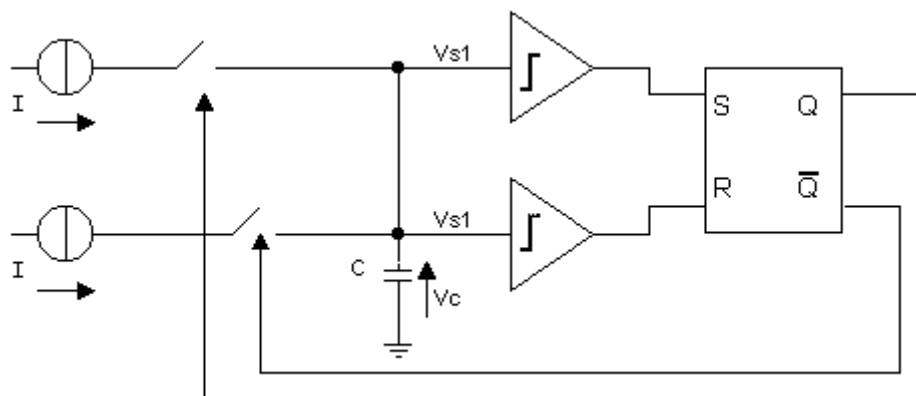


Figura 2.25 Schema VCO digitale

Ogni componente di soglia pilota un interruttore; quando la tensione sul condensatore è inferiore alla soglia  $V_{s1}$  viene chiuso il generatore di corrente che carica il condensatore. Il grafico che descriva tale andamento è riportato in figura 2.26. La pendenza dell'onda triangolare è proporzionale alla tensione di controllo del VCO.

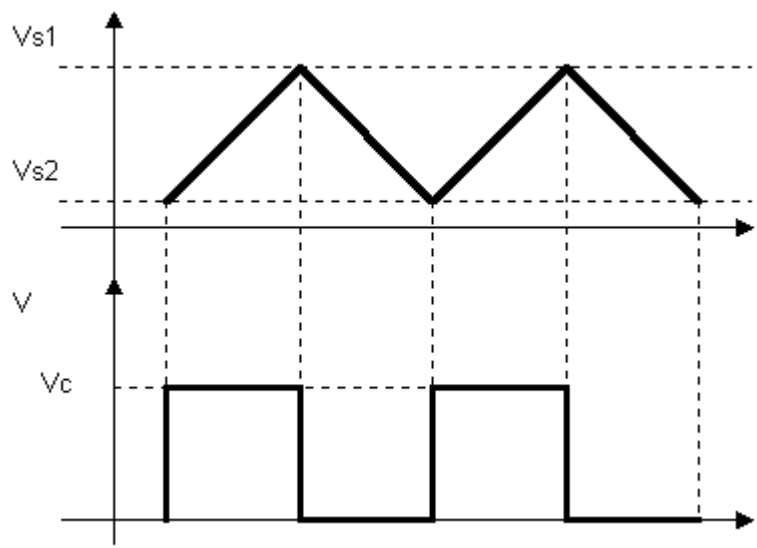


Figura 2.26 Andamento tensione sul condensatore

## 2.8 Specchi di corrente

Lo specchio di corrente è un circuito in cui si suppone che posta una corrente di riferimento  $I_1$  sul collettore di un transistor, la corrente  $I_2$  che scorre sul collettore del secondo transistor sia uguale se i due transistor si trovano alla stessa temperatura. Lo schema di uno specchio di corrente realizzato con transistor BJT è mostrato in figura 2.27.

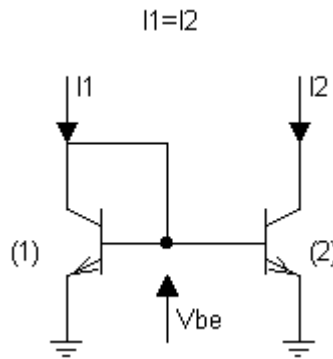


Figura 2.27 Specchio di corrente

La corrente sull'emettitore del transistor vale

$$I_E = I_S e^{\frac{V_{BE}}{V_T}} - 1 \quad (2.31)$$

in cui con zero volt si hanno zero ampere sull'emettitore.  
Per la (2.31) si definiscono l'equivalente in tensione della temperatura

$$V_T = \frac{K_T}{q} \quad (2.31)$$

che a temperatura ambiente vale circa 26mV.  $I_S$  è la corrente inversa di saturazione e dipende dalle dimensioni, dalla geometria e dalla temperatura a cui si trova il transistor. Se il guadagno del transistor è trascurabile rispetto alla corrente di collettore  $I_C$  si ha  $I_E \approx I_C$ . La tensione base emettitore  $V_{BE}$  dei due transistor viene posta uguale per costruzione, il che determina  $I_{C1} = I_{C2}$ . La tensione sull'emettitore dipende essenzialmente da  $V_{BE}$  ed  $I_S$ . Due transistor uguali ed alla medesima temperatura hanno egual correnti  $I_S$ . La realizzazione di transistor uguali e in grado di essere alla stessa temperatura è di facile realizzazione su circuito integrato. Lo stesso tipo di circuito può essere realizzato anche tramite transistor di tipo MOS. Occorre notare che tutto ciò risulta valido solo in zona lineare,

### 2.8.1 Generatori di corrente tramite specchi di corrente

In figura 2.28 è riportato un generatore di corrente realizzato tramite lo schema 2.27.

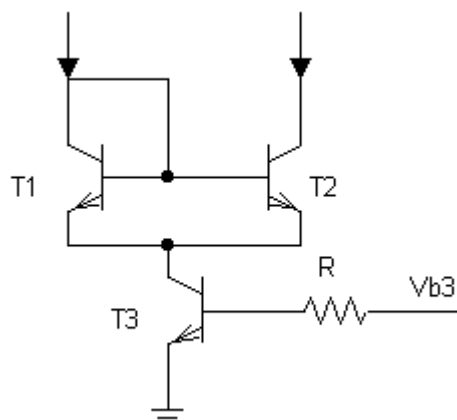


Figura 2.28 Generatore di corrente

Il transistor  $T_3$  risulta pilotato in interdizione  $V_{B3} = 0V$  od in saturazione  $V_{B3} = V_H$ . Si è in saturazione quando la corrente di base  $I_{B3}$  è così forte da far sì che la corrente di collettore  $I_{C3}$  è più bassa della stessa  $I_{C3}$  in linearità. È come se  $T_3$  fosse un interruttore chiuso (corto circuito verso massa) ed ai capi del transistor la tensione non supera i 0.2V.  $T_3$  è interdetto quando sugli emettitori di  $T_1$  e di  $T_2$  non scorre corrente (specchio spento), mentre è in saturazione quando risulta un corto circuito (specchio acceso).

## 2.9 Oscillatore a transistor

Tramite gli specchi di corrente è possibile realizzare degli oscillatori come mostrato in figura 2.29. Si utilizza un comparatore di soglia con isteresi in cui le tensioni di soglia  $V_{s1}$  e  $V_{s2}$  sono posizionate in maniera opportuna per il corretto funzionamento del circuito. La tensione  $V_C$  è la tensione di controllo del VCO.

La corrente  $I$  del collettore di  $T_5$ , il cui collettore è cortocircuitato con la base, è la corrente che scorre su tutto il circuito.

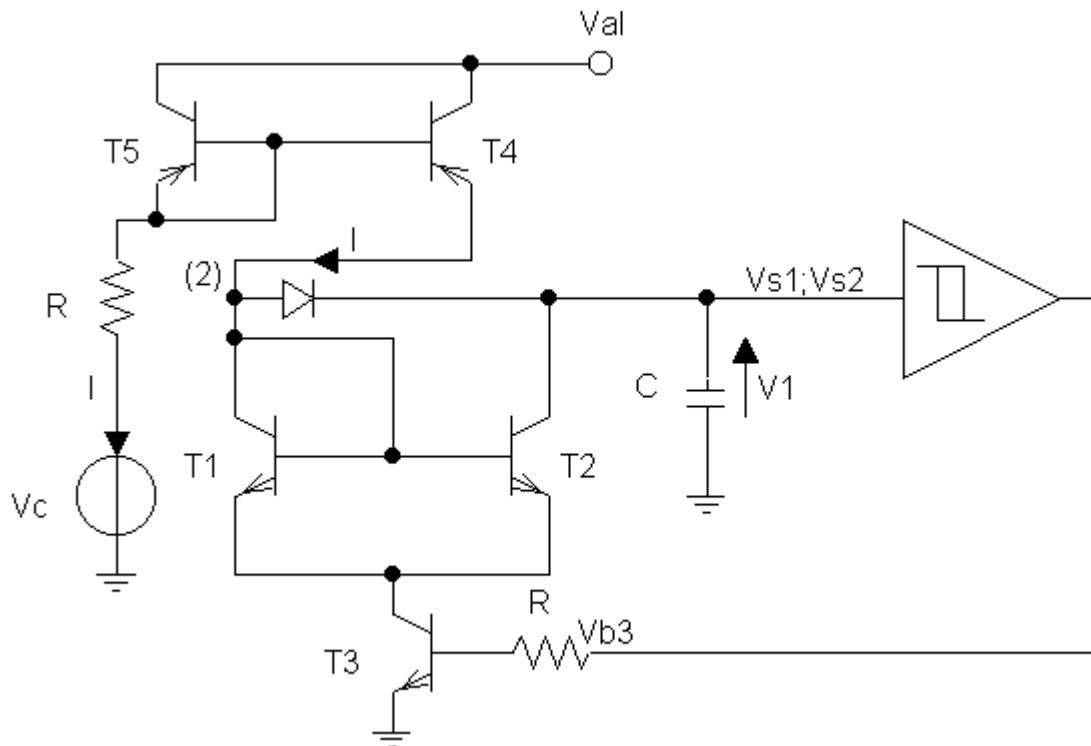


Figura 2.29 Generatore di corrente

$$V_{C5} = V_{AL} - V_{EB5} \quad (2.32)$$

$$I = \frac{V_{AL} - V_{EB5} - V_C}{R} \quad (2.33)$$

Dalla (2.33) si trova che la corrente  $I$  è inversamente proporzionale alla tensione  $V_C$ . La  $I$  è specchietata da  $T_4$  (quello che si trova in  $I_{C4}$ ). Se la tensione  $V_{B3}$  è pari a zero lo specchio non funziona, infatti i transistor  $T_1$  e  $T_2$  presentano i collettori aperti e quindi non assorbono corrente che scorre invece sul diodo verso il condensatore  $C$ .

Ipotizzando di accendere il circuito ed avere  $V_1 = 0V$  si avrà che l'uscita del comparatore di soglia, che corrisponde a  $V_{B3}$ , sarà zero. Il condensatore comincerà a caricarsi e il



dispositivo seguirà l'andamento riportato in figura 2.30. Una volta che si raggiunge la soglia  $V_{s2}$  la tensione in uscita dal comparatore andrà al valore alto  $V_H$  che porta in saturazione il transistor  $T_3$  rendendolo come un interruttore chiuso ed il transistor  $T_1$  è in grado di assorbire corrente. La tensione sul punto (2) vale allora  $V_2 = V_{CESAT3} + V_{BE1} = 0.2V + 0.7V = 0.9V$  ed il diodo smette di condurre. Il condensatore comincia quindi a scaricarsi dato che la corrente cambia verso. Le pendenze di carica e scarica del condensatore risultano proporzionali alla corrente  $I$ .

Un vincolo per il funzionamento del circuito è che le tensioni di soglia del comparatore siano entrambe maggiori di  $0.9V$ , perché nel momento in cui si carica il condensatore il diodo non deve funzionare prima di tale valore.

È possibile calcolare la frequenza di oscillazione del circuito tramite la seguente relazione:

$$\Delta V_1 = \frac{I}{C} \Delta t \quad (2.34)$$

$$V_{S2} - V_{S1} = \frac{V_{AL} - V_{EB5} - V_C}{I} \frac{1}{2RC} \quad (2.35)$$

essendo  $f=1/T$  dalla (2.35) sostituendo  $T$  con  $1/f$  si ricava

$$f = \frac{V_{AL} - V_{EB5} - V_C}{V_{S2} - V_{S1}} \frac{1}{2RC} \quad (2.36)$$

La (2.36) ha una dipendenza lineare tra la tensione di controllo  $V_C$  e la frequenza di uscita quindi il VCO risulta lineare. Tutti i VCO con onda quadra in uscita si basano su questa considerazione.

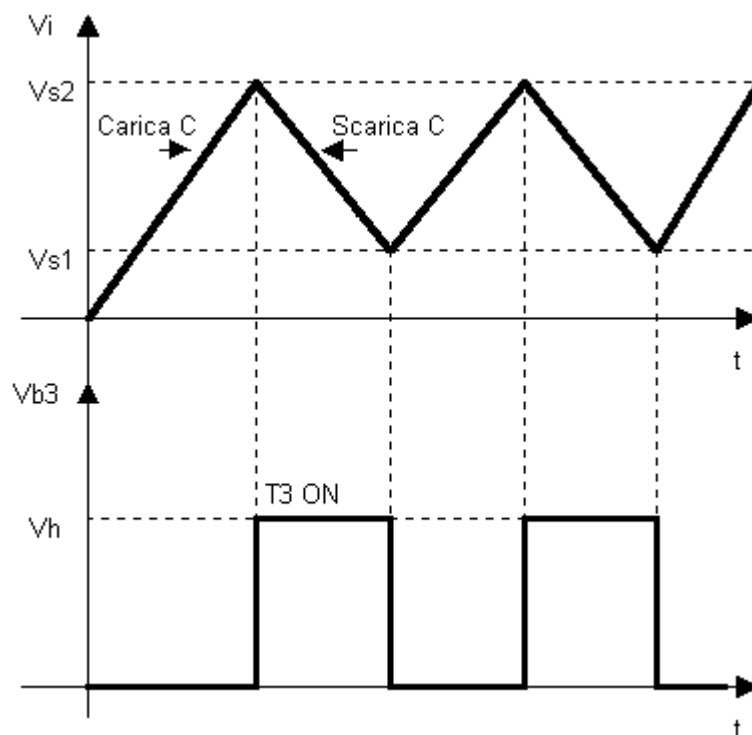
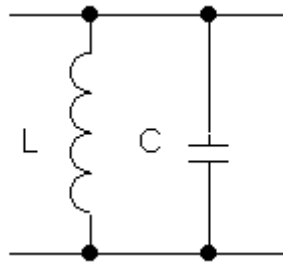


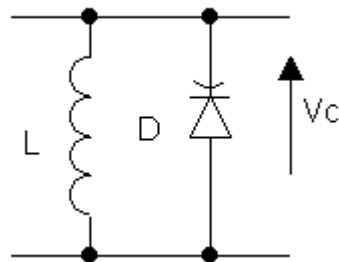
Figura 2.30 Andamento delle tensioni nell'oscillatore a transistor

Anche i VCO con onda sinusoidale in uscita si basano sullo stesso principio dell'oscillatore a transistor. Le oscillazioni avvengono perché sono indotte su un gruppo risonante LC. Il transistor fornisce energia per il funzionamento del risonatore.



**Figura 2.31 Gruppo LC**

Per ottenere un VCO è necessario modificare l'induttore od il condensatore in funzione della tensione di controllo. L'unico modo è però quello di variare il condensatore. Esistono componenti che presentano capacità intrinseche di variare il condensatore della tensione: diodi *varicap*. Utilizzando tale diodo, figura 2.32, questo si polarizza tramite la tensione  $V_c$ , o con una tensione ad essa legata.



**Figura 2.33 Gruppo LC ottenuto con diodo varicap**

### 3. Analisi del PLL in presenza di rumore

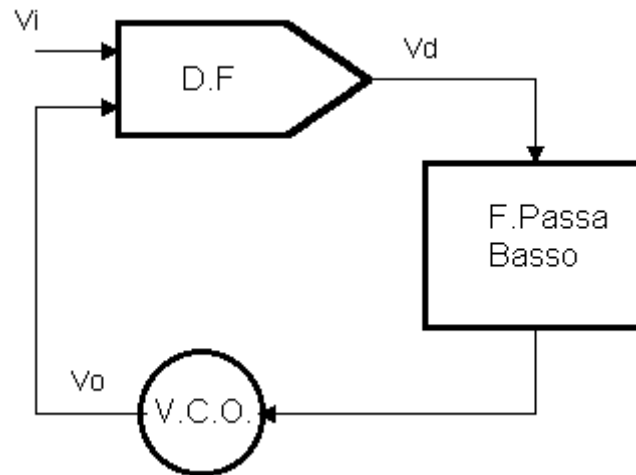


Figura 3.1 Schema base del PLL

Il PLL non agisce direttamente sul segnale ma è sensibile alle sue variazioni di fase. Il problema è che considerando un segnale in un sistema di telecomunicazioni si considera il rapporto segnale rumore (SNR) ed è necessario capire cosa accade se oltre al segnale è presente un rumore gaussiano bianco che non è direttamente collegabile al rumore cui è sensibile il PLL. Serve capire se il sistema riesce a filtrare il rumore. Tale analisi è possibile ottenerla utilizzando un demodulatore di fase lineare.

Si distinguono due casi

- Se il segnale  $V_i$  è composto esclusivamente da rumore (bianco a banda stretta intorno alla frequenza del segnale di ingresso e densità spettrale di potenza  $N_i$ )
- Se il segnale  $V_i$  è di tipo sinusoidale con rumore di fase (non più rumore gaussiano bianco sommato all'ingresso ma solo l'errore di fase: senoide con Jitter di fase)

In entrambi i casi si calcola quindi la potenza di rumore sul segnale di errore  $V_d$ . Uguagliando le due potenze di rumore si riesce a ricavare la potenza di rumore di fase equivalente ad un determinato rumore bianco

$$\overline{\theta_{in}^2(t)} = \frac{\overline{n^2(t)}}{V^2} \quad (3.1)$$

La potenza di rumore di fase equivalente dipende dal rapporto tra la frequenza di rumore e la tensione. È possibile, per il rumore di fase, definire una banda di rumore di fase equivalente.

$$\Phi = \frac{\overline{\theta_{in}^2(t)}}{B_i / 2} \quad (3.2)$$

$$\Phi = 2 \frac{N_i}{V_i^2} \quad (3.3)$$

in cui  $\Phi$  è la densità spettrale di potenza. La fase del segnale di rumore di uscita risulta:

$$\theta_{on}(t) = H(s)\theta_i(s) \quad (3.4)$$

$$\overline{\theta_{on}^2(t)} = \int_0^{\frac{B_L}{2}} \Phi |H(j\omega)|^2 df \quad (3.5)$$

Nella (3.5)  $H(j\omega)$  è una f.d.t. di tipo passa basso, quindi sono nulle le frequenze al di fuori di  $B_L/2$ . L'integrale costituisce la banda equivalente  $B_L$  del PLL. La  $B_L$  è un parametro del PLL che dipende da come è definito il PLL. Più la f.d.t. presenta il polo a bassa frequenza più la  $B_L$  risulta stretta ma si ha l'effetto di far seguire più lontano le variazioni del segnale di ingresso. Più il polo è posto ad alta frequenza più la  $B_L$  tende ad allargarsi e quindi si ha più rumore ma il sistema risulta più veloce nel seguire i segnali di ingresso.

**[Nota]:** I filtri passa banda presentano un  $Q = f_o/B_w$  in cui  $B_w = f_H - f_L$  dove le due frequenze sono rispettivamente la frequenza a -3dB superiore ed inferiore. Il problema di questi filtri è che ottenere un valore di  $Q$  elevato è piuttosto difficile. Utilizzando invece un PLL dato che la  $B_L$  dipende dal filtro passa basso di I ordine è facile ottenere un passa banda con fattore  $Q$  elevato.

### 3.1 Non linearità dei transistor

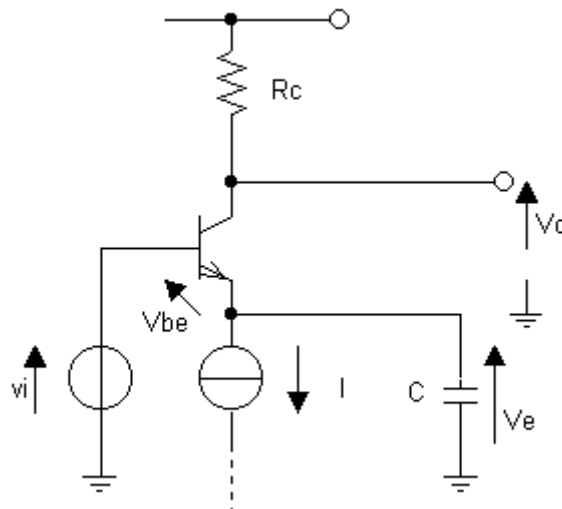


Figura 3.2 Analisi non linearità del BJT

Il transistor bipolare (BJT) per funzionare in linearità deve essere polarizzato mediante un circuito di polarizzazione. In figura 3.2 al posto di tale circuito è stato utilizzato un generatore ideale di corrente. Il segnale di ingresso è posto sulla base del transistor ed il condensatore porta verso massa tutto ciò che non è una continua. Funzionando in linearità ai capi della giunzione base emettitore sarà presente una tensione  $V_{BE}$  e quindi sul condensatore si svilupperà una tensione continua  $V_E$ . Si ha quindi

$$I_C \approx I_E = I_S e^{\frac{V_{BE}}{V_T}} \quad (3.6)$$

Ipotizzando di porre in ingresso un segnale co-sinusoidale  $v_i(t) = V_i \cos(\omega t)$  e posto  $x = \frac{V_i}{V_T}$  come tensione di ingresso normalizzata la tensione  $V_{BE}$  in funzione di  $v_i$  risulta

$$V_{BE} = v_i + V_E \quad (3.7)$$

$$I_C = I_S e^{\frac{v_i \cos(\omega t)}{V_T}} = I_S e^{\frac{V_E}{V_T}} e^{x \cos(\omega t)} \quad (3.8)$$

ed utilizzando la serie di Bessel:

$$e^{x \cos(\omega t)} = I_0(x) + 2 \sum_{n=1}^{\infty} I_n(x) \cos(n\omega t) \quad (3.9)$$

in cui nella (3.9) la  $I_0$  è la componente continua.

$$I_C = I_S = e^{\frac{V_E}{V_T}} \left[ I_0(x) + 2 \sum_{n=1}^{\infty} I_n(x) \cos(n\omega t) \right] \quad (3.10)$$

$I_n(x)$  non è però una funzione lineare e quindi l'amplificazione del circuito dipende dall'amplificazione del segnale. Oltre al termine in continua si ritrovano anche infiniti termini che sono componenti di distorsione armonica generate dal circuito e riportate sull'uscita, in alcune applicazioni possono creare problemi.

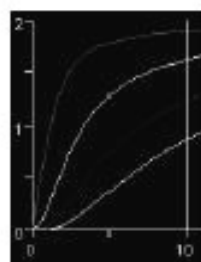
Nell'analisi in continua, trascurando la corrente  $I_B$ , la componente continua vale  $I$ .

$$I_S e^{\frac{V_E}{V_T}} I_0(x) = I \rightarrow V_C = -R_C I \left[ 1 + 2 \sum_{n=1}^{\infty} \frac{I_n(x)}{I_0(x)} \cos(n\omega t) \right] \quad (3.11)$$

se  $x$  tende a zero la tensione di uscita ha praticamente solo una componente di 1ª armonica. Aumenta l'ampiezza del segnale di ingresso senza aumentare l'ampiezza del segnale di uscita; si ha una saturazione che tende a rimanere costante mentre aumentano le componenti di 2ª e 3ª armonica.

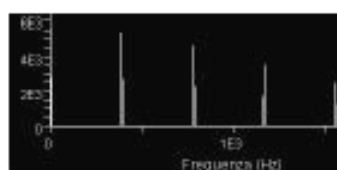
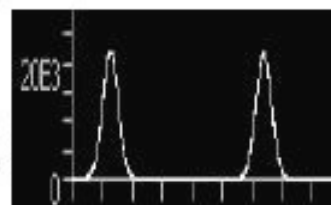
☞ Segnale di livello molto alto

→  $V_i = 260 \text{ mV}$ ,  $x = 10$



distorsione molto forte

→ elevato contenuto di armoniche



### Figura 3.3b Distorsioni sul segnale

Se  $x = 10$  dal grafico di figura 3.3 si vede come i 260mV del segnale di ingresso causano comunque una grossa distorsione del segnale di uscita.

In funzione della transconduttanza si ha

$$v_c = g_m R_c v_i \quad (3.12)$$

$$G_m(x) = \frac{g_m}{x} 2 \frac{I_1(x)}{I_0(x)} \quad (3.13)$$

per vedere come varia il guadagno in funzione dell'ampiezza del segnale è utile analizzare il rapporto

$$\frac{G_m(x)}{g_m} \begin{cases} x \rightarrow 0 & \text{segnali infinitesimi} \\ x \rightarrow \infty & \text{il segnale di ingresso diminuisce} \end{cases} \quad (3.14)$$

**[Nota]:** il circuito di figura 3.2 è possibile realizzarlo anche con transistori MOS. In tal caso per ridurre la distorsione si retroaziona l'amplificazione in modo da ridurre l'ampiezza della tensione  $V_{BE}$ , che riduce il guadagno dello stadio ma migliora la distorsione di uscita.

## 3.2 Amplificatore accordato

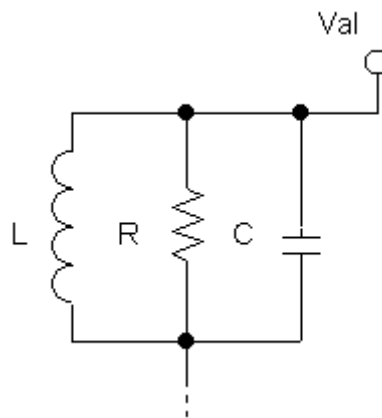


Figura 3.4 Amplificatore accordato

Sono amplificatori per la radiofrequenza, migliorano l'amplificazione utilizzando un circuito risonatore che attenua molto le pulsazioni distanti da quella di riferimento. Più aumenta il fattore Q più aumenta il picco  $\xi(\omega)$

## 3.3 Dispositivi non lineari

L'utilizzo della non linearità consente di progettare circuiti tipo:

- Oscillatori
- Moltiplicatori
- Mixer

Per ottenere tali dispositivi si sfruttano quindi le variazioni di guadagno con cui è possibile ottenere compressione della dinamica. Tale tecnica è utilizzata ad esempio nei ricevitori radio in cui l'ampiezza del segnale in continua varia in funzione di dove è posizionato il ricevitore. Si amplifica quindi molto ciò che arriva all'antenna e si comprime la dinamica per avere un'ampiezza quasi costante. Oppure il metodo è sfruttato per ottenere degli oscillatori in cui si sfruttano le non linearità di guadagno dei transistor per ottenere le condizioni di Barkhausen (condizioni che permettono di mantenere l'oscillazione (3.16))

### 3.3.1 Oscillatori

In figura 3.5 è riportato lo schema a blocchi di un oscillatore.

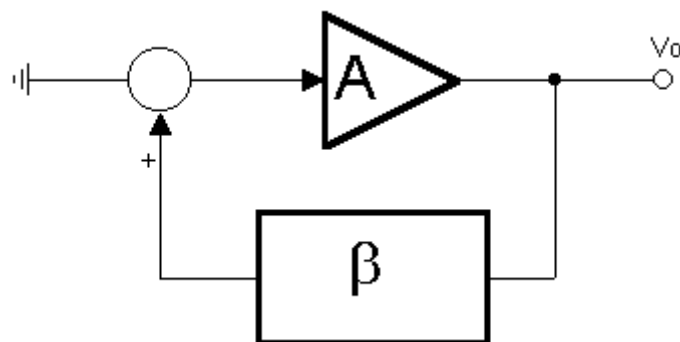


Figura 3.5 Schema a blocchi di un oscillatore

Il dispositivo è caratterizzato da un amplificatore che amplifica  $A$  e da una retroazione positiva  $\beta$ . L'ingresso è posto a massa perché l'oscillazione deve avvenire senza che venga fornito alcunché dall'esterno. L'amplificazione del circuito risulta:

$$A_v = \frac{A}{1 - \beta A} \quad (3.15)$$

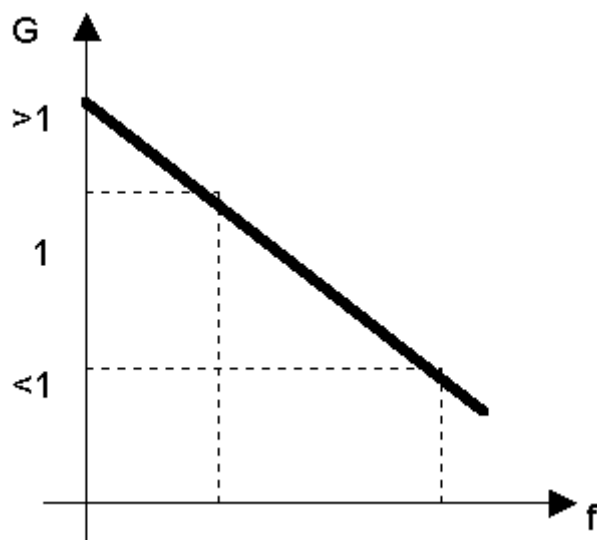
Per far sì che si abbia l'instabilità necessaria per l'oscillazione occorre che il denominatore della (3.15) sia nullo. Da qui si derivano le condizioni di Barkhausen che risultano essere:

$$\begin{cases} |\beta A| = 1 \\ \angle \beta A = 0 \end{cases} \quad (3.16)$$

Tali condizioni permettono di mantenere l'oscillazione del dispositivo.

Il problema è che si riesce a rispondere alle condizioni di Barkhausen solo quando si è già in presenza dell'oscillazione voluta e non prima.

Per progettare un oscillatore è necessario avere inizialmente un guadagno del sistema maggiore di 1 che tende ad 1 se l'ampiezza dell'oscillazione aumenta e diventi minore di 1 in caso di ulteriori crescite, come riportato in figura 3.6. In tal modo si riesce ad avere un controllo sull'oscillazione.

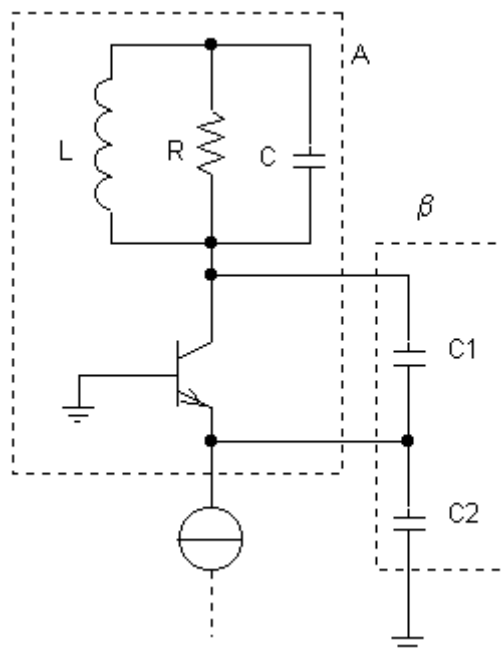


**Figura 3.6 Guadagno**

Un andamento del guadagno riportato in figura 3.6 è ottenibile tramite un amplificatore a transistor.

### **3.3.2 Oscillatore Colpitts**

In figura 3.7 è riportato lo schema circuitale dell'oscillatore Colpitts.



**Figura 3.7 Oscillatore Colpitts**

Sono stati evidenziati il blocco di guadagno A e la rete  $\beta$ . La rotazione di fase di  $180^\circ$  è dovuta solo dal blocco costituito da LC; la fase risulta nulla ( $A\beta = 0$ ) solo alla frequenza di risonanza del sistema. La rete  $\beta$  non introduce alcuna rotazione di fase.

Se al posto dei due condensatori  $C_1$  e  $C_2$  vengono poste delle induttanze si ottiene l'oscillatore di Hartley, mentre se il segnale di uscita viene riportato all'ingresso mediante un trasformatore si ottiene l'oscillatore di Meissner.



## 4. Sistemi di acquisizione dati

I sistemi di acquisizione dati sono sistemi di dispositivi elettronici che hanno la funzione di acquisire segnali analogici e di convertirli in formato digitale.

### 4.1 Il campionamento

La discretizzazione di un segnale analogico si ottiene tramite il prelevamento di porzioni elementari di segnale che prendono il nome di campioni. Per campionamento di un segnale analogico  $v(t)$ , avente periodo  $T$ , si intende il prelevamento dal segnale di piccole porzioni di durata  $\tau$ , ad intervalli regolari ( $\Delta T_c$ ). La velocità con cui vengono prelevati i campioni nell'unità di tempo prende il nome di frequenza di campionamento e viene

indicata con  $f_c = \frac{1}{\Delta T_c}$ . La figura 4.1 rappresenta un segnale analogico campionato

idealmente con delle delta di Dirac ( $\delta$ ). Il prodotto del segnale analogico per le  $\delta$  produce un'informazione spettrale identica a quella del segnale originario.

Il campionamento è però soggetto a due vincoli:

- Il segnale originario deve essere a banda limitata;
- La frequenza del campionamento deve essere:  $f_c \geq 2B$  dove  $B$  è la banda del segnale da campionare (Teorema di Nyquist);

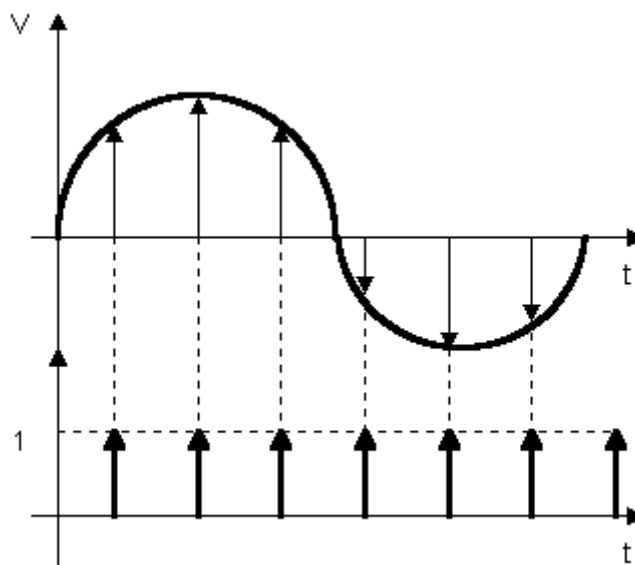


Figura 4.1 Campionamento ideale di un segnale analogico

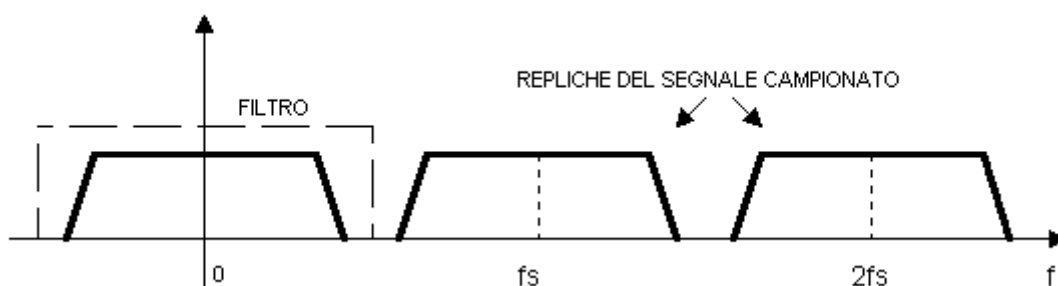
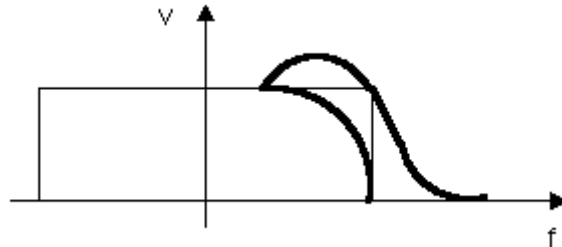


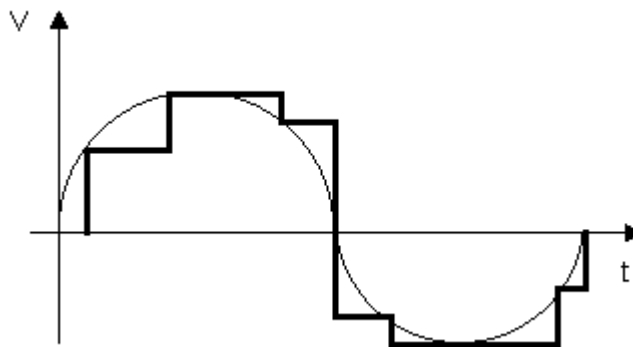
Figura 4.2 Spettro in frequenza di un segnale campionato

Un inconveniente del campionamento è che il segnale campionato non presenta più uno spettro limitato in frequenza ma con infinite repliche del segnale originario, figura 4.2. Per ottenere dal segnale campionato il segnale originale occorre quindi isolarlo dalle sue repliche tramite un filtro passa basso. L'applicazione del passa basso al segnale impulsivo è analogo a moltiplicare il segnale che si intende prelevare per un segnale porta  $P_T(t)$ . Tale operazione attenua però le alte frequenze ed è quindi necessario un filtro di ricostruzione che compensi tale attenuazione (esalti e rifasi le alte frequenze)

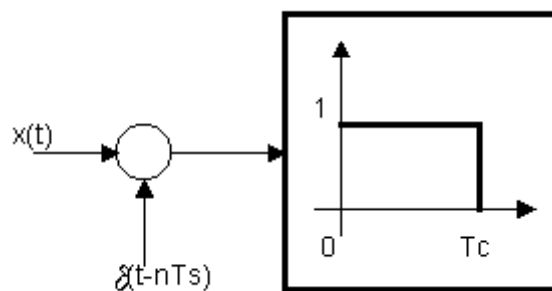


**Figura 4.2b Filtro ricostruttore**

Nel caso reale non è però possibile generare delle  $\delta$  per campionare ma si trasforma il segnale originario in una serie di numeri, figura 4.3, ed al posto della  $\delta$  per campionare viene utilizzato il segnale di tipo porta come riportato in figura 4.4.

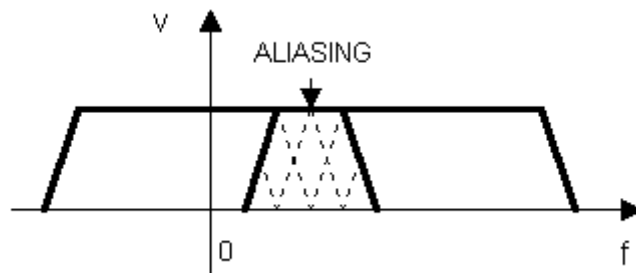


**Figura 4.3 Segnale analogico e corrispondente digitale numerico**



**Figura 4.4 Schema campionamento tramite una porta**

I segnali che vengono campionati rispettando i vincoli precedenti, presentano sempre del rumore che ha uno spettro più ampio del segnale utile; le componenti di rumore, di frequenza superiore alla massima frequenza del segnale, possono dare origine a frequenze spurie contenute nella banda utile. Risulta così che la banda base e la prima replica del segnale, che dovrebbero essere separate in frequenza, risultano parzialmente sovrapposte, come se campionassimo ad una  $f_c < 2B$ . Questo effetto prende il nome di *aliasing*, mostrato in figura 4.5, e fa sì che non sia più possibile separare le due bande.

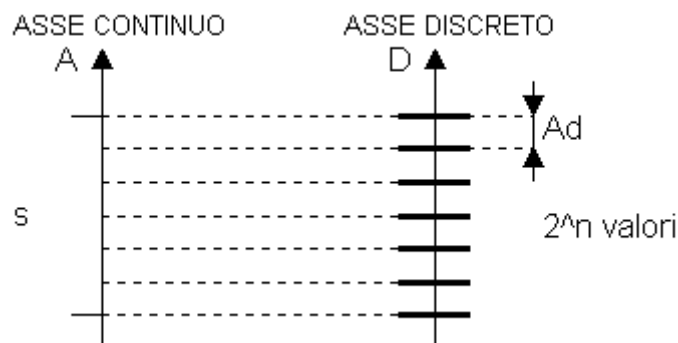


**Figura 4.5 Aliasing**

In generale quando si campiona un segnale, anche rispettando il teorema di Nyquist, è bene mettere un filtro anti-aliasing che limita lo spettro alla banda del segnale utile.

## 4.2 La quantizzazione

Nella conversione A/D non si è in grado di immagazzinare esattamente i valori del campionamento ma solo una loro approssimazione. La quantizzazione è il processo che serve a trasformare un segnale analogico in un segnale discreto a più livelli tramite una opportuna approssimazione dei campioni. In altri termini si deve suddividere il campo del segnale analogico in un determinato numero di livelli prefissati. Ciascuno di questi livelli approssimerà il segnale analogico più prossimo compreso tra due valori. In tale modo ai valori continui di ampiezza di ogni impulso campionato, compresi in un certo intervallo  $A_d$ , si può assegnare un unico valore discreto come mostrato in figura 4.6.



**Figura 4.6 Quantizzazione**

Il valore  $A_d$  è quindi la quantità di segnale analogico, misurata in V, che permette di passare da un codice digitale a quello successivo e corrisponde ad un LSB (*Least Significant Bit*).

I valori del segnale analogico che risultano fuori dalla dinamica S non saranno acquisiti correttamente. Dopo la quantizzazione in ricostruzione si avrà quindi solo una approssimazione del segnale originale.

La quantizzazione si dice "lineare" quando il passo di quantizzazione  $A_d$  è costante. Il passo di quantizzazione è definito tramite la relazione

$$A_d = \frac{V_{MAX}}{2^N} \quad (4.1)$$

in cui N è il numero di bit utilizzati per esprimere i livelli di quantizzazione.

In figura 4.7 viene riportato un esempio di quantizzazione lineare e dell'andamento dell'errore di quantizzazione relativo.

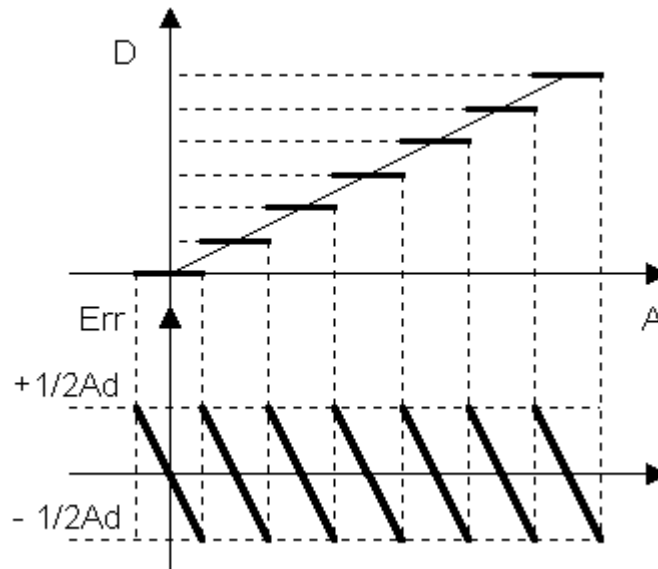


Figura 4.7 Quantizzazione uniforme ed errore di quantizzazione commesso

#### 4.2.1 Rumore di quantizzazione

Nell'effettuare l'operazione di quantizzazione si commette un errore, detto errore di quantizzazione  $\varepsilon_q$ , come già evidenziato in figura 4.7, dovuto all'approssimazione dei campioni. Questo fenomeno dà origine ad un disturbo che prende il nome di rumore di quantizzazione.

Il rumore di quantizzazione danneggia il segnale di uscita del sistema di conversione e varia la tensione di uscita rispetto al segnale di ingresso. È la differenza tra il valore del segnale analogico ed il valore quantizzato. L'errore massimo che si può commettere per ogni campione è pari alla metà dell'ampiezza del passo di quantizzazione, ossia  $A_d/2$ . Può essere modellato come un valore di tensione aggiuntivo rispetto al segnale.

Il rumore di quantizzazione, per un segnale analogico di periodo  $T$  è definito dalla seguente espressione:

$$\sigma_{\varepsilon_q}^2 = \int_{-A_d/2}^{A_d/2} \varepsilon_q^2 \rho(\varepsilon_q) d\varepsilon_q = \frac{A_d^2}{12} \quad (4.2)$$

$$\rho(\varepsilon_q) = \frac{1}{A_d} \quad (4.3)$$

ed in base alla (4.1) si ottiene:

$$\sigma_{\varepsilon_q}^2 = \frac{S^2}{12 \cdot 2^{2N}} \quad (4.4)$$

Dalla (4.4) si può affermare che il rumore di quantizzazione è costante, ma soprattutto non dipende dall'ampiezza del segnale quantizzato, ma soltanto dal passo di quantizzazione  $A_d$ .

Per ottimizzare la fase di quantizzazione lineare è necessario prestare attenzione al rapporto  $SNR_q$

$$SNR_q = \frac{\text{Potenza segnale}}{\sigma_{\epsilon_q}^2} \quad (4.5)$$

Aumentando quindi la potenza del segnale il rapporto (4.5) tende a migliorare.  
Per un segnale di tipo sinusoidale, se non si hanno tagli, la massima potenza è pari a  $S/2$  (ampiezza di picco).

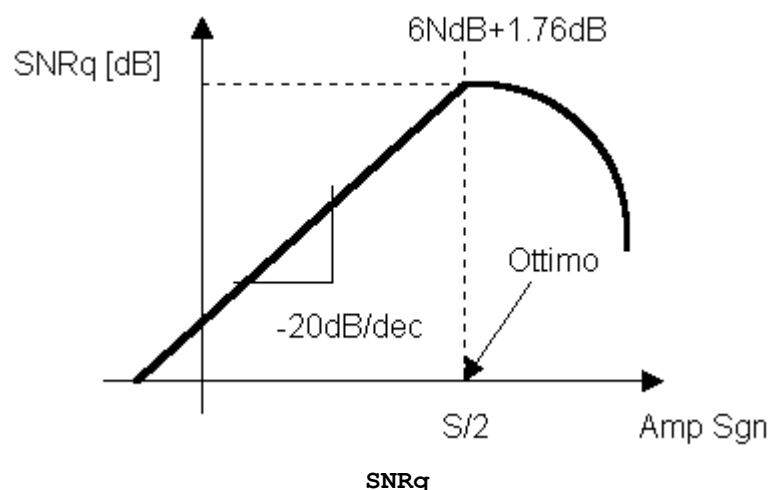
---

**Esempi:** Potenza

1.  $P_s = \frac{S^2}{4}$       potenza segnale per l'onda quadra
2.  $P_s = \frac{S^2}{8}$       potenza segnale per l'onda Sinusoidale
3.  $P_s = \frac{S^2}{12}$       potenza segnale per l'onda Triangolare

l' $SNR_q$  per il segnale sinusoidale vale quindi:

$$SNR_q = \frac{S^2 * 12 * 2^{2N}}{8S^2} = \frac{3}{2} 2^{2N} = 6N_{dB} + 1.76_{dB}$$



Dopo  $S/2$  tutto viene approssimato come  $S$ . Se si campiona a frequenze superiori a quella di Nyquist si può poi filtrare in maniera molto più stretta di  $S/2$ , si eliminano quindi componenti di rumore. Tale operazione prende il nome di *Oversampling*.  
Per il segnale vocale si considera l'esponenziale bilatera o la gaussiana per semplificare, quindi il 99.9% del segnale si considera all'interno della dinamica  $S$ .

**Risultato:**

---


$$S/2 \rightarrow 3\sigma \rightarrow P_s = S^2/36 \text{ e } SNR_q = 6N_{dB} - 4.77_{dB}$$


---

### 4.3 Schema a blocchi del sistema di acquisizione dati

La configurazione di base di un sistema di acquisizione dati può essere schematizzata come in figura 4.8.

- ✓ Il condizionamento del segnale è svolto di solito da un OP.AMP . Per le tensioni: alta impedenza di ingresso, si deve effettuare un'amplificazione ed eventualmente una traslazione. Banda e slew rate devono essere compatibili con il segnale di ingresso.
- ✓ Il filtro è di tipo anti-aliasing. Il filtro è posto subito dopo il condizionamento del segnale dato che ne serve uno per ogni segnale. Non può essere posizionato un unico filtro in uscita dal multiplexer dato che il suo segnale di uscita deve poter effettuare dei salti rapidi di tensione per adattarsi ai vari segnali di ingresso.
- ✓ Il Sample&Hold costituisce la memoria analogica per il tempo necessario all'A/D a campionare il segnale.
- ✓ Il sistema digitale (microprocessore, DSP, ...) è il dispositivo che controlla tutto il sistema. Successivamente si ha quindi il trattamento digitale del segnale per la sua riconversione analogica.

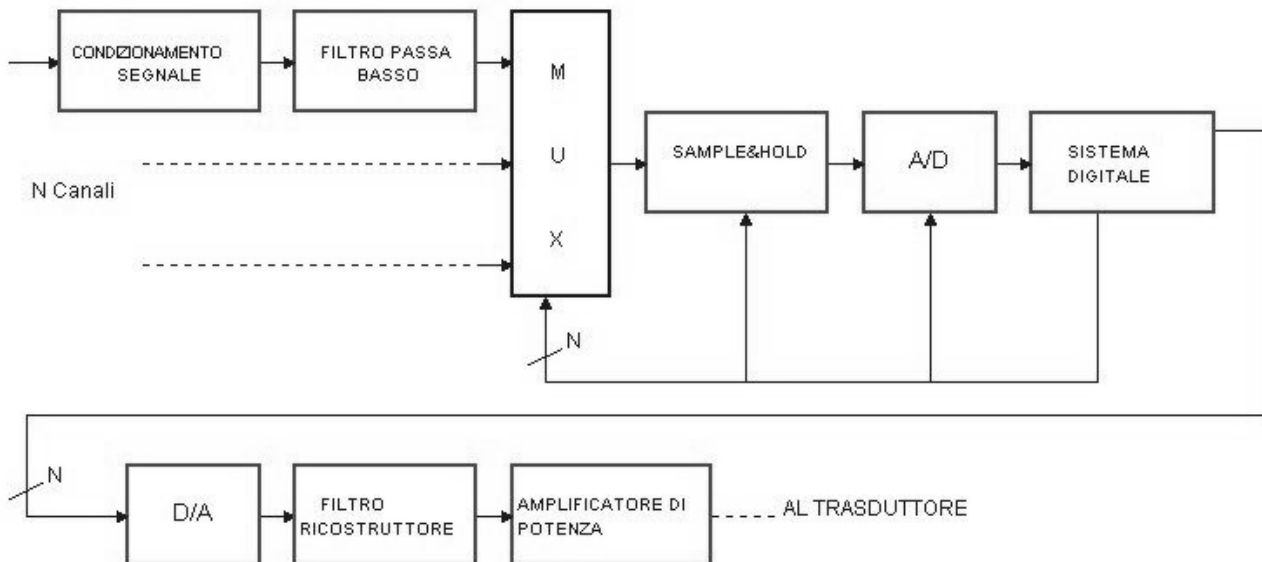


Figura 4.8 Sistema di acquisizione dati

Ogni blocco del sistema introduce delle non idealità nel processare il segnale. Tutti gli errori si sommano e l'effetto complessivo è quello di peggiorare il rapporto segnale rumore di quantizzazione. L'SNR finale non è quindi solo dovuto all'SNR<sub>q</sub>.

Il parametro ENOB, (*Effective Number of bits*) è utilizzato per indicare il numero di bit effettivi del convertitore. Infatti a causa del rumore il convertitore è come se convertisse il segnale in digitale utilizzando un numero inferiore di bit di quello che effettivamente utilizza.

### 4.4 convertitori D/A o DAC

I convertitori digitale analogici (Digital to Analog Converter) sono dispositivi che convertono una parola digitale in una tensione od una corrente ad essa proporzionale.

In figura 4.9 è riportata la caratteristica della retta ideale di conversione di un DAC. L'asse D non è un asse continuo e la caratteristica è quindi un insieme di punti. Ad ogni punto

corrisponde un valore analogico in uscita. La pendenza della retta rappresenta il guadagno del convertitore (è LSB).

Se la quantizzazione è uniforme (conversione lineare) variando il valore del segnale di ingresso per passare al successivo l'uscita varia in maniera lineare. A causa delle tolleranze dei componenti però i punti reali risultano spostati rispetto al valore ideale lungo le verticali dei valori di ingresso. La retta che approssima meglio l'andamento dei punti reali prende il nome di *retta miglior approssimante* e serve a minimizzare la funzione di peso (che è il quadrato della distanza dei punti reali dalla retta ideale).

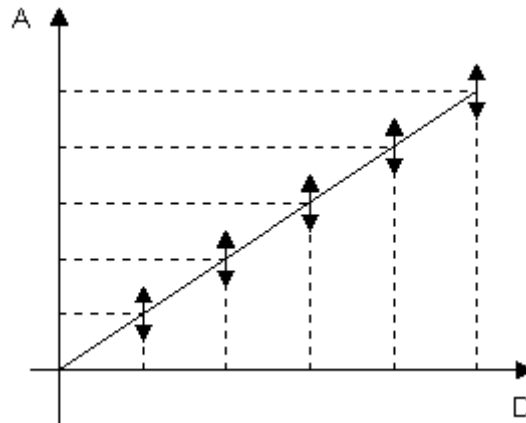


Figura 4.9 Caratteristica DAC lineare

Il valore medio della variazione difficilmente è pari a zero.

#### 4.4.1 Errori lineari

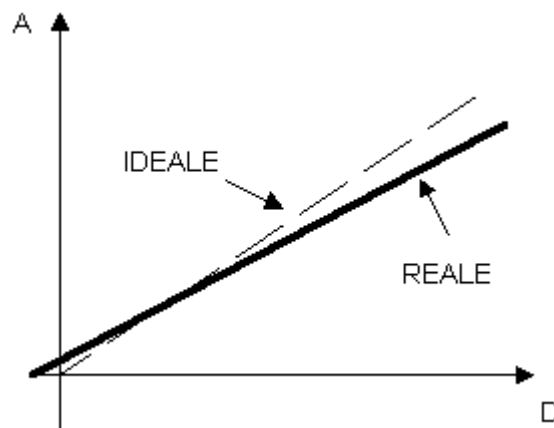


Figura 4.10 Caratteristica del convertitore

**Errore di guadagno:** è la differenza che intercorre tra la tensione di uscita ideale (retta reale) e quella reale (retta miglior approssimante) quando all'ingresso è presente una parola digitale con bit tutti ad uno. La conseguenza di tale errore corrisponde ad una variazione di pendenza della caratteristica del convertitore. Può essere dato in termini di bit meno significativo ( $\pm 0.5\text{LSB}$ ).

**Errore di offset:** è la tensione analogica di uscita quando all'ingresso è presente una parola digitale con tutti i bit uguale a zero. La conseguenza di questo errore è la traslazione della caratteristica del convertitore.

Gli errori lineari indicano il comportamento complessivo della caratteristica ma non indicano la non linearità del convertitore. Questo tipo di errori sono facilmente compensabili mediante tarature esterne.

#### 4.4.2 Errori non lineari

Occorre trovare un modo per classificare le non linearità del convertitore e ciò deve prescindere dagli errori lineari.

Gli errori non lineari consistono nel fatto che se si passa da un valore digitale a quello adiacente, la differenza tra le tensioni corrispondenti di uscita non è costante in tutto il campo di valori possibili dell'ingresso digitale.

**INL (Integral Non Linearity):** è l'errore di non linearità integrale ed è definito come la deviazione massima della tensione di uscita analogica dal valore teorico, in altri termini è il massimo scostamento dalla retta miglior approssimante ed il singolo punto, figura 4.11. Degli  $2^N$  possibili valori solo il massimo rappresenta l'INL.

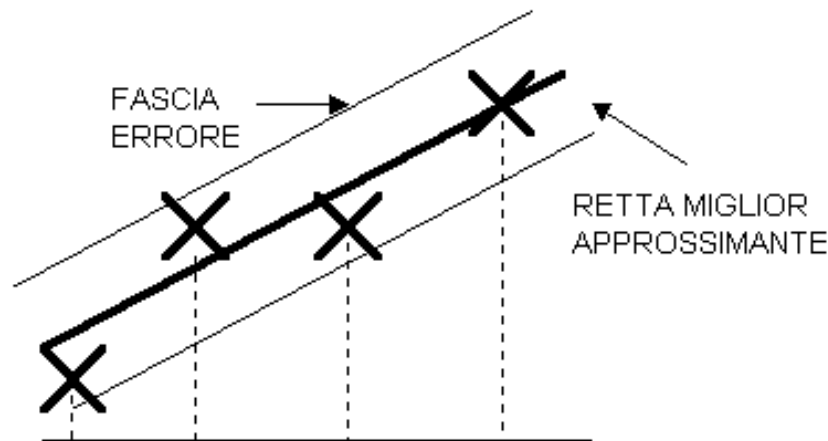


Figura 4.11 INL

L'INL viene normalmente dato in frazioni di LSB od in Volt. Indica la fascia di incertezza della retta miglior approssimante.

**DNL (Differential Non Linearity):** in un convertitore DAC, a due codici digitali adiacenti corrispondono due tensioni di uscita che idealmente differiscono di  $V_{\max}/2^N$ . Si ha però uno scostamento da questo valore ideale. L'errore di non linearità integrale viene quindi definito come la deviazione massima fra la differenza effettiva e la differenza teorica. In figura 4.12 si nota come tra il valore  $i$  ed il valore  $i+1$  vi sia un incremento di tensione diverso da quello ideale.

Queste due misurazioni della non linearità sono due modi distinti per rappresentare il medesimo tipo di errore ed infatti non sono scorrelati tra loro, ma è possibile ricavare uno dall'altro:

$$\varepsilon_{INL} = \sum_{j=0}^I \varepsilon_{DNL_j} \quad (4.6)$$

Nei *Data Sheet* di solito vengono indicati i valori di entrambi gli errori.



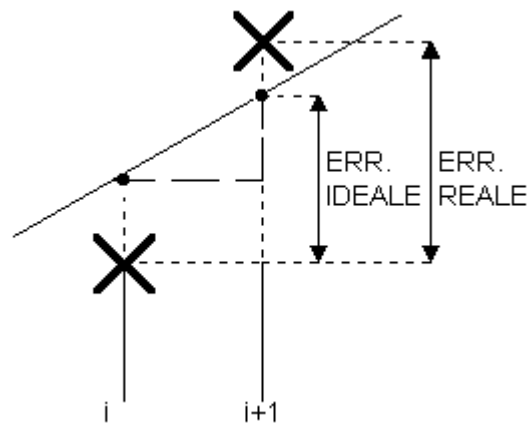


Figura 4.12 INL

#### 4.4.3 Caratteristiche dei convertitori

**Non monoticità:** la non monoticità del convertitore si ha quando la caratteristica non ha pendenza sempre positiva ma anche negativa (la tensione diminuisce invece che aumentare). La non monoticità può risultare pericolosa in alcune applicazioni che richiedono che la pendenza sia sempre positiva. Infatti se il DAC viene utilizzato in un sistema reazionato (sistema di controllo industriale) si possono creare delle instabilità del sistema. Per evitare la non monoticità una condizione indispensabile è che si abbia un errore di INL maggiore di un LSB.

**Tempo di assetto del convertitore:** da un punto di vista dinamico un DAC è caratterizzato dalla velocità con cui varia la sua uscita. Il tempo di assetto è il tempo necessario perché, in seguito ad una variazione del segnale digitale di ingresso, la tensione di uscita entri in una data fascia (1LSB) attorno al valore finale, come mostrato in figura 4.13. Come parametro del DAC non viene però fornito tale tempo ma viene data la massima frequenza con cui si possono inviare valori di ingresso al DAC (frequenza massima operativa) data da:

$$f_{MAX} = \frac{1}{TempoAssetto} \quad (4.7)$$

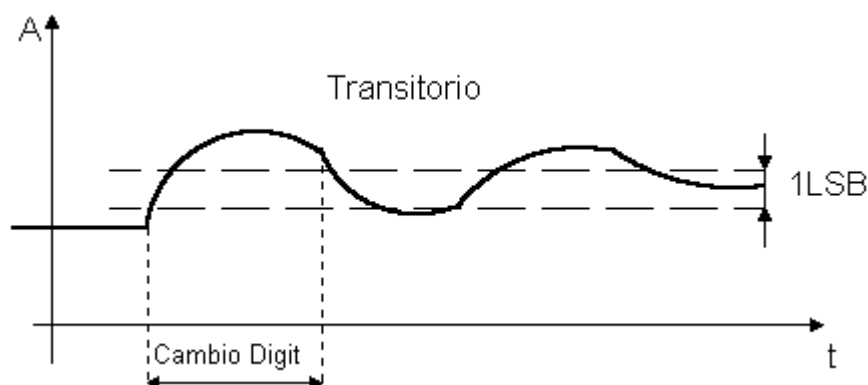


Figura 4.13 Tempo di assetto

Il tempo di assetto dipende principalmente dai componenti attivi del DAC.

**Glitch:** per un convertitore DAC esistono dei codici di ingresso che possono generare alcuni problemi, infatti quando si passa da una configurazione digitale di ingresso alla successiva, si ha un cambiamento di livello di alcuni bit. Il massimo cambiamento si ha quando il bit più significativo (MSB) passa da 0 ad 1.

Un esempio è quello che si ha nel passaggio da 0111111 a 1000000 (distanti 1LSB) dove per un breve intervallo di tempo tutti i bit sono a livello 0 (uscita analogica zero) per passare quindi al valore vero. In tale passaggio si ha un impulso do glitch riportato in figura 4.14.

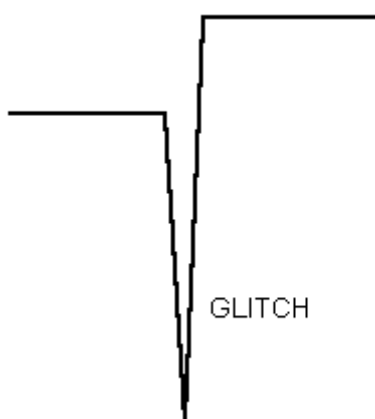


Figura 4.14 Impulso di *Glitch*

#### 4.4.4 Costruzione caratteristica di un DAC

La costruzione della caratteristica di un DAC avviene prendendo la tensione di riferimento  $V_R$  e dividendola tramite un partitore di tensione.

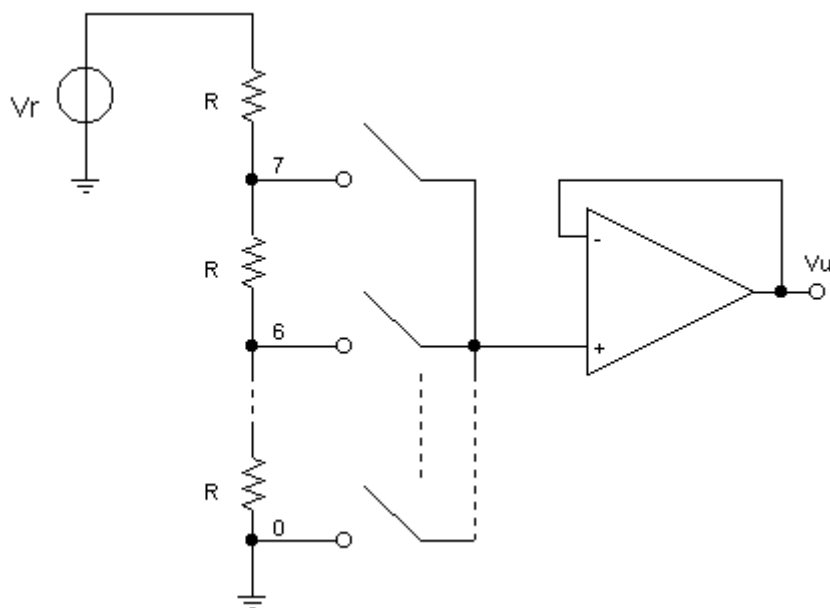
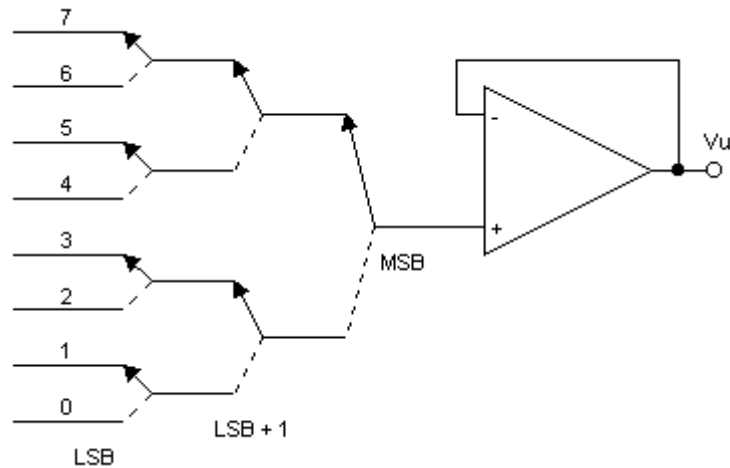


Figura 4.15 Schema elettrico di un DAC

Se il partitore di tensione è costituito da resistenze tutte uguali si ottiene una quantizzazione di tipo uniforme. La caratteristica sarà composta da  $2^N$  valori possibili, attivi uno per volta, quindi il circuito sarà composto da  $2^N$  interruttori come schematizzato in

figura 4.15. L'uscita del circuito risulta ad alta impedenza è quindi necessario un voltage follower . L'inconveniente di questo schema è pilotare gli interruttori. Si passa quindi allo schema di figura 4.16 in cui la decodifica è eseguita direttamente dagli interruttori, che ora sono in maggior quantità. Per l'elevato numero di deviatori questi circuiti sono adatti solo per conversioni da 3 o 4bit al massimo.



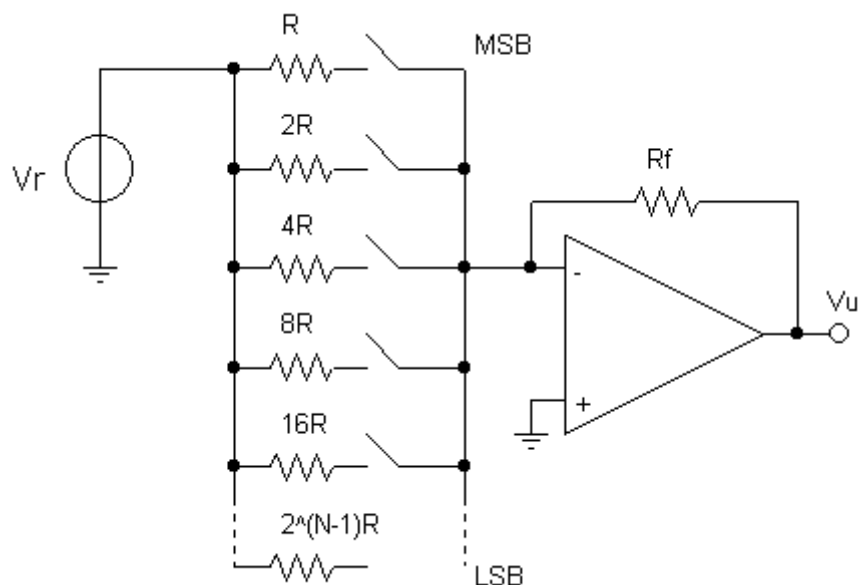
**Figura 4.16 DAC con deviatori**

#### 4.4.5 DAC a resistori pesati

Un numero binario è un insieme di coefficienti uno doppio dell'altro (potenze di 2) esprimibile secondo la seguente relazione

$$D = \sum_I^{N-1} C_I 2^I \quad (4.8)$$

In figura 4.17 è rappresentato lo schema per costruire l'equivalente in tensione della (4.8). e prende il nome di DAC a resistori pesati.



**Figura 4.17 DAC a resistori pesati**

Questo DAC consiste essenzialmente in un circuito sommatore in cui ad ogni bit è associato un resistore di valore dipendente dal peso del bit stesso.

La connessione avviene tramite deviatori la cui commutazione è determinata dai valori dei bit della parola digitale di ingresso; i resistori hanno valore pesato in relazione al codice binario: ognuna ha valore dimezzato rispetto alla precedente, passando dal bit meno significativo a quello più significativo. Le relazioni del DAC risultano:

$$V_{OUT_{LSB}} = - \frac{R_f}{2^{N-1} R} V_R C_0 2^0 \quad (4.9)$$

in cui  $C_0$  è il valore del bit (0 - 1).

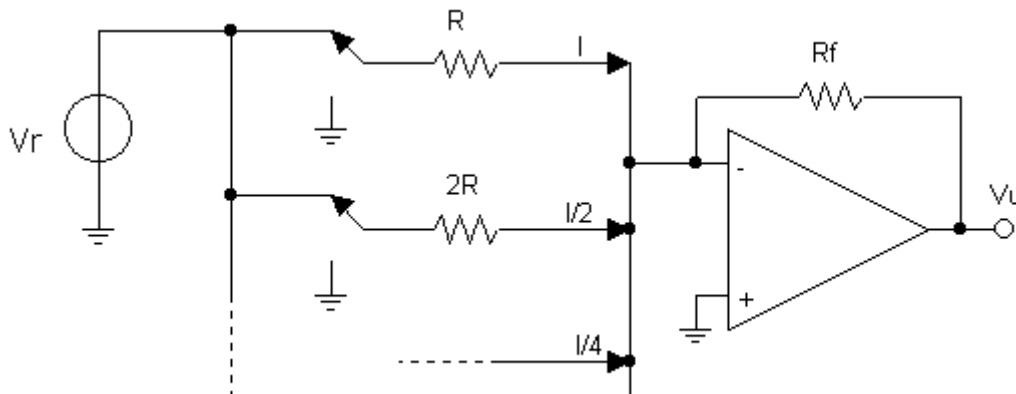
$$V_{OUT_{C1}} = - \frac{R_f}{2^{N-2} R} V_R C_1 = - \frac{R_f}{2^{N-1} R} V_R C_1 2^1 \quad (4.10)$$

$$V_U = - \frac{R_f}{2^{N-1} R} \sum_{I=0}^{N-1} C_I 2^I = - V_R \frac{R_f}{2^{N-2} R} D \quad (4.11)$$

COSTANTE                       $A_d \equiv LSB$

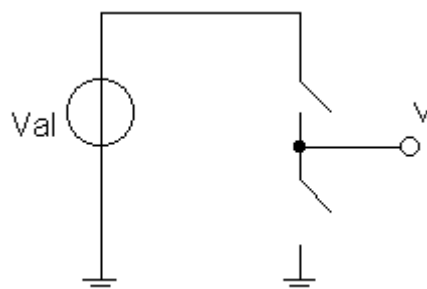
Il convertitore a resistori pesati funziona bene per ottenere una conversione di pochi bit in cui i resistori non sono molto diversi tra loro, con molti bit infatti i resistori presentano un range piuttosto ampio.

Una modifica a questo DAC è proposta in figura 4.18a.



**Figura 4.18a Modifica al DAC**

Non c'è differenza nel funzionamento del dispositivo ma è come avere ciò mostrato in figura 4.18b



**Figura 4.18b Equivalente di figura 4.18**

#### 4.4.6 Rete a scala R-2R (Ladder)

Oltre al modo visto per il DAC a resistori pesati esistono altri modi per creare correnti scalate senza però utilizzare resistori uno doppio dell'altro. Uno di questi è riportato in figura 4.19.

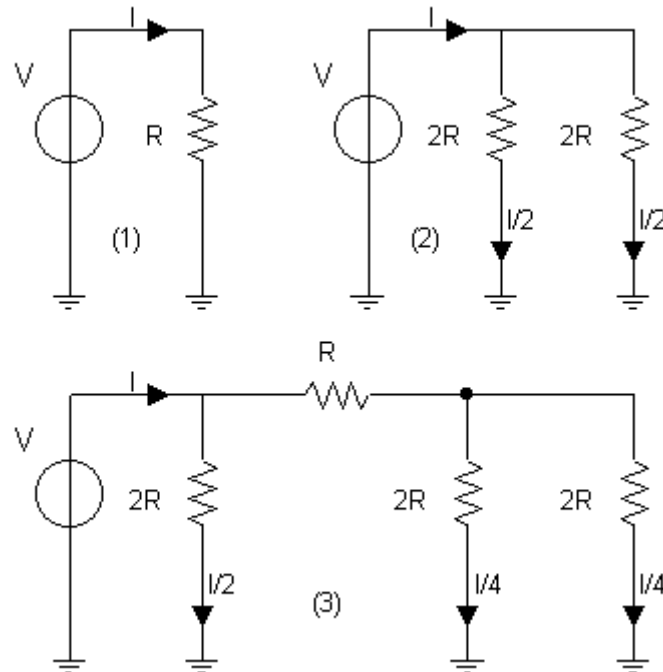


Figura 4.19 Scalamento della correnti

Nello schema (1) della figura 4.19 nel resistore scorre una corrente  $I = V/R$ . Se la stessa  $R$  viene sdoppiata in due resistori (schema 2) di valore  $R/2$  ognuno si ha che su ogni resistore ora scorre una corrente pari ad  $I/2$ . Inserendo ora un ulteriore resistore di valore  $R$  ed uno di valore  $R/2$  come mostrato ( schema 3) si ottiene una corrente pari ad  $I/2$  sul primo resistore  $R/2$  ed una corrente pari ad  $I/4$  sugli altri resistori di valore  $R/2$ .

Con questo tipo di configurazione i vari rami non risultano più indipendenti come nel DAC a resistori pesati. Applicando questo principio per la costruzione di un DAC si ottiene il DAC a rete a scala R-2R di figura 4.20.

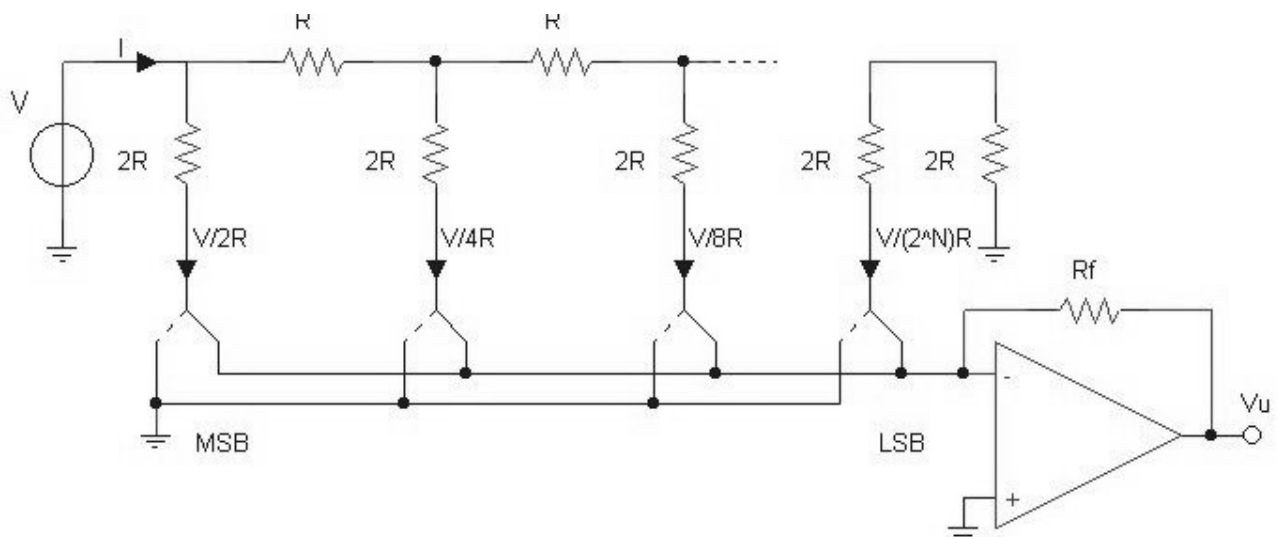


Figura 4.20 Rete a scala R-2R

La tensione di uscita si ottiene applicando la formula (4.12)

$$V_U = -V_R \frac{R_f}{2^N R} D \quad (4.12)$$

## 4.5 Convertitori A/D o ADC

I convertitori ADC (*Analog to Digital Converter*) sono dispositivi che convertono un segnale analogico in un segnale digitale. Analogamente ai convertitori DAC sono soggetti ad errori lineari e non lineari. Gli errori lineari sono anche qui compensabili tramite opportune tarature esterne.

Per gli errori non lineari si ha una variazione rispetto al DAC e vengono mostrati in figura 4.21.

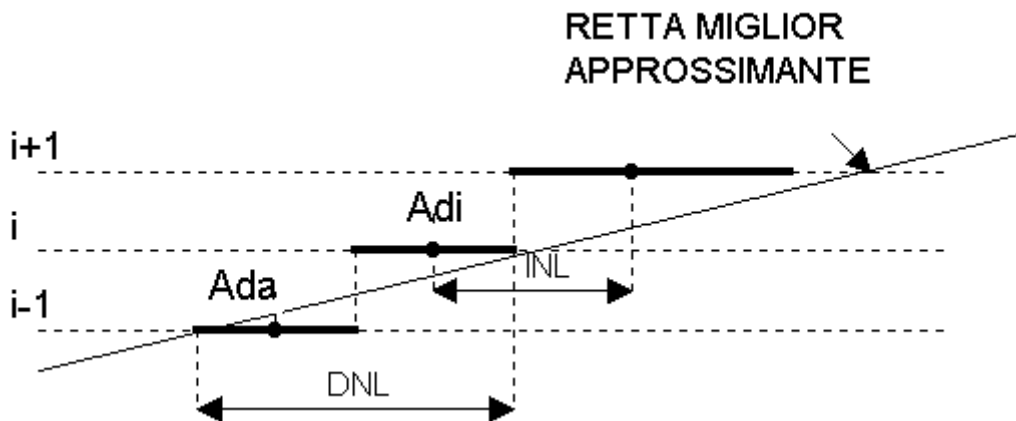


Figura 4.21 INL ed DNL di un ADC

L'errore INL è lo scostamento tra la caratteristica retta miglior approssimante e la caratteristica ideale.

L'errore DNL è definito come la differenza tra la larghezza di un gradino (differenza tra le tensioni corrispondenti a due transizioni adiacenti) della caratteristica reale e la larghezza del gradino della retta miglior approssimante  $\varepsilon_{DNL} = A_{da} - A_{dl}$ .

L'equivalente della non monotonicità dei DAC qui prende il nome di *missing code* ovvero la perdita di codici di uscita causati dalla crescita di un intervallo che ingloba quello adiacente. In pratica ci sarà un codice che non arriverà mai all'uscita nel convertitore.

### 4.5.1 Convertitore parallelo o flash

In figura 4.22 è riportato lo schema elettrico di un *convertitore parallelo*. Risulta composto da una serie di comparatori di tensione senza isteresi, di un partitore resistivo e da un priority encoder. I comparatori hanno la funzione di commutare in corrispondenza dei livelli di soglia di quantizzazione, stabiliti mediante il partitore resistivo. Il priority encoder serve a contare il numero delle uscite a livello logico uno. La tensione di ingresso è applicata contemporaneamente a tutti i comparatori per ciò il convertitore è detto parallelo. I comparatori determinano  $2^N$  uscite ma non determinano  $2^N$  bit di informazione dato che solo una parte delle uscite per volta sarà a livello uno, (mai, per esempio, tutte ad uno).

Questo tipo di convertitori ha il vantaggio di un tempo di conversione molto piccolo, da cui anche il nome *flash*, in quanto dovuto solo al ritardo di propagazione dei comparatori e del decodificatore. L'inconveniente principale consiste nella difficoltà tecnologica costruttiva. Per la configurazione ad N bit sono infatti necessari  $2^N - 1$  comparatori e  $2^N$  resistori, è quindi utilizzabile solo per pochi bit di conversione.

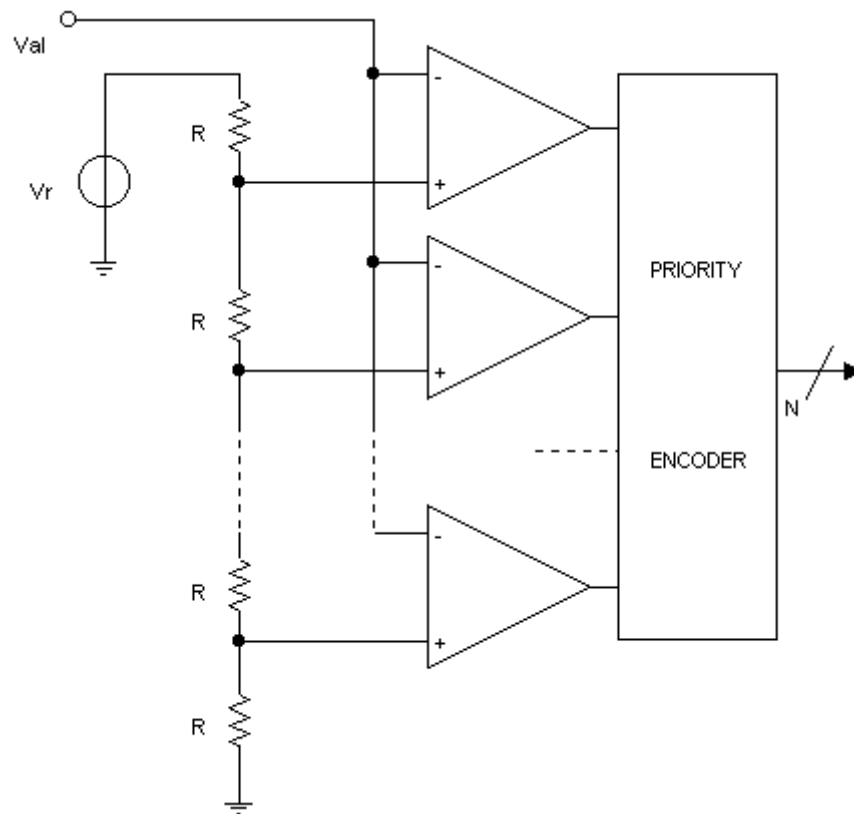


Figura 4.22 ADC di tipo parallelo

#### 4.5.2 Convertitori ad inseguimento

Nel convertitore ad inseguimento le comparazioni avvengono una per volta e per questo motivo è necessario un dispositivo che prepari il livello di riferimento opportuno. Lo schema di questo tipo di convertitori è riportato in figura 4.23

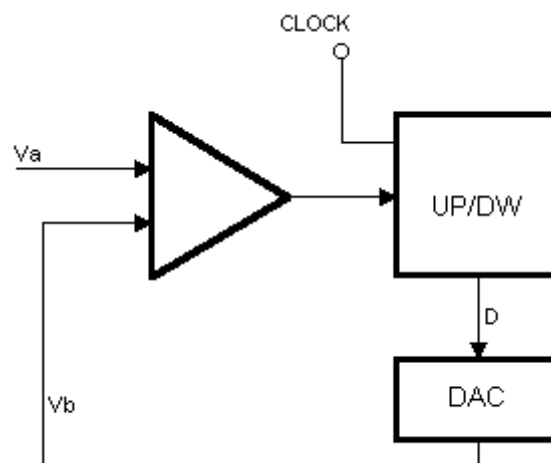


Figura 4.23 Schema ADC ad inseguimento

La logica di decisione (UP/DW in tal caso) è il blocco che determina come proseguire nei confronti. In pratica avviene una ricerca lineare tra le soglie e si ha un confronto fino a che non si trova un passaggio da un valore minore ad uno maggiore (o viceversa). Trovato tale punto il confronto non riparte più da zero ma, ipotizzando che il segnale non vari troppo in un breve arco di tempo, dal valore precedentemente trovato. In altri termini si ha un inseguimento del segnale, da cui il nome. In figura 4.24 è riportato un esempio di inseguimento del segnale da parte del convertitore.

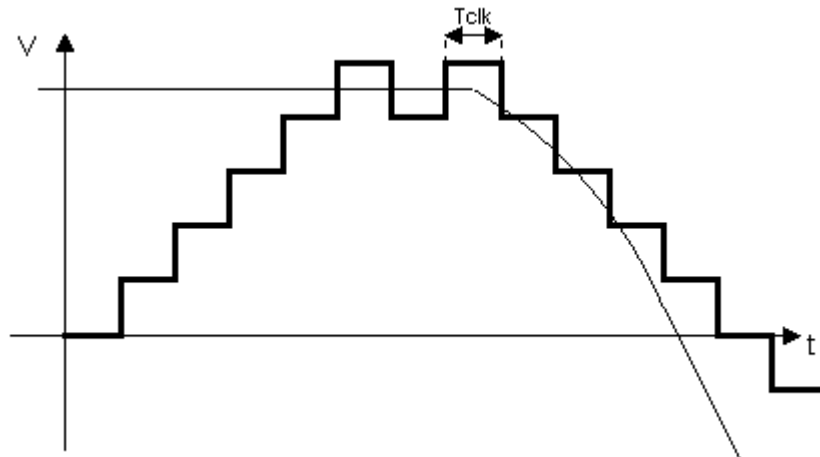


Figura 4.24 Conversione di un segnale analogico

Dal grafico di figura 4.24 risulta chiaro come inizialmente occorra aspettare diversi colpi di clock prima di ottenere un aggancio.

Se lo slew rate  $SR = A_d/T_{clk}$  risulta minore del valore  $A_d/T_{clk}$  il convertitore riporta in uscita il valore convertito corretto ad ogni colpo di clock, se altrimenti il segnale varia in modo tale per cui il convertitore perde l'aggancio si parla di *overload*.

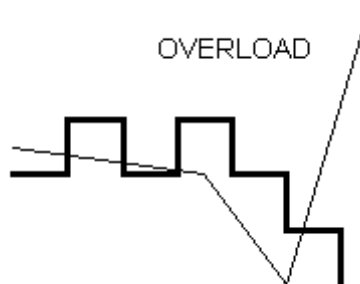


Figura 4.25 Perdita dell'aggancio dovuta ad Overload

Quando il segnale rimane costante, condizione di *idle*, il bit di uscita varia continuamente tra 0 ed 1 ed in tal caso il bit prende il nome di *idle noise*.

### 4.5.3 Convertitore ad approssimazioni successive

Utilizzando per la ricerca del segnale il metodo dicotomico sono sufficienti N confronti per rivelare la presenza del segnale stesso. Cambiando quindi la logica di decisione del convertitore ad inseguimento da UP/DW a SAR (*Successive Approximation Register*) si ottiene il convertitore ad approssimazioni successive.



L'algoritmo di ricerca è riportato in figura 4.26 in cui il valore del segnale è trovato mediante confronti effettuati sempre solo su una parte della dinamica  $S$  ed ogni volta tale intervallo risulta sempre la metà di quello precedente.

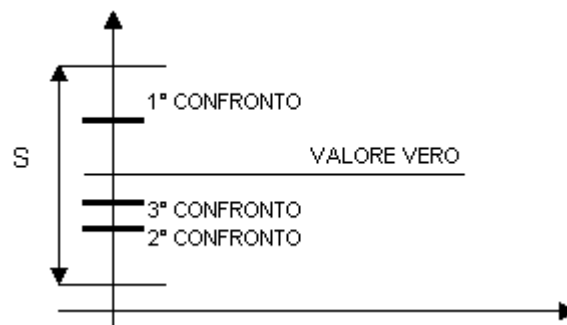


Figura 4.26 Ricerca dicotomica

La condizione necessaria per l'utilizzo di questo tipo di convertitore è che il segnale rimanga costante per tutto quanto il processo di ricerca. Per questo motivo è necessario porre un circuito di Sample&Hold davanti al circuito.

I convertitori ad approssimazioni successive risultano piuttosto veloci e possono arrivare a convertire valori fino a 16bit.

#### 4.5.4 Convertitore a residui

Da un comparatore di tensione si ha come uscita un valore digitale (il caso di uguaglianza dei segnali comparati non esiste data la piccola zona di linearità). Se la comparazione non viene effettuata tra la soglia ed il segnale di ingresso ma tra la soglia ed un segnale che deriva dal segnale di ingresso è possibile organizzare un dispositivo hardware per ottenere una sola soglia valida per tutti gli ingressi. Questo metodo viene applicato per progettare i convertitori a residui il cui schema è quello di figura 4.28

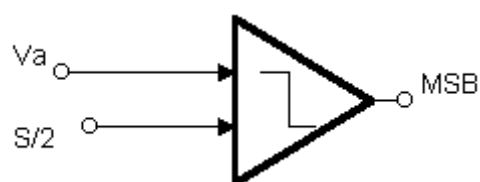
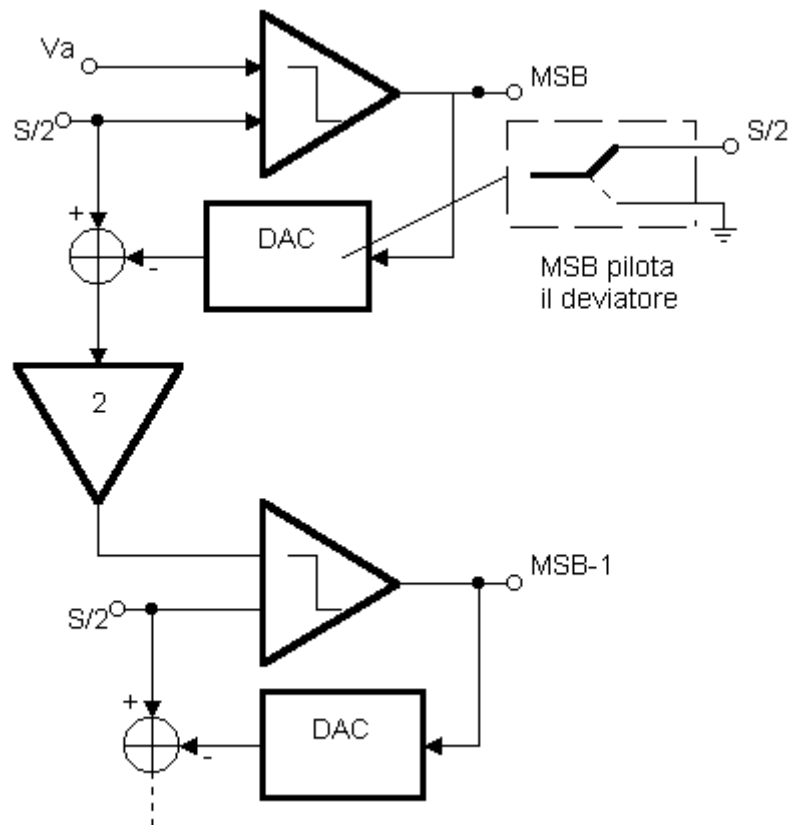


Figura 4.27 Comparatore

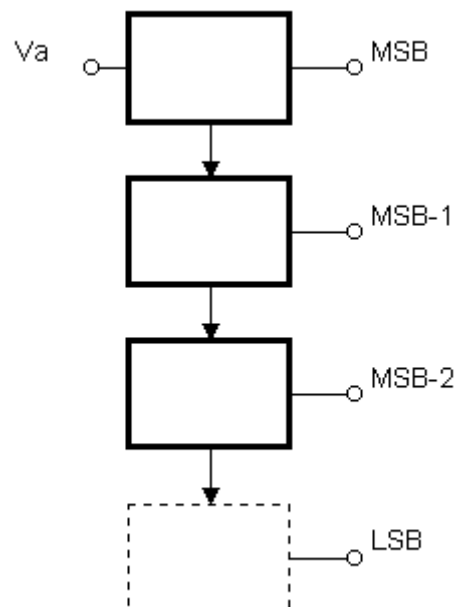
Il DAC in questo caso può generare solamente due valori di tensione: 0 ed  $S/2$  e viene pilotato dal bit in uscita dal comparatore.

Nel primo blocco, del convertitore a residui, viene estratto il bit più significativo (MSB). Per estrarre il bit di MSB-1 si amplifica di un fattore due il segnale, in modo di avere nuovamente la dinamica compresa tra 0 ed  $S$  e si esegue una nuova comparazione tra 0 ed  $S/2$  come operato nel blocco precedente. Si procede così per tutti i blocchi a seguire.

Per costruire un convertitore ad  $N$  bit è sufficiente replicare  $N$  volte la struttura del primo blocco.



**Figura 4.28 ADC a residui (primi due blocchi)**



**figura 4.29 Schema a blocchi convertitore a residui ad N bit**

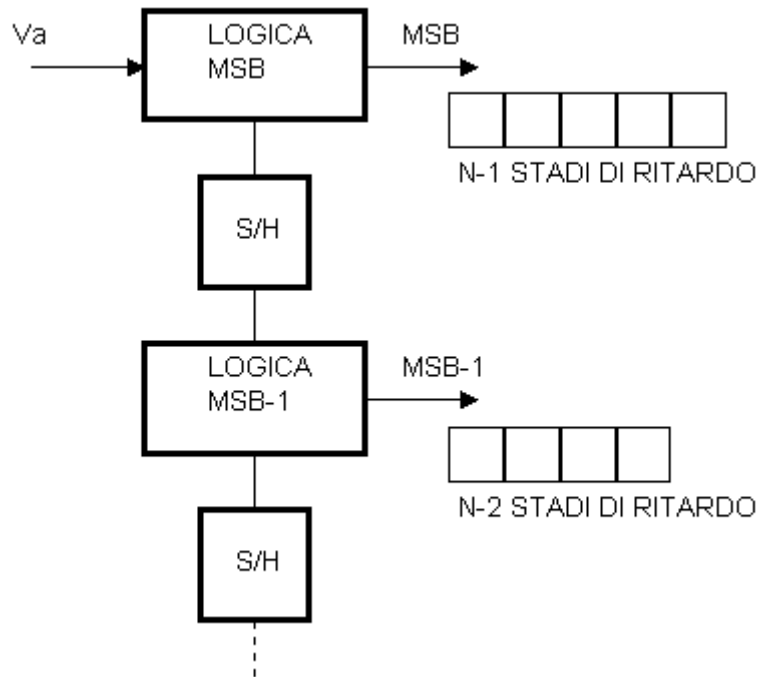
il vantaggio di questo convertitore rispetto a quello ad approssimazioni successive è che non avendo la logica SAR risulta più semplice, la struttura del singolo bit è piccola e non si ha bisogno di un segnale di clock.

Lo svantaggio è che l'informazione sull'MSB risulta subito disponibile mentre le successive subiscono dei ritardi di propagazione crescenti, occorre quindi stimare il caso peggiore (*worst case*) di ritardo del sistema, ovvero il cambiamento di tutti i bit. Prima di questo

tempo non è possibile prendere l'uscita come valida e non si può cambiare quindi il segnale di ingresso.

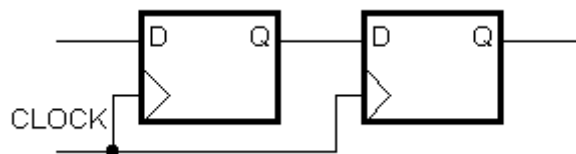
#### 4.5.5 Convertitori a pipeline

Per migliorare il funzionamento del convertitore DAC a residui si possono aggiungere degli stadi di memoria tra un blocco ed il successivo come mostrato in figura 4.30.



**Figura 4.30 Convertitore a pipeline**

Le memoria analogiche, costituite da Sample&Hold permettono di far lavorare il convertitore su N campioni contemporaneamente. Per far sì che i bit ottenuti dalla conversioni escano contemporaneamente sono utili degli stadi di ritardo costituiti da shift register ottenuti tramite flip flop di tipo D e mostrato in figura 4.30b



**Figura 4.30b Shift register**

Il valore del ritardo varia da bit a bit e diminuisce passando dall'MSB all'LSB. Dallo schema 4.30 è evidente che occorrono N colpi di clock da quando si ha il valore in ingresso a quando si presenta il valore digitale all'uscita, come il convertitore a residui, ma in questo caso si ha una frequenza di campionamento più elevata. Infatti si ha in uscita un campione digitalizzato ad ogni colpo di clock (esclusi i primi N colpi per cui non si ha nulla detto ritardo di latenza). La velocità di questo convertitore è paragonabile a quella del convertitore flash ma risulta con meno componenti e quindi meno costoso da costruire.

## 4.6 Convertitori differenziali

Lo schema dei convertitori differenziali è riportato in figura 4.31. La caratteristica dei convertitori differenziali è che ad ogni colpo di clock si ha una informazione ad N bit ma ogni informazione differisce da quella precedente per un solo bit. È possibile quindi ricostruire l'andamento del segnale analogico valutando solamente il segnale U/D. U/D è infatti un'informazione ad un bit che indica se il segnale è salito o è sceso rispetto al valore precedente.

Ad ogni colpo di clock si invia quindi l'informazione di aumento o diminuzione per il livello dell'uscita. Dal fatto che si ricava l'andamento del segnale utilizzando un solo bit (valore differenziale) prende il nome di *convertitore differenziale*.

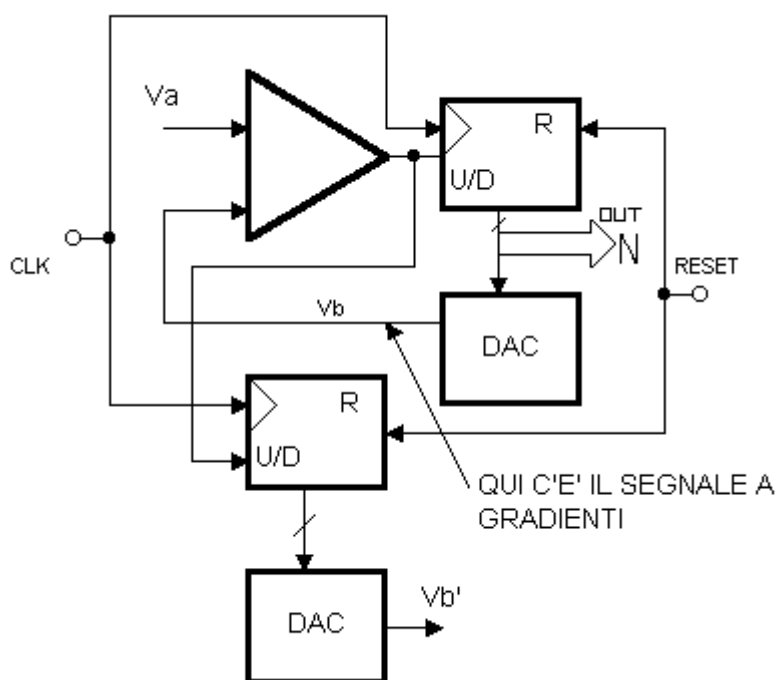


Figura 4.31 ADC differenziale

Il segnale di clock serve a sincronizzare i contatori ( $V_B = V_B'$ ). La mancanza del segnale di reset permetterebbe comunque la ricostruzione del segnale, se si esclude il valor medio a cause dell'offset. Se la banda del segnale non comprende la continua l'offset non ha alcuna importanza.

Dal fatto che è sufficiente solo un bit di informazione, del valore di N bit, spesso se ne può fare a meno. Per ricostruire il segnale analogico è quindi possibile eliminare il DAC effettuando una integrazione in analogico invece che in digitale. Il circuito di principio diventa quello mostrato in figura 4.32.

In uscita dal dispositivo ora vi sarà, idealmente, un treno di  $\delta$  ed il circuito prende il nome di *convertitore differenziale ad integratore*.

Inviando delle  $\delta$  ad un integratore ottengo in uscita un gradiente. L'ampiezza del gradino (LSB) dipende dal guadagno  $\gamma$  dell'integratore. In figura 4.33 è riportato un esempio di conversione ottenuto con questo tipo di convertitore che risulta più semplice della versione con il DAC.

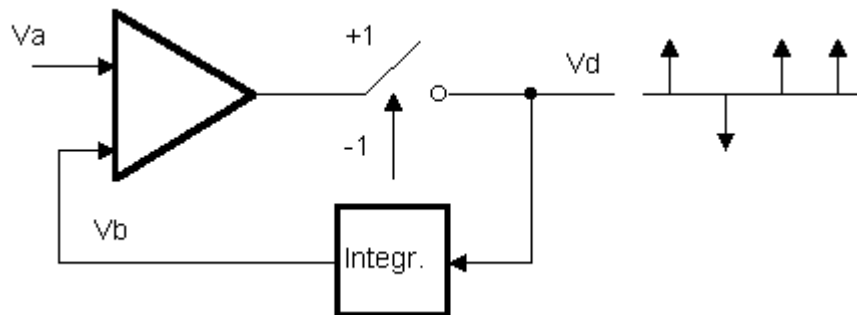


Figura 4.32 Convertitore differenziale ad integratore

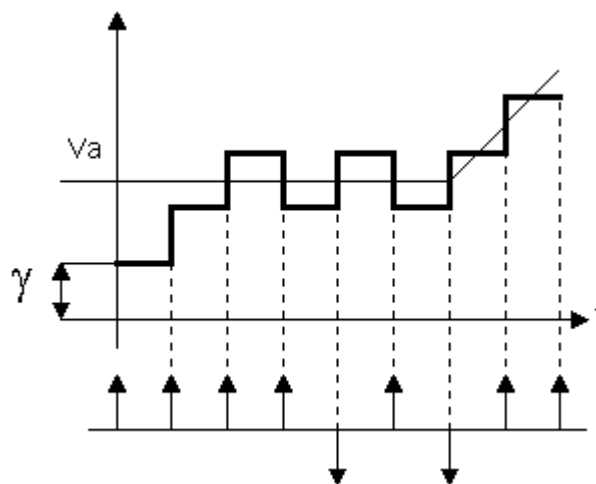


Figura 4.33 Esempio di conversione D/A

Il segnale in uscita dall'integratore analogico non è però ancora il segnale ricostruito (in ingresso si ha un segnale campionato e mantenuto) ed è necessario quindi far seguire l'integratore da un filtro di ricostruzione in modo da eliminare le repliche spettrali.

Il limite di questo dispositivo è che se il segnale è costante l'uscita non sarà costante ma si risconterà una situazione di *idle* riconoscibile dalla serie di impulsi positivi e negativi (*idle noise*). Piccole variazioni del segnale non sono quindi riscontrabili e la minima variazione di segnale rilevabile è quella di ampiezza comparabile con  $\gamma$ . Il segnale di ingresso deve essere quindi superiore a tale valore per ottenere una variazione significativa dell'uscita. Il limite superiore alla velocità di variazione del segnale, per non avere overload, è imposta dal fatto che il segnale non debba variare più di  $\gamma$  in un colpo di clock.

---

#### Esempi: limite del segnale

Lo slew rate di un segnale sinusoidale è  $SR = V\omega$  quindi si deve avere  $V\omega < \gamma / T_{ck}$  per poter seguire correttamente il segnale.

$\gamma > V\omega T_{ck}$  è un limite pesante; se si hanno segnali che non siano delle sinusoidi pure il problema di usare un passo di campionamento che deve tener conto di tale vincolo è complicato. È possibile cercare di ottenere indipendenza da  $\omega$ . Integrando un segnale sinusoidale si ottiene un segnale di tipo co-sinusoidale il cui slew rate è pari a  $V$ . Si opera allora sull'integrale del segnale ed in tal modo vengono evitati i problemi sulla frequenza del segnale e di overload. Nasce però il problema dell'ampiezza

---

dell'LSB in funzione della frequenza dato che  $(V_A/\omega)$  deve risultare maggiore di  $\gamma$

---

## 4.7 Convertitore Sigma Delta

in figura 4.34 è riportato lo schema di un *convertitore sigma delta*.

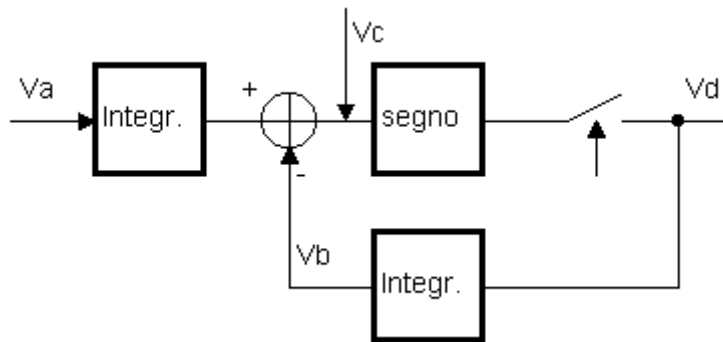


Figura 4.34 Convertitore sigma delta

$$V_C = \int V_A - \int V_D = \int (V_A - V_D) \quad (4.13)$$

In base alla (4.13) risulta possibile spostare il blocco integratore dall'anello di reazione prima del blocco di estrazione del segno del segnale, ovvero prima si estrae la  $\delta$  al segnale di ingresso tramite integrazione e successivamente si estrae il segno.

Per poter ottenere dalle  $\delta$  il segnale campionato e mantenuto dopo l'integrale si dovrebbe effettuare un'operazione di derivazione, ma in tal caso è come se al posto dell'integratore e del derivatore ci fosse solo un filo. Ciò significa che la sequenza di impulsi ottenuta, pur essendo un segnale digitale, contiene la stessa informazione spettante del segnale campionato e mantenuto ed è necessario solo più un filtro di ricostruzione.

Nel filtrare il segnale di uscita si ha un vantaggio rispetto ad un convertitore differenziale normale dato che la distribuzione di rumore (*noise shaping*) aumenta alle alte frequenze. Se si aumenta l'ordine dell'integratore si ha un *noise shaping* più pronunciato e si elimina più rumore ma essendo il sistema reazionato occorre prestare attenzione all'instabilità che può venirsi a creare. Tutte le operazioni svolte tramite le  $\delta$  possono eseguirsi anche senza. Se nello schema del convertitore differenziale al posto del comparatore si posiziona un flip flop si ottiene lo schema di figura 4.35 in cui al posto delle  $\delta$  è presente un treno di impulsi ad onda quadra.

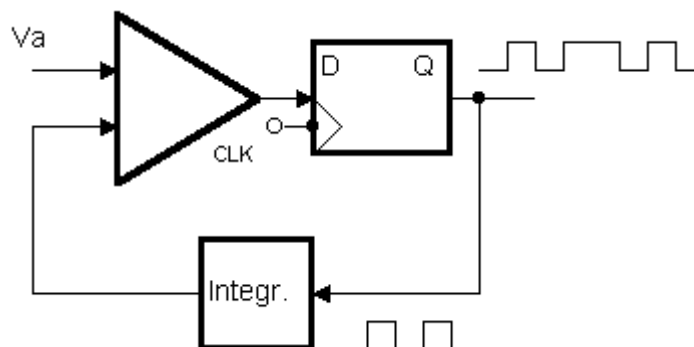
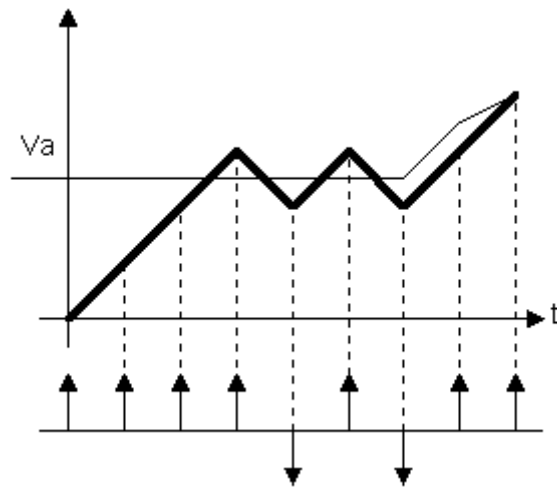


Figura 4.35 Convertitore differenziale con flip flop

L'integrale dei segnali a gradino in ingresso determina come risultato una rampa e il grafico della conversione con tale dispositivo viene riportato in figura 4.36



**Figura 4.36 Risultato del campionamento**

Negli istanti in cui si campiona la rampa ha lo stesso valore della  $\delta$ .

In questo schema la distribuzione del rumore è uniforme tra la continua e la frequenza di campionamento.

Le caratteristiche di questo convertitore sono un basso costo per la realizzazione di convertitori anche a 16 bit, non sono necessari componenti precisi ed è estremamente lineare dato che utilizza un solo bit.

## 5. Sample & Hold

I circuiti *Sample&Hold* (campiona e mantieni) o detti anche *Track&Hold* (segna e mantieni), sono circuiti aventi la caratteristica di operare in due fasi. In una prima fase, detta di *Sample*, la tensione di uscita è uguale a quella di ingresso. Mediante l'attivazione di un terminale di controllo (S/H), si passa alla seconda fase detta di *Hold*; in questa fase la tensione di uscita rimane costante e pari al valore della tensione di ingresso presente nell'istante in cui è stato applicato il comando di *Hold* al terminale di controllo. In figura 5.1 è riportato il suo simbolo grafico.

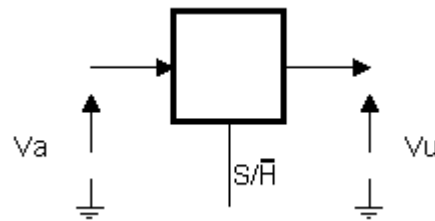


Figura 5.1 simbolo di un Sample&Hold

Una versione semplificata di un circuito di Sample&Hold è riportata in figura 5.2 in cui sono evidenziate tramite un interruttore la fasi di *Sample* e di *Hold*.

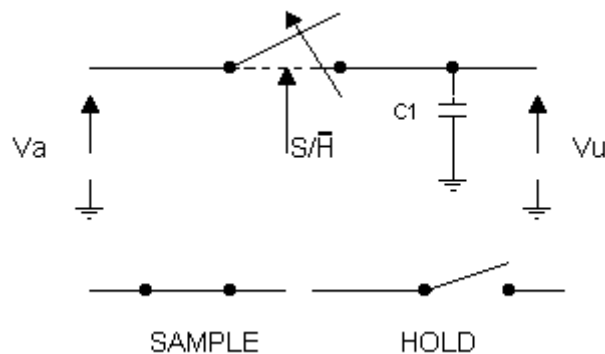


Figura 5.2 Schema di principio di un Sample&Hold

Durante la fase di *Sample* l'ingresso risulta direttamente collegato con l'uscita, mentre nella fase di *Hold* risulta distaccato ed il valore dell'ingresso viene mantenuto grazie ad un condensatore. Il risultato sul segnale è mostrato in figura 5.3 in cui si mette in risalto anche il problema dell'errore del *Jitter* di apertura, ovvero il tempo che intercorre dall'inizio della fase di *Hold* a quando questa effettivamente comincia.

Il Sample&Hold presenta quattro modalità di funzionamento: due in continua (anche se in realtà il condensatore si sta scaricando) *Sample* ed *Hold* e due transizioni: da *Sample* ad *Hold* e da *Hold* a *Sample*. Le caratteristiche del circuito dipendono da tutte e quattro le fasi.



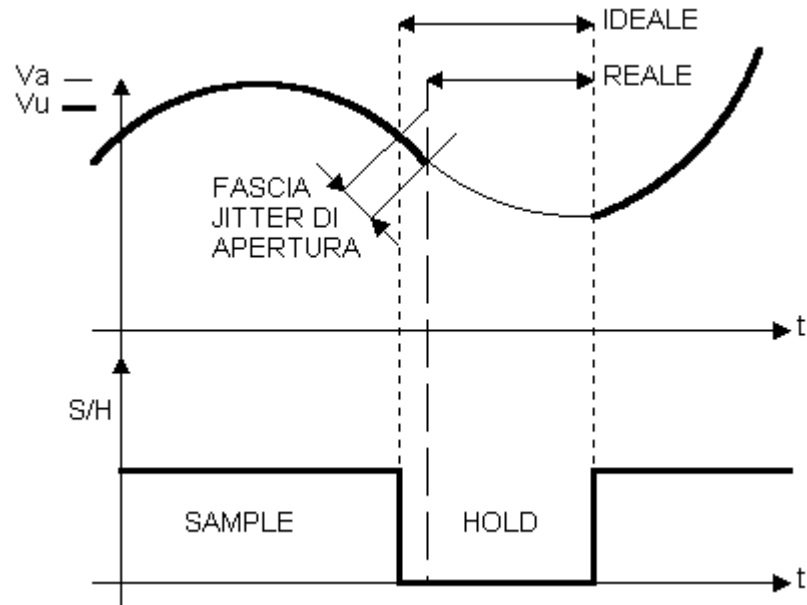


Figura 5.3 Sample&Hold su di un segnale e Jitter di apertura

Di seguito sono riportati i dati principali delle quattro fasi.

#### Sample (o tracking):

- Errore di guadagno
- Errore di offset
- Problemi di banda passante
- Problemi non lineari (slew rate)

#### Sample to Hold (Apertura interruttore):

- Tempo di apertura (interruttore realizzato solitamente tramite MOS): se fosse costante non creerebbe alcun disturbo, si avrebbe solo una rotazione di fase costante e compensabile
- Jitter di apertura  $t_{JA} \epsilon_{JA} = t_{JA} + SR_{VA}$ .  $SR_{VA}$  indica di quanto può variare il segnale di ingresso in quel dato periodo di tempo.

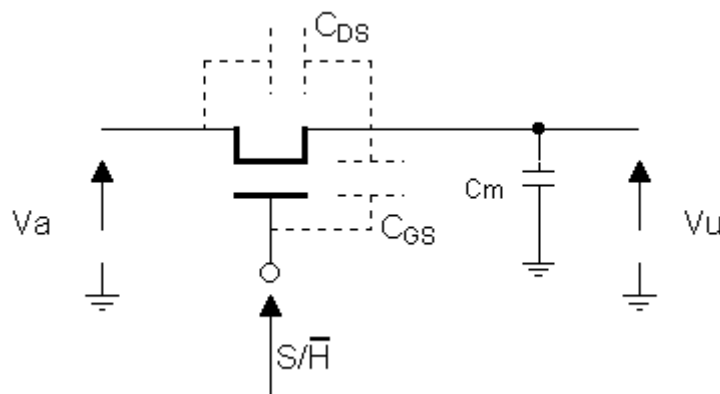
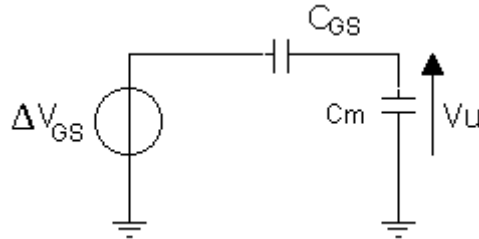


Figura 5.4 Schema di principio di un Sample&Hold realizzato con MOS e condensatore di mantenimento

Se  $V_{GS}$  è maggiore di  $V_s$  il MOS è un interruttore chiuso (zona resistiva) mentre se  $V_{GS}$  è inferiore a  $V_s$  il MOS è un interruttore aperto. Deve quindi cambiare la  $V_{GS}$  per ottenere la

transizione. Il fatto non sarebbe importante se non fosse che il MOS presenta delle capacità parassite  $C_{GS}$  e  $C_{DS}$ .

$C_{GS}$ : la tensione sul gate cambia ( $\Delta V_{GS}$ ) quindi varia la tensione sul terminale di controllo S/H del MOS. Non appena si apre l'interruttore si memorizza la tensione  $V_A$ , ma la tensione  $C_{GS}$  tende a far variare tale valore. Si determina un partitore capacitivo come mostrato in figura 5.5.



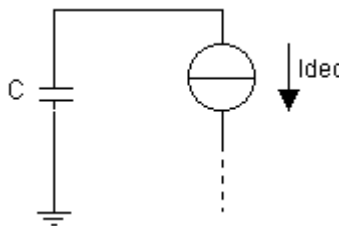
**Figura 5.5 Partitore capacitivo**

$$\Delta V_U = \frac{\Delta V_{GS} * C_{GS}}{C_m + C_{GS}} \quad (5.1)$$

Nel denominatore della (5.1), essendo  $C_m \gg C_{GS}$ , la capacità parassita può essere trascurata. All'uscita si ritrova uno scalino di tensione dovuto alla variazione della tensione di comando. Tale errore prende il nome di errore di piedistallo e vale:

$$\varepsilon_{\text{piedistallo}} = \frac{\Delta V_{GS} * C_{GS}}{C_m} = \frac{Q_P}{C_m} \quad (5.1b)$$

**Hold:** è la fase in cui la carica presente sul condensatore non rimane costante, oltre all'auto-scarica per leggere la tensione un po' si scarica ma ci possono essere correnti di polarizzazione che possono anche caricarlo. Si ha un errore che prende il nome di errore di decadimento;



**Figura 5.6 Corrente di decadimento**

$$\varepsilon_{\text{decadimento}} = \frac{I_{dec}}{C} t \quad (5.2)$$

inoltre la capacità  $C_{DS}$  determina il fatto che in alternata l'interruttore non sia perfettamente aperto determinando l'errore di *FeedTrough*:

$$\varepsilon_{\text{feedtrough}} = \frac{\Delta V_A * C_{DS}}{C_m} \quad (5.3)$$

Tutti questi errori risultano essere piccolissimi, ma c'è un problema: il massimo errore dell'S/H per non danneggiare il convertitore deve essere  $\frac{1}{2}$  LSB. Anche questi piccoli errori possono per ciò dare fastidio.

**Hold to Sample:** questa è la fase in cui si ritorna ad inseguire il segnale. Il tempo che si impiega a riagganciare il segnale di ingresso è detto tempo di acquisizione. La tensione sul condensatore  $C_m$  non può cambiare istantaneamente, ma deve poter cambiare in ogni caso in maniera ragionevolmente rapida. Il tempo di acquisizione deve essere circa un decimo del tempo di conversione del convertitore.

## 5.1 Circuiti per Sample&Hold

Un circuito di principio per la realizzazione di circuiti di Sample&Hold è mostrato in figura 5.7.

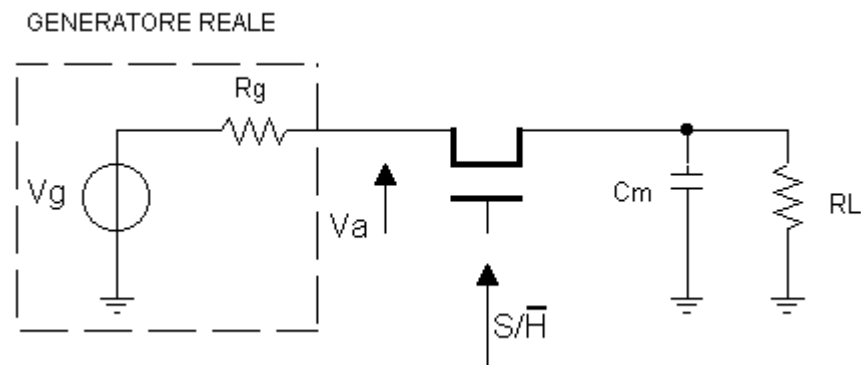


Figura 5.7 Circuito per Sample&Hold

Il MOS costituisce l'interruttore, il condensatore serve per la fase di *Hold* e la  $R_L$  tende a scaricarlo. Il circuito così come presentato però non è in grado di funzionare.

Un circuito attualmente utilizzato dispone di un separatore di impedenza costituito da un voltage follower, figura 5.8.

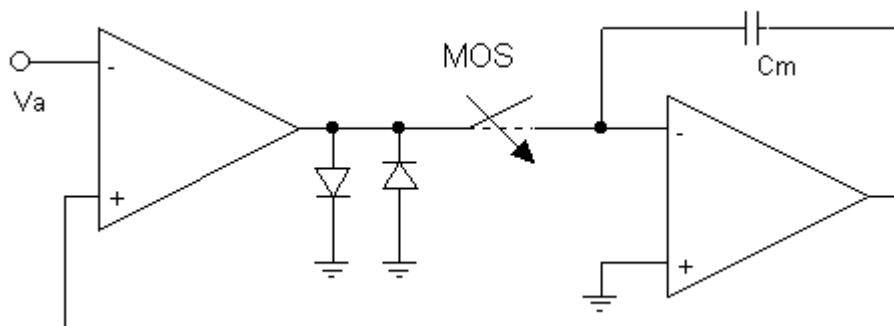


Figura 5.8 Circuito S/H con separatore di impedenza

Utilizzando questa configurazione quando l'interruttore risulta aperto la seconda parte del circuito, integratore riesce a mantenere costante la tensione di uscita. (si utilizza l'OP.AMP in configurazione invertente per avere una reazione negativa). I due diodi quando l'interruttore è chiuso è come se non fossero presenti dato che risultano interdetti, mentre

quando l'interruttore è aperto l'OP.AMP tenderebbe alla saturazione ma trovando i diodi entra in protezione contro le sovracorrenti e lo stadio di uscita non varia la tensione. I vantaggi dell'utilizzo di questo dispositivo è che si sa esattamente quanto vale la tensione  $V_{GS}$ .

## 6. Progettazione digitale

### 6.1 FPGA

FPGA è l'acronimo per *Field Programmable Gate Array*. Sono componenti programmabili che si possono configurare per la realizzazione di funzioni hardware in parallelo, ovvero in maniera estremamente veloce.

### 6.2 Circuiti digitali

Un sistema digitale è costituito da un blocco circuitale che presenta un insieme di ingressi  $I$  ed un insieme di uscite  $Z$ . È possibile suddividerli in diversi gruppi. Il più semplice è il gruppo dei *circuiti combinatori* in cui  $Z$  risulta funzione solo degli ingressi  $I$ :  $Z = f(I)$ .

I *circuiti sequenziali* sono invece caratterizzati dal fatto che l'insieme delle uscite  $Z$  dipende oltre che dagli ingressi anche dallo stato del sistema:  $Z = f(I, \text{stato})$ .

I circuiti sequenziali si dividono poi grossolanamente in circuiti sincroni e circuiti asincroni. Nei circuiti sincroni lo stato può variare solo in occasione della transizione attiva di un segnale di riferimento (clock), mentre nei circuiti asincroni lo stato è in grado di variare in modo continuo essendo in funzione del tempo.

#### 6.1.1 Circuiti combinatori

I circuiti combinatori possono venire descritti tramite una tabella di verità. Un esempio è riportato in tabella 6.1

I2	I1	I0	Z0
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

Tabella 6.1 Tabella di verità

Dalla tabella di verità si ottiene la seguente funzione

$$Z_0 = \overline{I_2}\overline{I_2}I_0 + \overline{I_2}I_1I_0 + I_2\overline{I_1}\overline{I_0} + I_2\overline{I_1}I_0 + I_2I_1I_0 \quad (6.1)$$

da cui è possibile la realizzazione del circuito digitale combinatorio tramite porte AND ed OR. Risulta però conveniente trovare una rappresentazione *booleana* con meno termini di quelli riportati nella (6.1) per avere meno porte logiche e rendere così più veloce e piccolo il circuito. Esistono tecniche in grado di semplificare la funzione logica booleana. La

condizione a contorno è che, data una certa tecnologia (logica di base) il circuito funzioni in maniera veloce. Ogni porta logica introduce infatti un ritardo di propagazione tra ingresso ed uscita.

Le rappresentazioni più veloci sono quelle a due livelli (due porte da oltrepassare tra ingresso ed uscita escludendo eventuali porte NOT).

Nella pratica le porte che si riescono a costruire meglio sono le porte NAND e le porte NOR, quindi tramite il teorema dell'algebra booleana di De Morgan si possono trasformare le funzioni logiche in modo da realizzare i circuiti con questo tipo di porte e non con le AND e le OR.

Un altro modo per realizzare una funzione logica combinatoria è quello di utilizzare delle memorie come contenitore di una funzione logica di tipo combinatorio. Se la memoria è a sola lettura l'informazione è memorizzata in maniera permanente.

### 6.3 Contatori sincroni

I contatori sincroni sono costituiti da una schiera di flip flop e sono caratterizzati dal fatto che il segnale di clock viene applicato in sincronia a tutti i flip flop, che vengono perciò attivati simultaneamente. Ad ogni colpo di clock, ciascun flip flop di tipo JK o D, effettua una commutazione oppure mantiene invariata la sua uscita a seconda dello stato dei propri ingressi. Nelle uscite viene riportato il numero delle transizioni. Se il contatore è di tipo modulo N, arrivati al conteggio massimo si riparte da zero.

È possibile progettare contatori in grado di contare in salita od in discesa a seconda di un segnale di ingresso. In figura 6.1 è schematizzato un contatore realizzato con flip flop di tipo D.

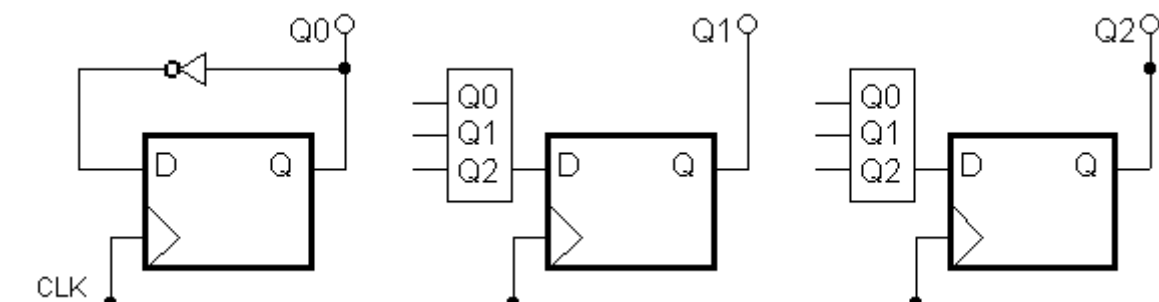


Figura 6.1 Contatore sincrono

La descrizione VHDL (Vedere Appendice) di questo circuito è riportata nel listato 6.1

---

#### Listato 6.1 Contatore Modulo 10 Up Down

---

```
ENTITY cont10ud IS
PORT (
    reset: IN BIT;
    ud : IN BIT
    clk: IN BIT
    q: OUT INTEGER RANGE 0 TO 9);
END cont10ud
```

```

ARCHITECTURE alfa OF cont10ud IS
BEGIN
PROCESS (reset, clk)
VARIABLE (reset, clk)
VARIABLE cnt: INTEGER RANGE 0 TO 9;
BEGIN
    IF reset = '1' THEN
        cnt:= 0;
    ELSIF clk'EVENT AND clk = '1' THEN
        IF ud = '1' THEN
            IF cnt= '9' THEN
                cnt: = 0;
            ELSE
                cnt: = cnt + 1;
            ENDIF
        ELSE
            IF cnt = 0 THEN
                cnt: = 9;
            ELSE
                cnt:= cnt + 1;
            ENDIF
        ENDIF
    ENDIF
    q<-cnt;
END PROCESS
END alfa

```

---

## 6.4 Macchine a stati finiti

I circuiti sequenziali sincroni possono essere modellati come una macchina a stati finiti (FSM, *Finite State Machine*).

Una macchina a stati finiti è un circuito dotato di memoria in cui è possibile conoscere in maniera univoca tutto ciò che riguarda il sistema se risulta noto il valore di un dato istante della memoria e dei valori applicati ai suoi ingressi.

Ogni contenuto della memoria costituisce uno stato della macchina ed il numero di tali stati deve essere limitato. Ad esempio con 3bit sono possibili 8 differenti stati, o più in generale con N bit sono possibili  $2^N$  stati.

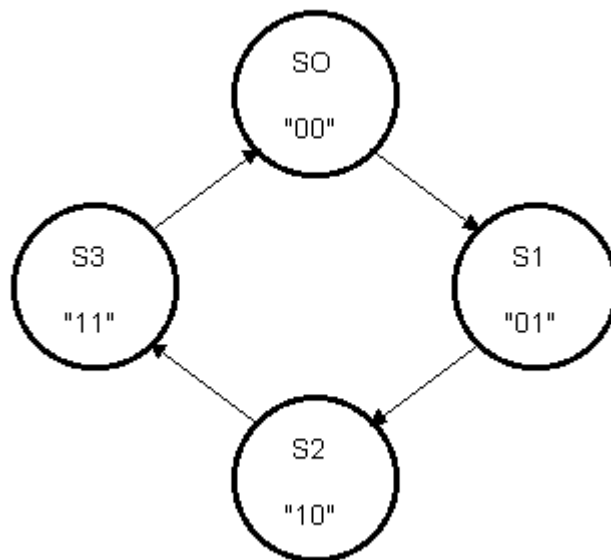
Le macchine a stati finiti possono essere rappresentate mediante un diagramma costituito da delle palle (stati) e delle frecce (transizioni tra gli stati) che prende il nome di *pallogramma*..

Un contatore è un tipico esempio di macchina a stati finiti in cui i flip flop formano le memorie interne. Le memorie sono in grado di variare il loro stato interno solo in maniera sincrona con un unico segnale di cadenza (clock).

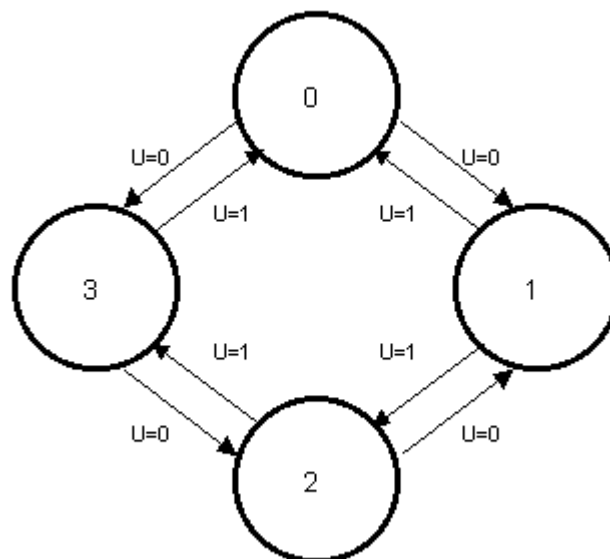
In figura 6.2 è presentato il diagramma di un contatore modulo 4. Questo tipo di contatore non presenta ingressi.

Ipotizzando che si parta dallo stato  $S_0$ , al primo fronte attivo del segnale di sincronizzazione del sistema la macchina a stati si sposta nello stato  $S_1$ , successivamente nello stato  $S_2$  e così via eseguendo il conteggio 0-3 ripetutamente.

Un miglioramento possibile del contatore modulo 4 è quello di inserire un controllo sul verso del conteggio (da 0 a 3 piuttosto che da 3 a 0). In tal caso quando si è in uno stato a seconda delle condizioni degli ingressi si decide se continuare il conteggio in avanti od indietro, figura 6.3



**Figura 6.2 Contatore modulo 4**



**Figura 6.3 Contatore modulo 4 Up Down**

Gli esempi fin qui presentati sono semplici dimostrazioni di cosa è possibile ottenere con delle macchine a stati. Il contatore potrebbe essere ulteriormente migliorato aggiungendo un segnale di abilitazione al conteggio, un segnale di reset, ...etc.

Una condizione fondamentale per tutte le macchine a stati è che da ogni stato le frecce uscenti siano tra di loro mutuamente esclusive



### 6.4.1 Macchina a stati di Moore

Le macchine a stati di Moore sono caratterizzate dal fatto che le uscite sono funzione del solo stato corrente del sistema. Un esempio di macchina di Moore è riportato in figura 6.4 e risulta composta da un banco di flip flop con un segnale di clock in comune.

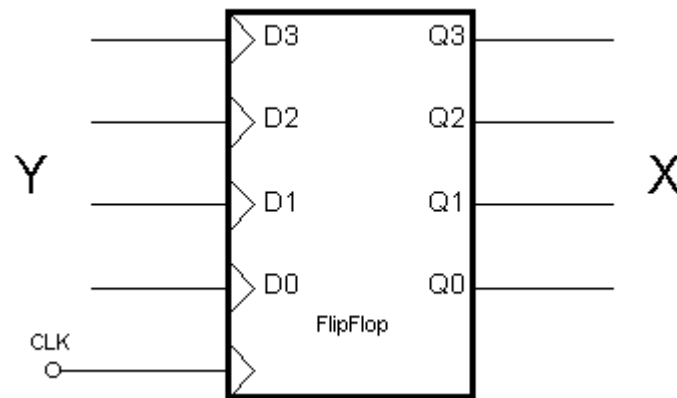


Figura 6.4 Macchina a stati di Moore

Il valore memorizzato nei flip flop realizza l'insieme delle uscite ed è raggruppabile in un vettore  $X$  che costituisce lo *stato presente*.

Un insieme di questi flip flop con lo stesso clock determina un registro di stato. Uno schema completo di macchina a stati di Moore è riportato in figura 6.5



Figura 6.5 Schema di una macchina di Moore

Gli ingressi essendo sincroni con il clock, possono variare solo in sincronia con esso.

Volendo progettare una macchina che riporti in uscita lo stato ad uno per un solo colpo di clock quando si ha l'abilitazione dell'ingresso, figura 6.6, si arriva al diagramma a stati di figura 6.7.

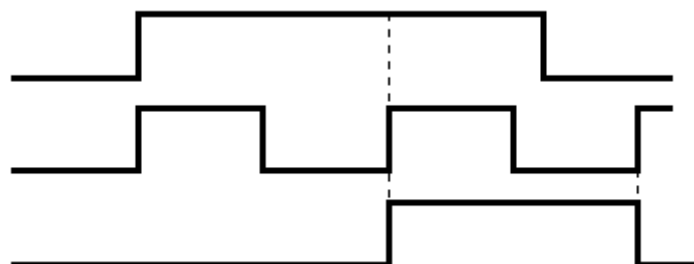
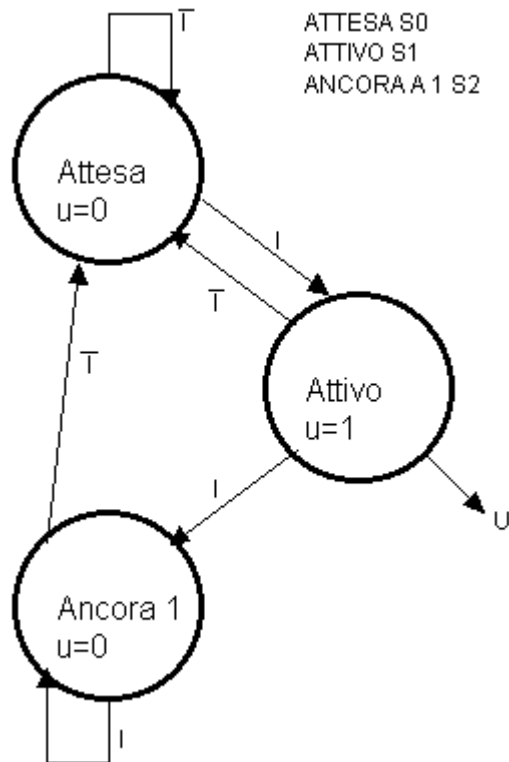


Figura 6.6, ingressi, clock ed uscita del sistema



**Figura 6.7 Diagramma a stati**

La tabella di verità corrispondente risulta quindi essere la tabella 6.2:

I	X	Y
0	S0	S0
1	S0	S1
0	S1	S0
1	S1	S2
0	S2	S0
1	S2	S2

**Tabella 6.2**

Dalla tabella è possibile progettare la logica combinatoria "A" a patto che si dia la mappatura dei tre stati e valori logici del sistema. In base alla scelta dei valori logici varia il circuito. Per ottimizzare, dove si hanno più frecce entranti si cerca di mettere pochi 1, si ottiene:  $S_0 = 00$ ,  $S_1 = 01$ ,  $S_2 = 10$  da sostituirsi in tabella 6.2.

I	X1X0	Y1Y0
0	00	00
1	00	01
0	01	00
1	01	10
0	10	00
1	10	10

**Tabella 6.3**

Le funzioni logiche che si ricavano risultano: 
$$\begin{cases} Y_0 = \overline{X_1} \overline{X_0} I \\ Y_1 = \overline{X_1} X_0 I + X_1 \overline{X_0} I \end{cases}$$

In questo esempio non è stato previsto un segnale di reset che inizializzi la macchina all'accensione; inizialmente i flip flop potrebbero contenere combinazioni di valori non ammesse e rendere errato il funzionamento del sistema.

La logica "B" dipende solamente dallo stato.

## Appendice VHDL

### Il linguaggio VHDL

#### VHSIC HARDWARE DESCRIPTION LANGUAGE

#### VHSIC: Very High Speed Integer Circuits

Serve a descrivere circuiti hardware, la caratteristica fondamentale è la concorrenza: così come blocchi (circuiti) fisici possono operare in parallelo anche in VHDL pezzi di codice sono simulati come se lavorassero contemporaneamente.

#### Struttura di un file VHDL

```
entity nome_circuito is
port (ingresso : in tipo_ingresso;
       uscita :out tipo_uscita;
       in_out : inout tipo_inout);
end nome_circuito ;

architecture tipo_arch of nome_circuito is
constant : tipo_costante;
signal : tipo_signal;
-- commento
begin
...
end tipo_arch;

definizione librerie
entity
architecture
```

#### Entity

- Serve a definire l'interfaccia di un circuito.
- Descrive le porte di: *in* (solo ingresso) *out* (solo uscita) - *inout* (ingresso/uscita).

#### Architecture

Descrive la funzionalità del circuito:

Due tipi di *architecture*:

1. *behavioral*: descrizione comportamentale del circuito (cosa fa)
2. *strutcural*: descrizione tramite blocchi base (*component*) e di come sono connessi tra loro (come è fatto circuito)

#### Constant

- Sono dei valori che sono impostati una sola volta e non possono subire variazioni.

## Signal

- Rappresentano i “fili” di connessione
- Se il loro valore logico non varia, mantengono il valore precedente

## Process

- Il compilatore/simulatore VHDL sa che ad ogni evento che si verifica deve far partire in modo concorrente i vari blocchi di codice. Tali blocchi sono quelli racchiusi dentro ad un *process*.
- Un *process* è attivato se e solo se il “segnale” che è variato è racchiuso nella sua *sensitivity list*

## Commenti

- e' possibile inserire commenti facendoli precedere da un doppio trattino: --
  - Questo è un commento che parte dal doppio trattino e termina a fine
  - riga

## Tipi predefiniti

<b>boolean</b>	true or false
<b>integer</b>	32 or 64 bits
<b>natural</b>	integers $\geq 0$
<b>positive</b>	integers $> 0$
<b>real</b>	floating-point
<b>bit</b>	'0', '1'
<b>bit_vector</b>	(natural) array of bits
<b>character</b>	7-bit ascii
<b>string</b>	(positive) array of characters
<b>time</b>	hr, min, sec, ms, us, ns, ps, fs
<b>delay_length</b>	time $\geq 0$

## Costrutti

```

wait [on {SIGID,}] [until expr] [for time];
assert expr
[report string]
[severity note | warning | error | failure];
report string
[severity note | warning | error | failure];
SIGID <= [transport] | [[reject TIME] inertial]
{expr [after time],};
VARID := expr;
PROCEDUREID[({[PARID =>] expr,})];
[LABEL:] if expr then
{sequential_statement}
[elsif expr then
{sequential_statement}]
else

```

```
{sequential_statement}}  
end if [LABEL];  
[LABEL:] case expr is  
{when choice [{| choice}] =>  
{sequential_statement}}  
end case [LABEL];  
[LABEL:] [while expr] loop  
{sequential_statement}  
end loop [LABEL];  
[LABEL:] for ID in range loop  
{sequential_statement}  
end loop [LABEL];  
next [LOOPLBL] [when expr];  
exit [LOOPLBL] [when expr];  
return [expression];  
null;
```