

Folha de Dados Primeira Lista Exercícios Entrega via Aprender3 em formato PDF

Nome: Alceu Bernardes Castanheira de Farias

Matrícula: 19/0144670

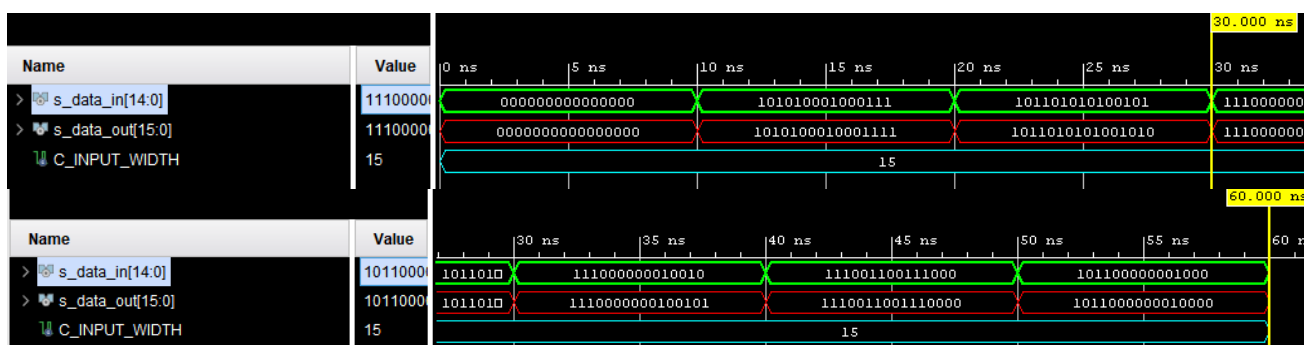
Exercício 3. Circuito gerador de paridade par

- 1) Diagrama esquemático RTL: Como o diagrama RTL 16 bits fica ruim para visualizar na folha de dados, ele foi exportado como um arquivo .pdf e se encontra no diretório SDA-Lista-1-Exercício-3/Ex3_Schematic_RTL.pdf.
- 2) Estimação consumo de recursos lógicos após a síntese lógica:

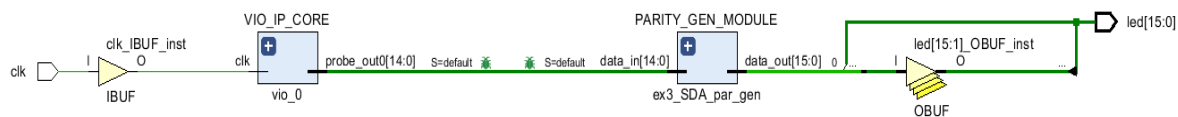
LUTs Total: 20800	FFs Total: 41600	Pinos de IOs Total: 106	Blocos DSP Total: 90	Blocos BRAM Total: 50
3 (0.01 %)	0 (0 %)	31 (29.25 %)	0 (0 %)	0 (0 %)

OBS: A estimativa de recursos acima leva em consideração somente a UUT. Se analisarmos a síntese do top módulo, são utilizados 17 IOs (1.89 %): a entrada de clk para o VIO Core e a saída do gerador de paridade, de 16 bits, conectados aos LEDs da Basys 3.

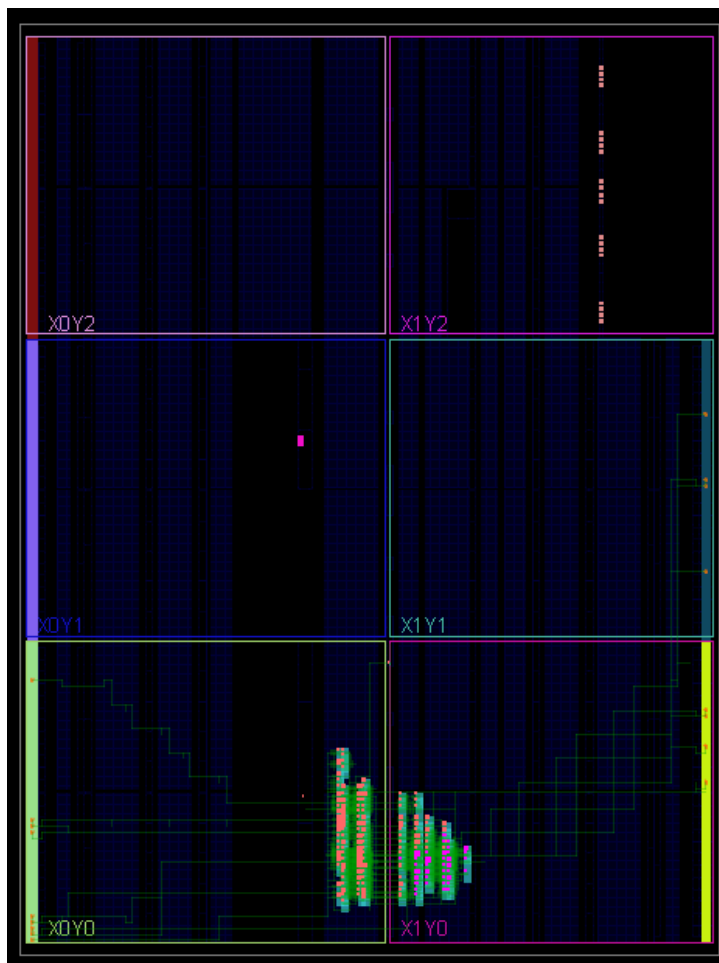
- 3) Gráfico(s) da(s) simulação comportamental mostrando o funcionamento do circuito. Se necessário acrescente sinais intermediários e mais quadros.



4) Esquemático da análise RTL após a inclusão do VIO core.



5) Layout do circuito após a implementação usando VIO core (após processo Place and Route – PAR):



OBS : Ciano = parity_gen_module, Vermelho = dgb_hub, magenta = VIO_IP_CORE.

- 6) Utilização do consumo de recursos lógicos após a implementação do circuito. Discrimine a utilização de recursos do topmodule e da unidade em teste (UUT).

Módulo	LUTs Total: 20800	FFs Total: 41600	Pinos de IOs Total: 106	Blocos DSP Total: 90	Blocos BRAM Total: 50
Topmodule	587 (2.82 %)	1000 (2.40 %)	17 (16.04 %)	0 (0 %)	0 (0 %)
UUT	3 (0.01 %)	0 (0%)	(0 %)	0 (0 %)	0 (0 %)

- 7) Estimação do consumo de energia após a implementação do circuito:

Potência total: 85 (mW)

Potência estática: 72 (mW)

Potência dinâmica: 13 (mW)

Gráfico de consumo de energia:

