

# “Práctica No.1: ”; Gr.6 , Eq.5

Juan David Bernal Sanchez, Alejandro Díaz Córdoba  
Juan David Sanchez Quintero

## I. INTRODUCCIÓN

En el presente informe de laboratorio detallamos el procedimiento realizado en la primera práctica de laboratorio, la cual fue enfocada en estudiar las diferencias entre las tecnologías de familias lógicas de circuitos integrados (ICs) TTL Y CMOS, usando el 74LS04 y el CD4069. Para ello, analizamos conceptos como voltajes de entrada y salida tanto a nivel bajo como alto, corriente quiescente, tiempos de propagación, almacenamiento, subida y bajada, fan-in y fan-out. Realizamos diseños del funcionamiento básico de las compuertas usando transistores, así como circuitos para ver el funcionamiento, realizamos diferentes simulaciones que corroboramos con mediciones hechas en el laboratorio, las cuales además se analizaron posteriormente usando Matlab, específicamente para los tiempos de subida y de bajada; también se realizó un oscilador en anillo de 3 y 5 compuertas. Al final del informe presentamos unas conclusiones sobre los resultados de aprendizaje del laboratorio.

## II. CONSULTA PREVIA

### II-A. Comparación de Especificaciones Técnicas

Revisamos los datasheets de Texas Instruments y Fairchild Semiconductor para hacer una comparación de las especificaciones técnicas entre los ICs 704LS04 y CD4069.

Entre las diferencias que se encuentran entre ambos ICs, encontramos que CD4069 soporta un rango de **voltaje de alimentación**  $V_{CC}$  mucho más amplio, de 3 a 15V, mientras que el 74LS04 es de 4.75V a 5.25V (el voltaje típico es 5V). También hay diferencias en el valor de la **corriente quiescente**  $I_{CC}$  que es la que se consume cuando el dispositivo está en reposo (sin conmutación), es decir, es la corriente necesaria de consumo interno del circuito y no depende de la carga: en el 74LS04 está entre 1mA y 4mA y para el CD4069 es cercana a  $1\mu A$ .

**Voltajes de entrada y de salida:** Estos voltajes vienen definidos por el tipo de tecnología que se usa en la construcción de los ICs. Definen un rango para el cual un voltaje en la entrada significa un "1." o un "0" lógico así como cuál es el rango de voltaje que se entrega en la salida de la compuerta si la salida debe ser un "1." o "0". A la entrada se habla de  $V_{IL}$  (low level input voltage),  $V_{IH}$  (high level input voltage), y a la salida de  $V_{OL}$  (low level output voltage) y  $V_{OH}$  (high level output voltage). Con  $V_{CC} = V_{DD} = 5V$  y temperatura =  $25^{\circ}C$ , el datasheet nos da los siguientes datos:

Para el 74LS04:

$$V_{IH} = 2V \text{ Mín.}$$

$$V_{IL} = 0.8V \text{ Máx.}$$

$$V_{OH} = 2.7V \text{ Mín., } 3.4V \text{ Típ.}$$

$$V_{OL} = 0.35V \text{ Típ., } 0.5V \text{ Máx.}$$

Para el CD4069:

$$V_{IH} = 4V \text{ Mín.}$$

$$V_{IL} = 1V \text{ Máx.}$$

$$V_{OH} = 4.95V \text{ Mín.}$$

$$V_{OL} = 0.05V \text{ Máx.}$$

**Tiempo de propagación:** Este parámetro indica el tiempo que tarda una señal en cambiar de estado a la salida de un IC cuando cambia su entrada. Puede ser desde un nivel de salida inicial bajo a uno alto (Low to high)  $t_{PLH}$ , o desde uno alto a bajo (high to low)  $t_{PHL}$ . En los datasheets encontramos este valor para un  $V_{CC}$  y  $V_{DD}$  de 5V:

Para el 74LS04:

$$t_{PLH} = 10ns \text{ valor máximo}$$

$$t_{PHL} = 10ns \text{ valor máximo}$$

Para el CD4069:

$$t_{PLH} = 50ns \text{ valor típico}$$

$$t_{PHL} = 50ns \text{ valor típico}$$

**Tiempo de almacenamiento  $t_s$ :** Es el tiempo que requiere el circuito para que sus transistores BJT eliminen la carga que se almacena en su base, por ende, se asocia solamente a los integrados de la familia TTL. Este tiempo contribuye al tiempo de propagación del 74LS04. Aunque no llegamos a medirlo es interesante conocer este parámetro adicional.

**Tiempo de subida  $t_r$ :** Hace referencia al tiempo que le toma a la señal de salida en pasar de un nivel lógico bajo a alto. Se mide tomando los puntos en que la señal está en el 10 % y 90 % de su valor máximo.

**Tiempo de bajada  $t_f$ :** Homólogo al tiempo de subida, se toma medición en el 90 % y el 10 % del valor máximo de la señal, y este corresponde al tiempo que le toma en pasar de un valor lógico alto a bajo.

Es importante aclarar que los tiempos de subida y de bajada se diferencian del tiempo de propagación en que se miden con respecto a una única señal: la salida del circuito; mientras que el tiempo de propagación hace referencia al retraso total del circuito por lo que se mide comparando la entrada y la salida.

### II-B. Fan-in y Fan-out

El **Fan-in** hace referencia al número de entradas lógicas que es capaz de recibir una de las compuertas del circuito

integrado. Como el TTL 74LS04 y el CMOS CD4069 son ambos circuitos integrados de compuertas negadoras, por diseño solamente van a tener una única entrada por compuerta, lo que corresponde a un fan-in igual a 1.

Por su parte, el Fan-out hace referencia al máximo número de compuertas que se pueden conectar a la salida, siendo las entradas que se conectan de la misma familia lógica.

**Fan-out 74LS04:** Para calcular el fan-out en una compuerta TTL, debemos referirnos al datasheet del dispositivo y tomar los datos de la corriente máxima de salida en nivel lógico bajo  $I_{OL}$ , corriente máxima de salida en nivel lógico alto  $I_{OH}$ , y también los valores de corrientes de entrada en nivel lógico bajo y alto:  $I_{IL}$ ,  $I_{IH}$ .

Consultando el datasheet proporcionado por Texas Instruments observamos que los valores de las corrientes son:

$$I_{OL} = 8mA$$

$$I_{OH} = -0,4mA$$

$$I_{IL} = -0,4mA$$

$$I_{IH} = 20\mu A$$

Calculamos el Fan-Out para nivel lógico bajo y luego para nivel lógico alto, el más bajo de los dos será el que determine el Fan-Out del dispositivo:

$$Fan_{OutLow} = \frac{|I_{OL}|}{|I_{IL}|} = \frac{8mA}{0,4mA} = 20$$

$$Fan_{OutHigh} = \frac{|I_{OH}|}{|I_{IH}|} = \frac{0,4mA}{20\mu A} = 20$$

Como el Fan-Out calculado es el mismo para ambos niveles, se concluye que su valor es de 20.

**Fan-out CD4069:** Dado el diseño de la tecnología CMOS, los ICs de esta familia tienen impedancias de entrada muy altas y en consecuencia su fan-out será alto (comparado con los TTL). Pero es interesante notar que el fan-out afectará la frecuencia de operación ya que también es la capacitancia de salida y de entrada lo que determina cuántas compuertas se pueden conectar sin dañar la integridad de la señal. Esto ocurre porque al aumentar la capacitancia los ciclos de carga y descarga son más largos y el conectar compuertas adicionales tiene un efecto de sumar capacitancias en paralelo, por tanto, el aumentar el número de compuertas que se conectan reduce la máxima frecuencia de operación que se puede usar.

Si queremos hacer un cálculo para determinar el Fan-Out del CD4069, nos damos cuenta que a diferencia del TTL aquí se consultan las capacitancias en vez de las corrientes, ya que son las que impondrán el límite práctico (si se calcula con corrientes, el valor del Fan-out será mucho más alto). El datasheet de Fairchild Semiconductor nos proporciona los siguientes datos:

Valor típico de capacitancia de entrada:  $C_{in} = 6pF$

Capacitancia de carga:  $C_L = 50pF$

En realidad el cálculo del fan-out debería hacerse con el valor de capacitancia de salida  $C_{out}$  y no la capacitancia de carga, ya que este último siempre será más alto pero es el único que se proporciona en las hojas de datos. Haremos una aproximación con los datos proporcionados:

$$Fan_{Out} = \frac{C_L}{C_{in}} = \frac{50pF}{6pF} = 8,33 = 8$$

### II-C. Simulación variando frecuencia

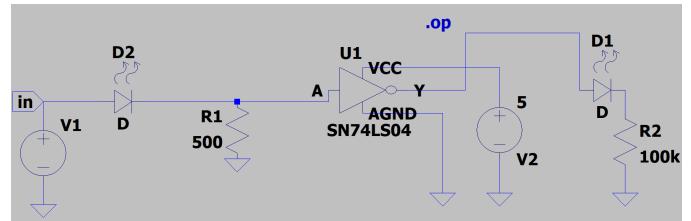
Como parte del análisis para caracterizar en mayor profundidad ambos ICs, realizamos diferentes simulaciones de su funcionamiento variando la frecuencia de entrada, desde frecuencias en el orden de KHz hasta los GHz pero no observamos ningún cambio en su comportamiento ni en la señal de salida. Creemos que los modelos spice usados carecen de la información necesaria para simular los efectos que tendrían esas variaciones de frecuencia.

### II-D. Simulación de Potencia

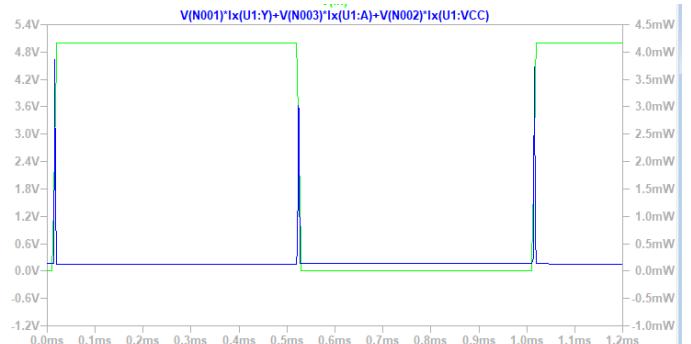
Usando LTspice diseñamos un par de circuitos que sirven para visualizar el funcionamiento básico de ambos ICs. Comparamos la señal de voltaje de entrada que era cuadrada de 5V a 1KHz con la potencia disipada por la compuerta.

#### TTL 74LS04

Circuito para simular funcionamiento y potencia:



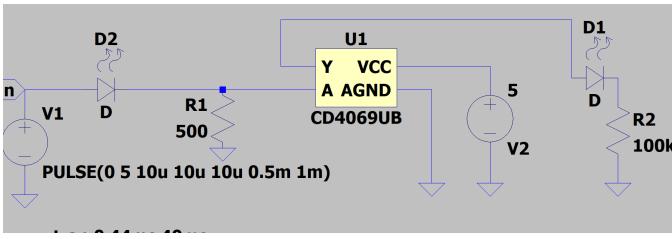
En verde la señal de entrada y en azul la potencia:



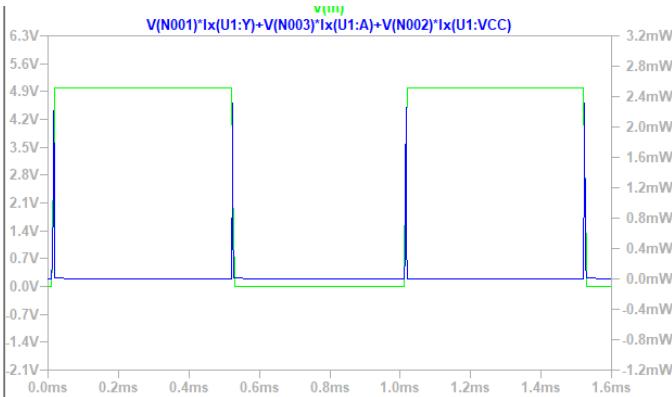
Se observa que la potencia consumida es muy baja a excepción de unos picos que ocurren justo cuando la señal de entrada cambia de valor, es decir, cuando hay conmutación. El valor de la potencia en los valles es de  $132,81\mu W$  y en los picos alcanza un valor de  $3,72mW$ , los picos tienen una duración aproximada de  $8\mu s$  y la potencia promedio tuvo un valor de  $146,94\mu W$ .

#### CMOS CD4069

Realizamos una simulación similar con el CD4069, usando señal cuadrada de 5V a 1KHz y voltaje de alimentación de 5V.



En verde la señal de entrada y en azul la potencia:



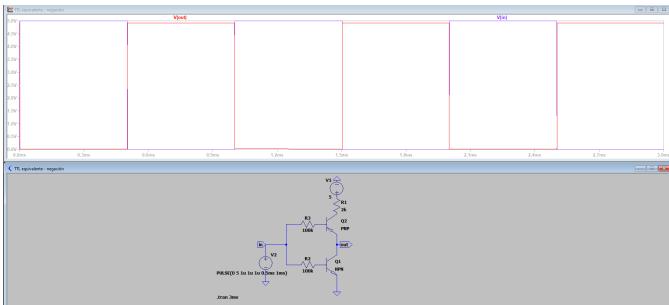
Observamos un comportamiento de consumo similar al del 74LS04, donde hay un valor muy bajo en la mayor parte del ciclo y después unos picos en los momentos de cambio de estado en la entrada (conmutación). El valor de la potencia en los valles es de  $1,63\mu W$  y en los picos alcanza un valor de  $2,21mW$ , los picos tienen una duración aproximada de  $7,6\mu s$  y la potencia promedio tuvo un valor de  $32,74\mu W$ .

Cuando comparamos el valor de potencia disipada por ambos ICs en las simulaciones realizadas, se evidencia una eficiencia mucho mayor en el CD4069. Comparando las potencias promedio, la del CD4069 fue un 77.72 % menor.

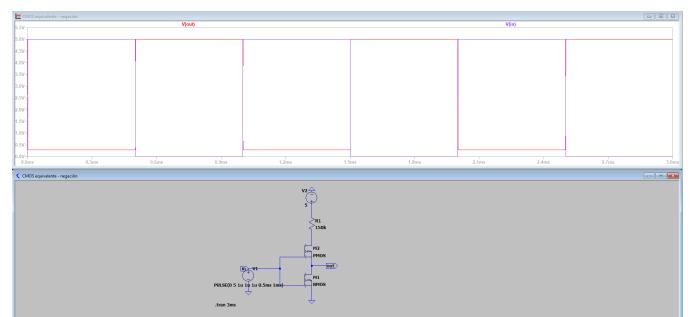
### III. SIMULACIONES Y DISEÑOS

#### III-A. Equivalentes inversores TTL y CMOS.

A continuación se presenta el equivalente de la compuerta inversora utilizando dos transistores *BJT*, uno pnp y otro npn. Para este caso, cuando se presenta un 0 lógico, la transistor npn no conduce porque no hay corriente por la base provocando un circuito abierto, por lo que se toma como salida los 5v de la alimentación (mirando las tensiones desde el camino de  $v_{out}$  hasta la tierra por la alimentación).

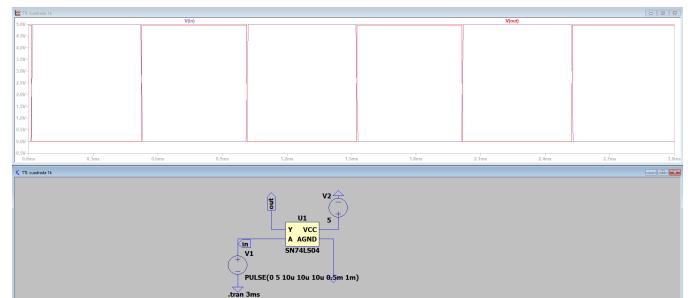


En el caso del equivalente CMOS, cuando entra un 1 lógico al sistema, la tensión  $V_{GS}$  es mayor que el umbral y por tanto el transistor conduce. Además, por el hecho de que la resistencia que se encuentra entre el lazo que comprende los dos transistores sea muy alta, produce el efecto que la tensión  $V_{DS}$  se aproxime a 0 ya que en la recta de carga el transistor estaría polarizado lo más cercano a la zona de corte. Por otro lado, cuando se tiene un 0 lógico, el transistor de tipo N no creará su canal por lo que se tendrá un circuito abierto y la salida la tomará de la alimentación (mirando la suma de tensiones desde  $V_{out}$  hasta  $V_{DD}$ ).

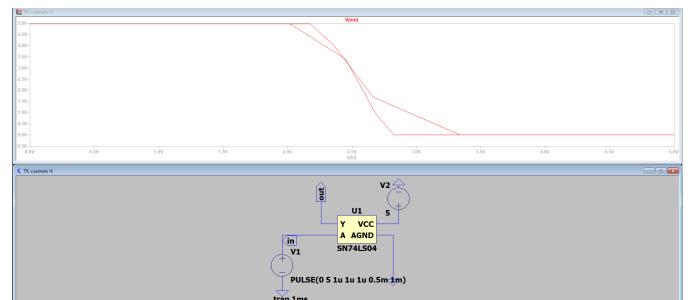


#### III-B. $V_{in}$ - señal cuadrada a 1KHz - TTL

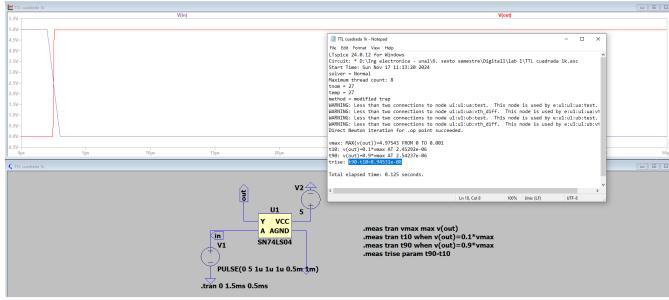
Al aplicar una señal cuadrada al modelo spice, se obtiene la siguiente simulación en la que se puede comprobar su funcionamiento:



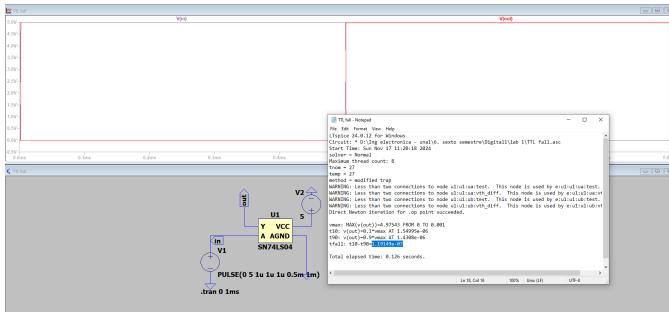
A partir de la función de transferencia, se puede notar que hasta una entrada de 2V, la compuerta interpreta la entrada como un 0 lógico. Por otro lado, desde 3,4v la entrada se entiende como un 1 lógico, y entre el rango de  $2v < V_{in} < 3,4V$  la salida es indeterminada. Por lo anterior se puede determinar del modelo *spice* que  $V_{IL} = 2V$  y  $V_{IH} = 3,4V$ . Además, en términos de la señal de salida, se entiende que el 1 lógico es representado como  $V_{OH} \approx 5V$  y el 0 lógico  $V_{OH} \approx 0V$ .



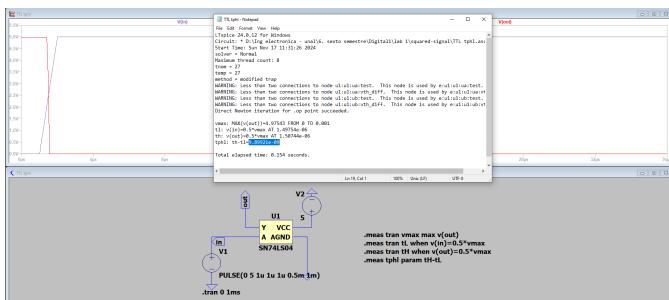
Para medir el tiempo de subida *rise time*  $t_r$ , se implementó un código en spice que midió el tiempo que le tomó a la señal de salida cambiar su magnitud del 10% al 90% del valor pico ante el cambio del valor de la entrada por un 0 lógico. Se obtuvo que  $t_r \approx 89,4nS$ .



En el caso del tiempo de bajada *fall time*  $t_f$ , se midió el tiempo que le tomó a la señal de salida cambiar su amplitud del 90% al 10% del valor pico ante el cambio del valor de la entrada por un 1 lógico. Se observó que  $t_f \approx 11,9\mu S$ . Considerando el resultado anterior, a la salida le toma más tiempo bajar que subir.

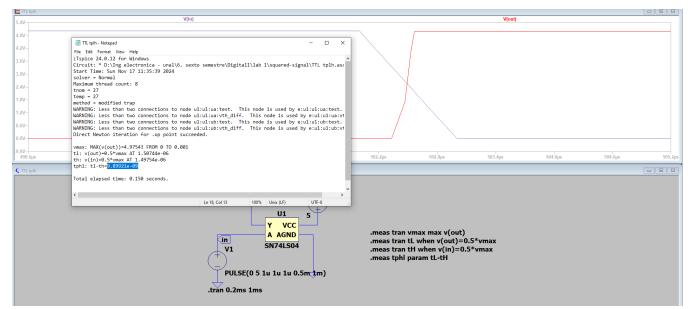


Para medir el tiempo que le toma de pasar a la salida de un estado *High* a *Low* ante un cambio de la entrada, se tomó el tiempo en el que la entrada pasa por la mitad del valor pico hasta que la señal de salida también lo haga, pero en este caso la salida está bajando y la entrada subiendo. En la imagen se puede notar que  $t_{PHL} \approx 9,9nS$ .

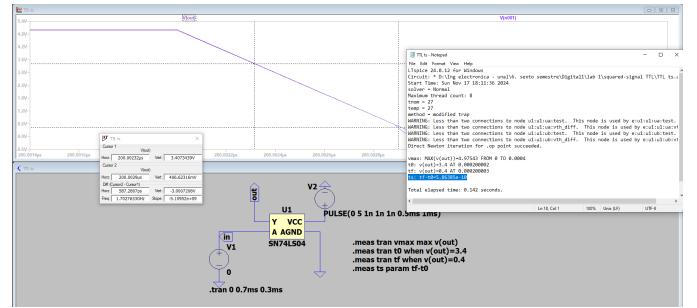


Por otro lado, en el caso del tiempo que le toma de pasar a la salida de un estado *Low* a *High* por un cambio de la entrada, se tomó el tiempo en el que la entrada pasa por la mitad del valor pico hasta que la señal de salida también lo haga, pero

en este caso la salida está subiendo y la entrada bajando. En la imagen se puede notar que  $t_{PLH} \approx 9,9nS$ .

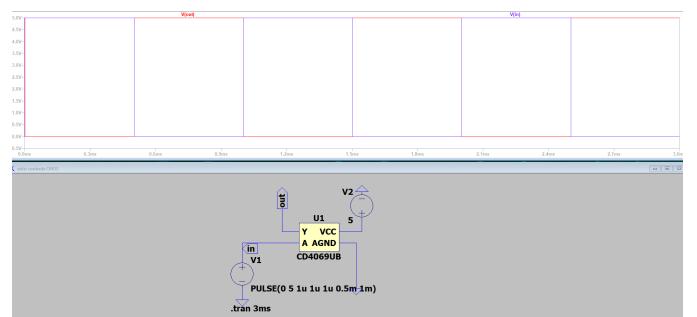


Finalmente para el tiempo de almacenamiento, sólo es posible medirlo con una entrada en *Low*, ya que si se tiene un *High*, cuando se detenga el suministro de alimentación la salida seguirá siendo *Low*. Es por lo anterior que para tomar este tiempo, se colocó una entrada *Low* constante y se apagó la alimentación, en la siguiente imagen se puede notar un tiempo de  $0,586nS$  que le toma cambiar de estado la salida desde  $3,4V$  hasta  $0,4V$ . Estos valores se tomaron considerando los datos del datasheet.



### III-C. $V_{in}$ - señal cuadrada a 1KHz - CMOS

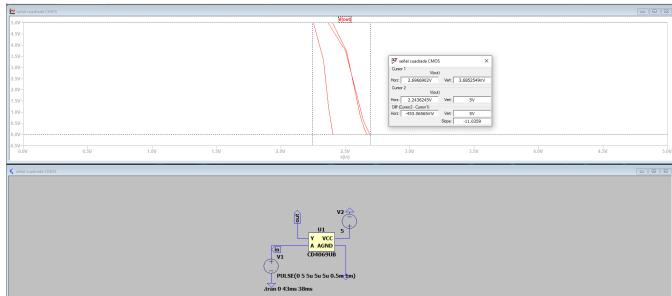
Con una señal de entrada cuadrada como entrada de la compuerta *CMOS*, se obtiene el siguiente comportamiento de  $V_{in}$  vs  $V_{out}$ :



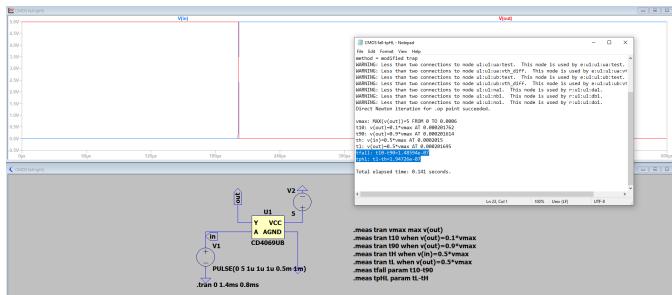
Como se puede observar, el comportamiento es verocímil con la función de una compuerta negadora, con la diferencia de que en la señal de salida hay una pequeña pérdida de tensión con respecto a la alimentación, a diferencia del circuito TTL.

A continuación se muestra la función de transferencia del mismo integrado CMOS. De esta gráfica se deduce que el 0

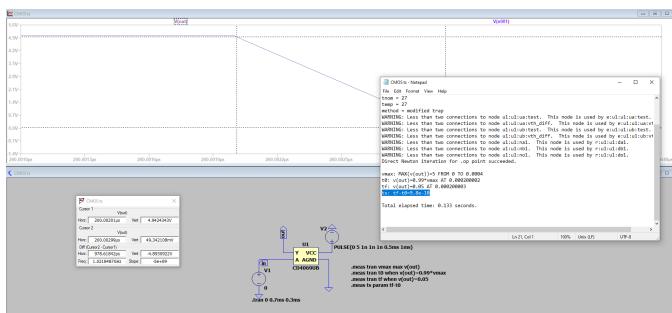
lógico para esta referencia está en el rango [0 - 2.2] V, mientras que el 1 lógico está en el rango [2.7 - 5] V.



La siguiente simulación muestra el tiempo de caída de la señal, que es de  $1.4 \times 10^{-7}$  s y el tiempo de propagación *HIGH to LOW* (tiempo de respuesta), que es de  $1.94 \times 10^{-7}$  s.

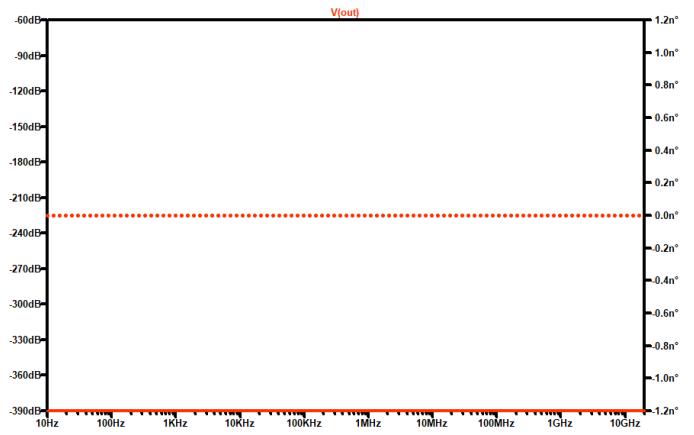


En la siguiente simulación se presenta el tiempo de almacenamiento de la señal para esta compuerta, que es de  $9.8 \times 10^{-10}$  s.

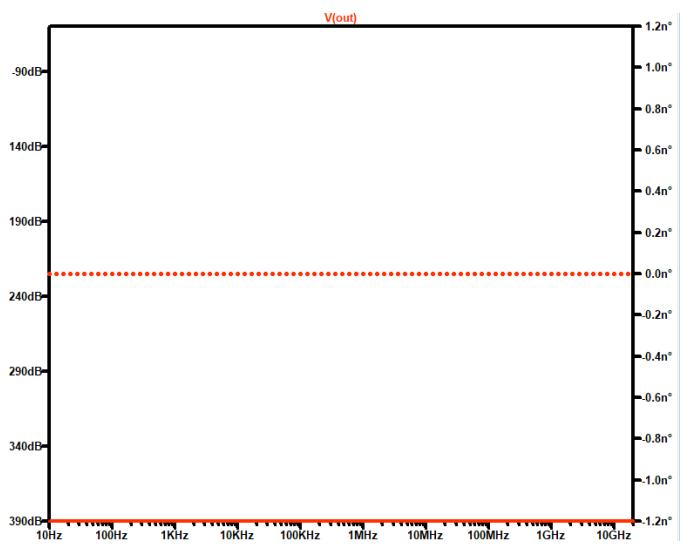


### III-D. Análisis de frecuencia

Al simular el diagrama de Bode de la compuerta tipo CMOS, se puede observar que no hay limitación en cuanto a la frecuencia de la señal de entrada. Este comportamiento se explica por los parámetros del modelo en LTspice. A continuación se muestra el diagrama de Bode.

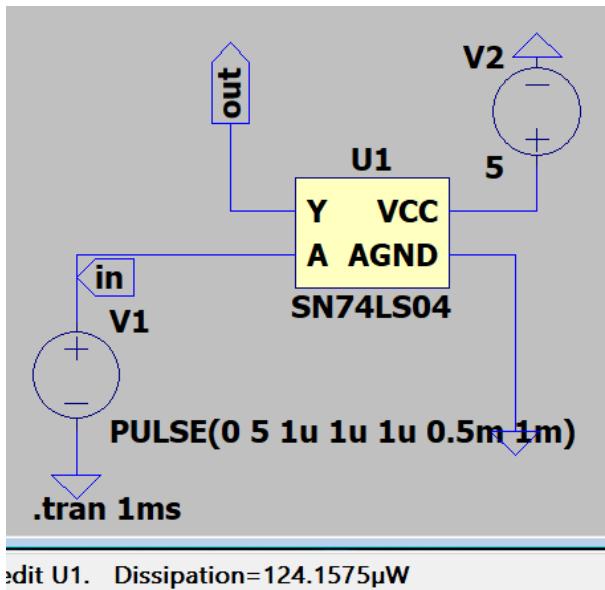


En la siguiente figura se muestra el diagrama de Bode para el integrado TTL. Como en el caso anterior, este comportamiento se explica por el modelo usado en LTspice, y no representa el comportamiento en la realidad del dispositivo.

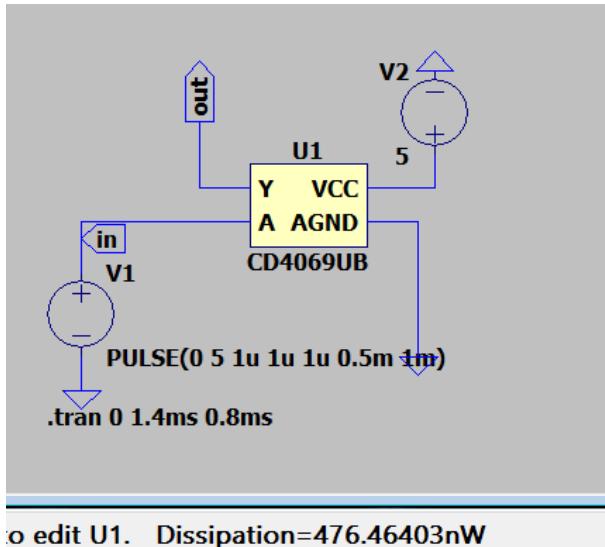


### III-E. Disipación de potencia

En las siguientes simulaciones se observa que el inversor TTL consume  $124,15\mu W$ , este valor es más alto que el de la familia CMOS que fue de  $476,46nW$ . Lo anterior, se puede explicar porque los transistores de tipo CMOs no piden corriente en su conexión *Gate* en comparación la familia BJT.



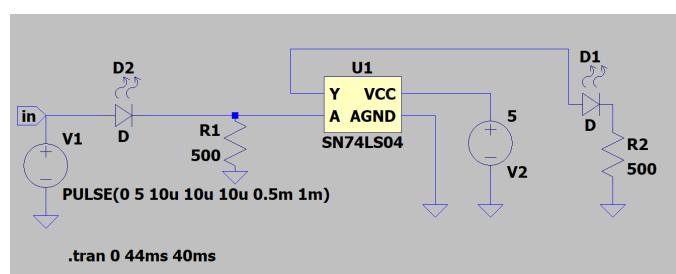
**edit U1. Dissipation=124.1575 $\mu$ W**



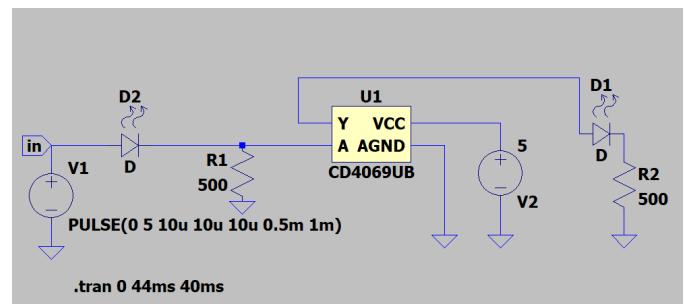
**edit U1. Dissipation=476.46403nW**

### III-F. Diseño de circuito para mostrar funcionamiento - CMOS y TTL

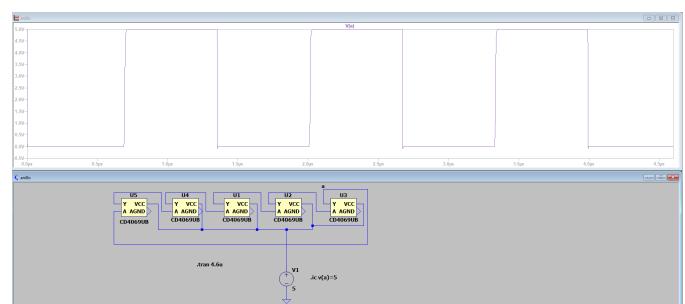
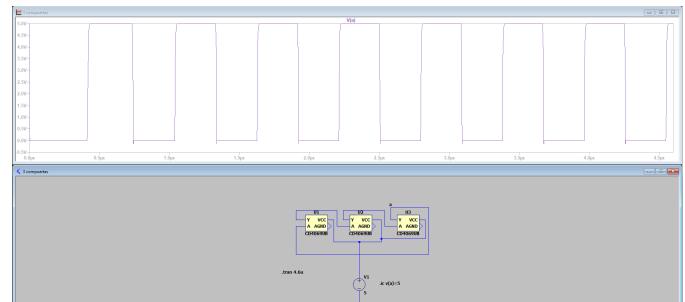
El siguiente circuito puede ser usado para visualizar el funcionamiento de la compuerta negadora, debido a que cuando el primer LED está encendido el segundo está apagado, y viceversa.



El circuito equivalente para CMOS es análogo a este, con la única diferencia de que la tensión de salida es mayor para el CMOS y por tanto la intensidad de la luz.



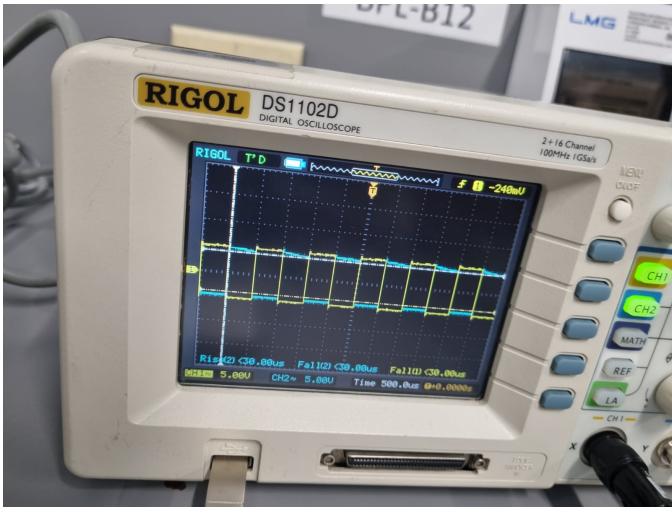
### III-G. Anillo con 3 y 5 compuertas



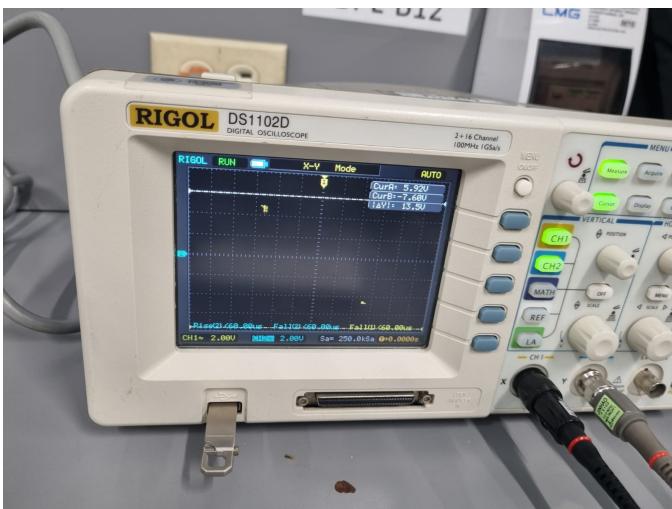
## IV. DESARROLLO DE LA PRÁCTICA Y ANÁLISIS

### IV-A. Análisis de características de TTL

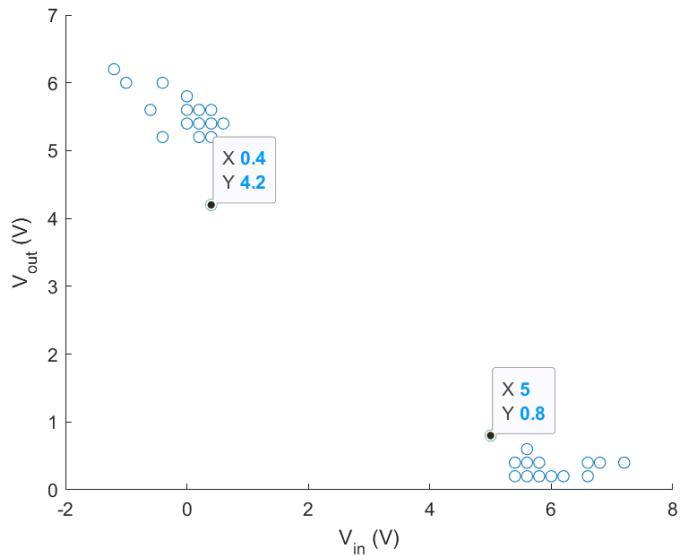
En el laboratorio, se configuró una señal cuadrada a 1KHz como entrada para el inversor. En la siguiente imagen se aprecia el resultado del correcto funcionamiento de la compuerta.



En cuanto a la función de transferencia, no fue posible obtener una gráfica como la que fue expuesta en la simulación. En el osciloscopio se obtuvo la siguiente gráfica.

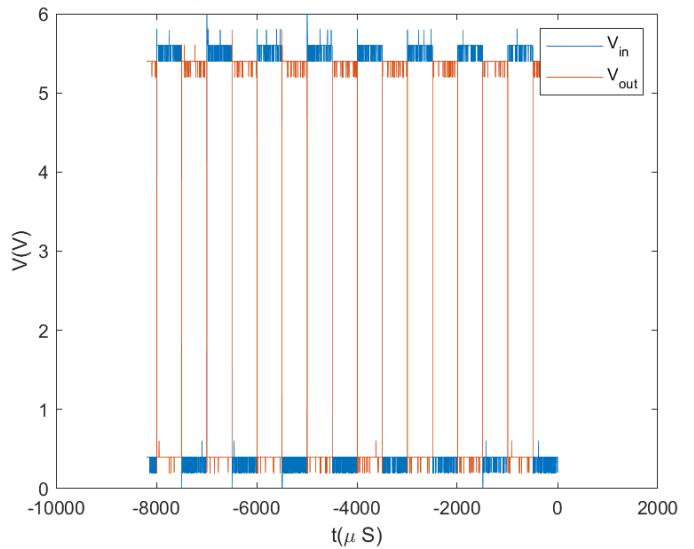


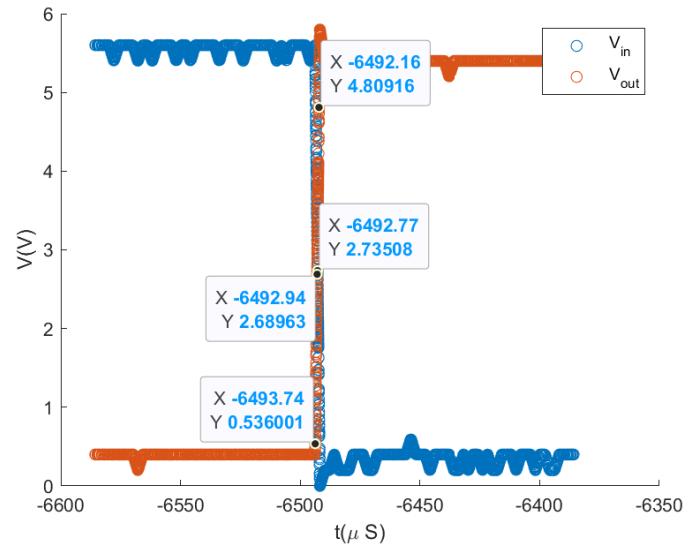
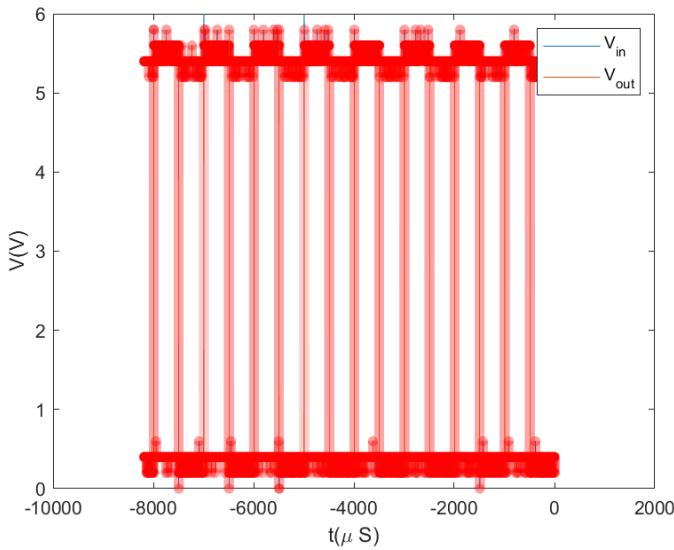
Lo anterior se puede deber que la calidad de la señal cuadrada del generador es muy buena dado que tiene tanto un tiempo de caída como de subida muy corto que no logra ser captada por la frecuencia de muestreo del osciloscopio. Además, los tiempos de  $t_{pLH}$  y  $t_{pHL}$  teóricos pueden llegar a ser muy rápidos para la frecuencia de muestreo. Por otro lado, se extrajeron los datos del osciloscopio con una USB y en MATLAB se representaron los datos para verificar la función de transferencia.



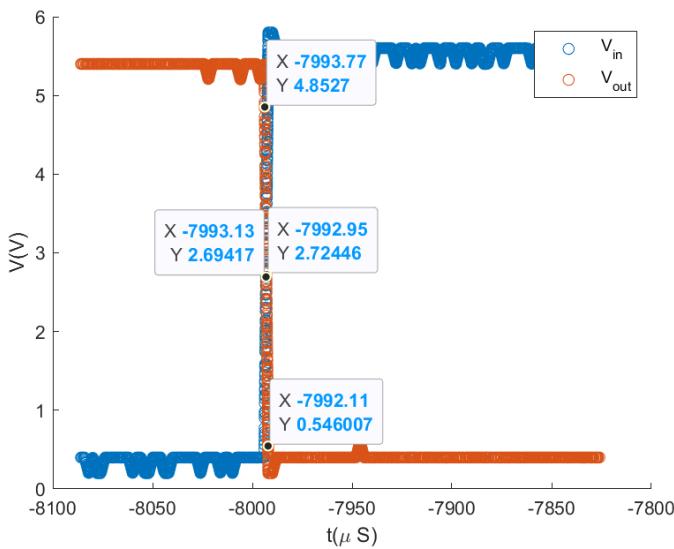
En la anterior figura se evidencia experimentalmente que la compuerta identifica un 0 lógico hasta  $0.4V$  ( $V_{IL} = 0.4V$ ) y un 1 lógico como un valor cercano a  $5V$  ( $V_{IH} \approx 5V$ ). Por otra parte, se observa que  $V_{OL} \approx 0.8V$  y  $V_{OH} \approx 4.2V$ .

En cuanto a los tiempos característicos de la compuerta no es posible calcularlos computacionalmente ya que la frecuencia de muestreo del osciloscopio no es lo suficientemente alta para medir tiempos entre los cambios de estado. Esto puede comprobarse en las dos siguientes figuras dónde se puede ver que no se registró ningún dato entre los cambios.





Sin embargo, con algoritmos de reconstrucción de señales como la interpolación fue posible agregar más puntos. En la siguiente imagen se pueden identificar el tiempo de bajada y el tiempo de cambio de *High* a *Low*.

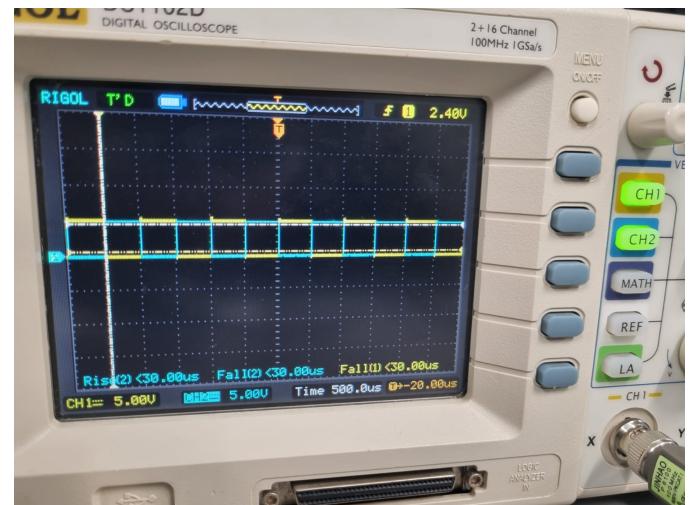


Como se puede observar en la anterior imagen el tiempo de bajada  $t_f$  es de  $1.66\mu S$ , y el tiempo de  $t_{pHL}$  es de  $0.18\mu s$ .

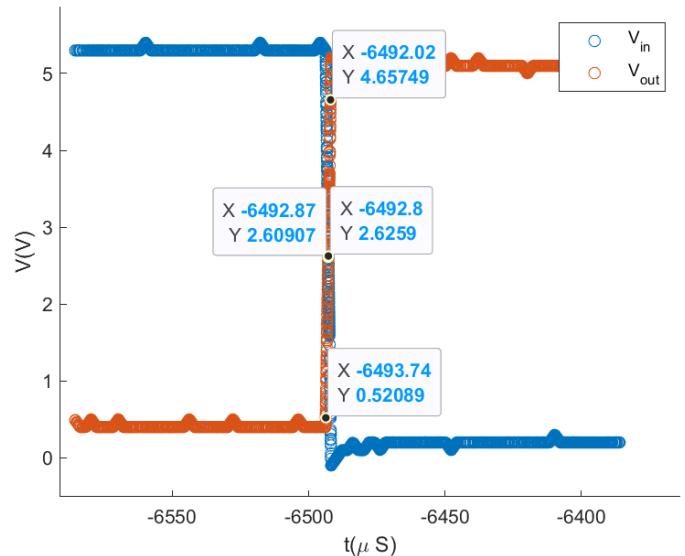
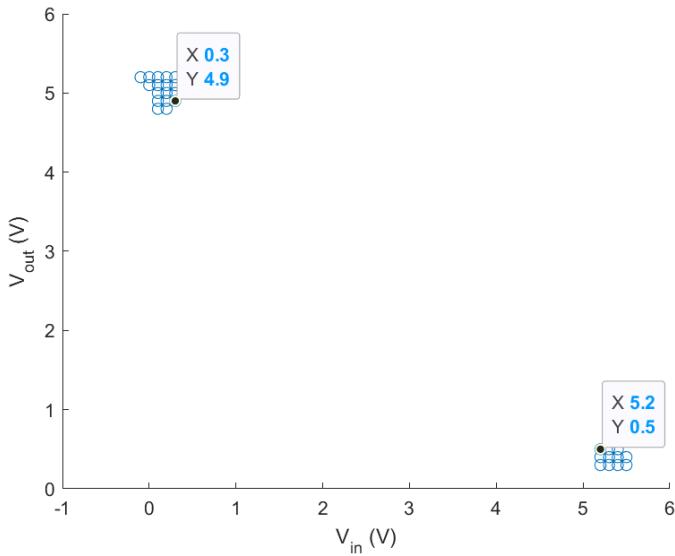
Se puede notar en la anterior imagen el tiempo de subida  $t_r = 1.58\mu S$  y  $t_{pLH}$  es de  $0.17\mu S$ .

#### IV-B. Análisis de características de TTL

Siguiendo el mismo procedimiento realizado con el inversor de tecnología *CMOS*, se implementó una señal cuadrática a  $1KHz$ . En la siguiente imagen se puede comprobar el correcto funcionamiento de la inversión de la señal de entrada.



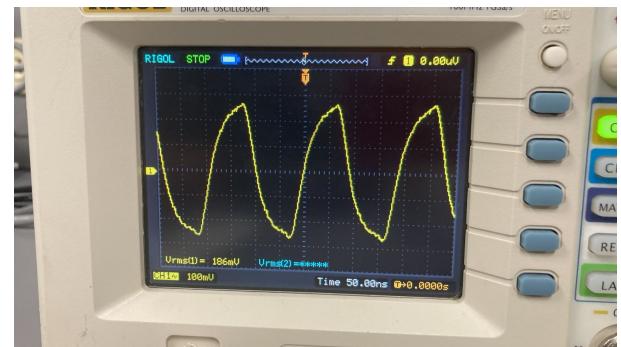
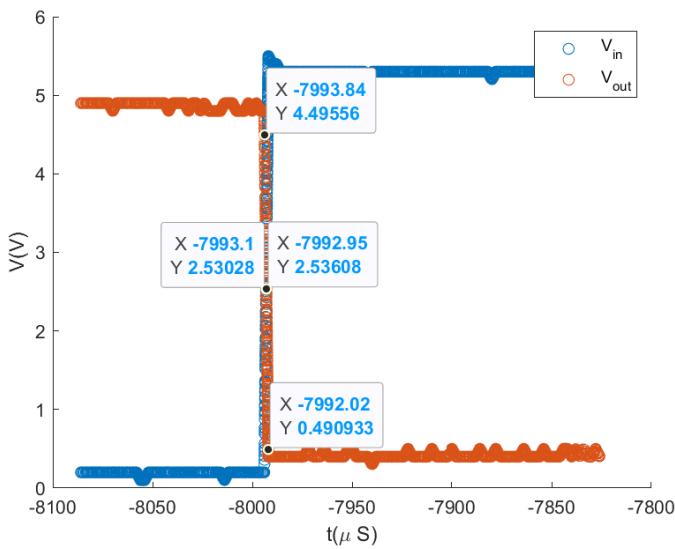
Gratificando los datos obtenidos en el osciloscopio en *MATLAB*, se puede observar en la función de transferencia que  $V_{IH} \approx 5V$ ,  $V_{IL} \approx 0,3V$ ,  $V_{OH} \approx 4,9V$  y  $V_{OL} \approx 0,5V$ . Aunque, se debe tener en cuenta que debido a la frecuencia de muestreo del osciloscopio no se puede llegar a medir con exactitud estos valores.



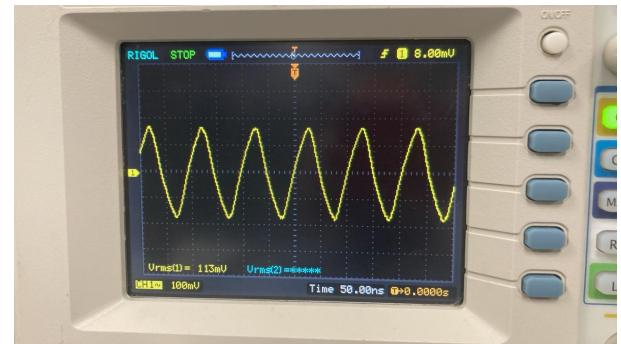
Como se puede observar en la anterior imagen el tiempo de bajada  $t_f = 1.66\mu s$  y el  $t_{pHL} = 0.07\mu s$ .

#### IV-C. Anillos de 3 y 5 compuertas

A continuación se muestra la señal de salida para el anillo de 5 compuertas del CMOS.



A continuación se presenta el caso para 3 compuertas. la frecuencia de oscilación aumenta con respecto a la configuración de 5 compuertas.

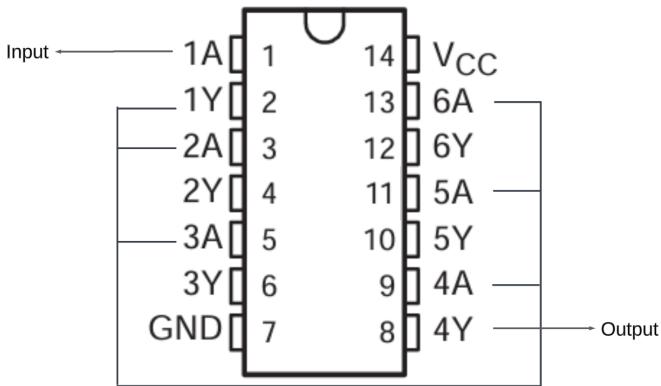


Como se puede observar, la frecuencia de oscilación aumenta con respecto a la configuración de 5 compuertas. Este comportamiento se explica porque al haber más etapas, el tiempo de retardo de propagación aumenta.

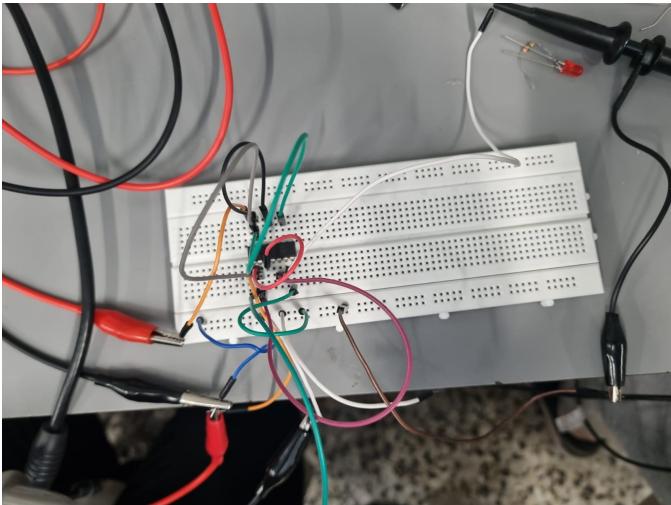
Con base en la anterior figura, se obtiene un tiempo de bajada  $t_f = 1.82 \mu s$ , y el  $t_{pLH} = 0.15 \mu s$ .

#### IV-D. $FAN_{OUT}$ y $FAN_{in}$ de TTL

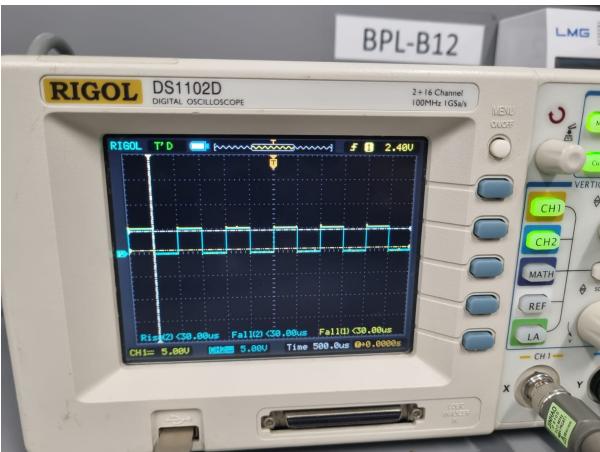
Para hallar una aproximación del  $FAN_{OUT}$  se conectó a la salida de una puerta 5 entradas de otras compuertas negadoras (las restantes en el integrado), tal y como se muestra en la siguiente imagen.



A continuación se presenta el montaje realizado.

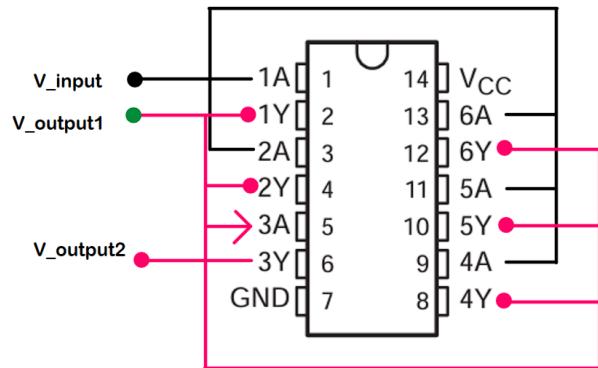


La siguiente imagen muestra la señal de entrada (la de la primera compuerta) y la señal de salida para una de las compuertas secundarias.

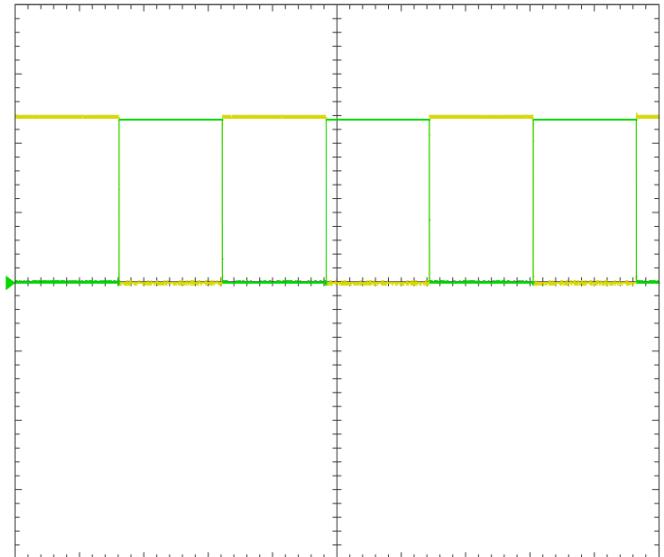


Como son dos compuertas negadoras en serie, los resultados son coherentes y se concluye que el este integrado TTL tiene un  $FAN_{OUT}$  de de 5 o más.

En el caso del FAN\_IN, para aproximar este valor se conectó la señal a la entrada de 5 compuertas y estas salieron a su vez se conectaron a la entrada de otra compuerta. Las señales medidas fueron la salida de esta última compuerta y la salida de las 5 primera compuertas. El siguiente diagrama ejemplifica el procedimiento realizado.

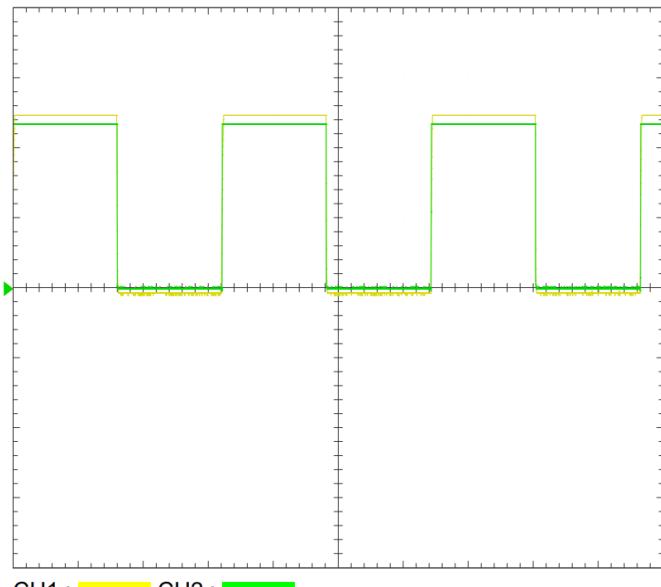


La salida de las 5 primeras compuertas ( $V_{output1}$ ) y de la señal de entrada se muestran a continuación.



Esta salida es verosímil puesto que estas son compuertas negadoras.

La siguiente imagen muestra la salida de la última compuerta ( $V_{output2}$ ) y la señal de entrada.



CH1 : CH2 :

CH1 : 2.00V DC x1 Invert Off 500.0us  
CH2 : 2.00V DC x1 Invert Off 500.0us

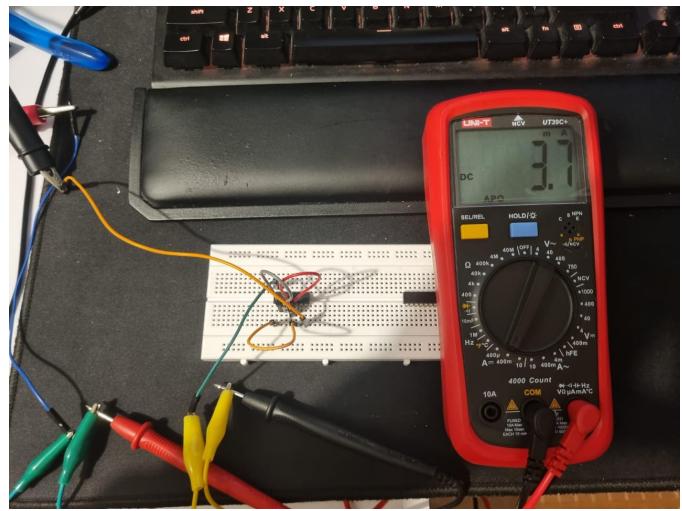
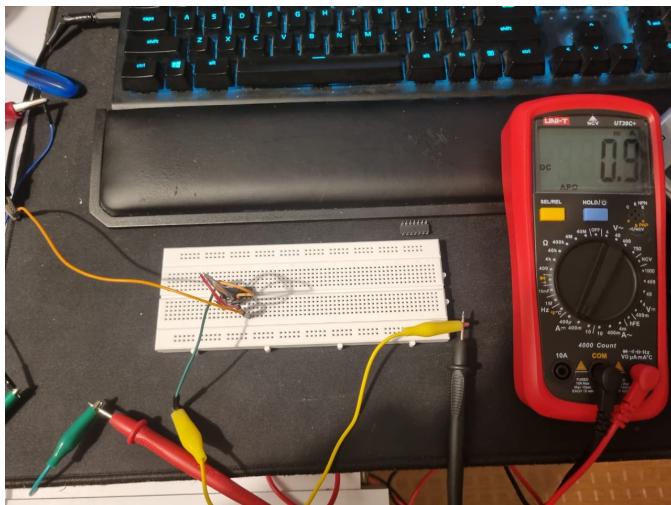
Debido a que la compuerta se comporta según lo esperado, se concluye que el FAN\_OUT es de 5 o más.

## V. POTENCIA DISIPADA

A continuación se muestra los resultados registrados de corriente, tensión y potencia para las dos compuertas.

	Corriente (mA)	Potencia (mW)
CMOS	0,9	4,5
TTL	3,7	18,5

Como se puede observar en la tabla, la compuerta tipo CMOS consume una potencia considerablemente menor a la del TTL. Estos resultados se tomaron tomando la corriente del proveniente de la fuente de tensión con el montaje del anillo con 3 compuertas como se muestra a continuación.



## VI. CONCLUSIONES

- Se logró observar de manera teórica y corroborada con la práctica las diferencias más importantes entre las familias lógicas TTL y CMOS. El TTL muestra una mayor velocidad en su operación, debido a tiempos de carga y descarga más cortos que el CMOS, pero una mayor corriente de conmutación lo que se traduce en un mayor consumo de potencia. Por su parte, el CMOS es más lento pero tiene una corriente de conmutación mucho menor lo que lo hace más eficiente. Aunque los dos circuitos integrados tuvieron un funcionamiento casi que idéntico, sus diferencias en características hacen que se puedan enfocar en tipos de aplicaciones diferentes.
- Los tiempos de bajada y subida obtenidos experimentalmente en la tecnología CMOS fueron menores que en TTL. Sin embargo, dicha diferencia no fue significativa para las referencias utilizadas. Por otro lado, para dispositivos creados con procesos de fabricación más sofisticados que los usados comercialmente, dichas diferencias podrían llegar a aumentar considerablemente.
- Al tratar de obtener el valor del FAN-IN Y FAN-OUT del TTL, no fue posible llegar a obtener condiciones límites de operaciones, pues las compuertas se limitaban a 5. Esto deja un rango de especulación muy grande sobre los posibles valores de estos parámetros. Adicionalmente, en el caso del CMOS no fue posible tratar de realizar este procedimiento, puesto que los valores comerciales normales oscilan alrededor de 50.