

Módulos DAC Y ADC

Tarea 03

Aldo Alejandro Vargas Meza

22/09/2017



Un convertidor analógico digital (ADC) es un dispositivo que convierte una cantidad física continua (generalmente voltaje) a un número digital que representan la amplitud de dicha cantidad. La conversión implica una cuantización de la entrada por lo que se produce un pequeño error al realizar la conversión.

La salida digital que produce un módulo ADC es generalmente un número binario en complemento a 2 el cual es proporcional a la entrada.

La resolución del convertidor ADC indica la cantidad de valores discretos que puede producir para representar el rango analógico de interés. Por ejemplo, una ADC de 8bits puede representar 256 niveles de una señal analógica.

Para la KL25Z El módulo ADC trabaja con un algoritmo de aproximación con hasta 16 bits de resolución, los modos de salidas pueden ser diferenciales o con un final único, comparación automática con una interrupción, sensor de temperatura, modo de auto calibración.

Soporta hasta 4 pares de entradas diferenciales, cada una con dos entradas, además de requerir alimentación.

- **DADP3–DADP0 Differential Analog Channel Inputs I**
- **DADM3–DADM0 Differential Analog Channel Inputs I**
- **ADn Single-Ended Analog Channel Inputs I**
- **VREFSH Voltage Reference Select High I**
- **VREFSL Voltage Reference Select Low I**
- **VDDA Analog Power Supply I**
- **VSSA Analog Ground I**

Para el funcionamiento, se puede configurar el módulo para aceptar dos tipos de señales como referencias de voltaje, puede ser VREFSH O VREFSL. A continuación el diagrama a bloques del modulo ADC

Registros

Analog Power (V_{DDA})

La porción analógica del ADC usa este registro como alimentación. Si hay una salida externa, se debe filtrar para obtener buenos resultados.

Analog Ground (V_{SSA})

La porción analógica del ADC usa este registro como referencia de voltaje. Si hay una salida externa, se debe filtrar para obtener buenos resultados.

Voltage Reference Select

VREFSH y VREFSL son las referencias altas y bajas del módulo ADC. Este registro puede ser configurado para aceptar uno de los dos voltajes.

Analog Channel Inputs (ADx)

Entradas del ADC.

Differential Analog Channel Inputs (DADx)

Registros para entradas diferenciales.

Register definition

ADC memory map

Absolute address (hex)	Register name	Width (in bits)	Access	Reset value	Section/ page
4003_B000	ADC Status and Control Registers 1 (ADC0_SC1A)	32	R/W	0000_001Fh	28.3.1/462
4003_B004	ADC Status and Control Registers 1 (ADC0_SC1B)	32	R/W	0000_001Fh	28.3.1/462
4003_B008	ADC Configuration Register 1 (ADC0_CFG1)	32	R/W	0000_0000h	28.3.2/465
4003_B00C	ADC Configuration Register 2 (ADC0_CFG2)	32	R/W	0000_0000h	28.3.3/467
4003_B010	ADC Data Result Register (ADC0_RA)	32	R	0000_0000h	28.3.4/468
4003_B014	ADC Data Result Register (ADC0_RB)	32	R	0000_0000h	28.3.4/468
4003_B018	Compare Value Registers (ADC0_CV1)	32	R/W	0000_0000h	28.3.5/469
4003_B01C	Compare Value Registers (ADC0_CV2)	32	R/W	0000_0000h	28.3.5/469

ADC memory map (continued)

Absolute address (hex)	Register name	Width (in bits)	Access	Reset value	Section/ page
4003_B020	Status and Control Register 2 (ADC0_SC2)	32	R/W	0000_0000h	28.3.6/470
4003_B024	Status and Control Register 3 (ADC0_SC3)	32	R/W	0000_0000h	28.3.7/472
4003_B028	ADC Offset Correction Register (ADC0_OFS)	32	R/W	0000_0004h	28.3.8/474
4003_B02C	ADC Plus-Side Gain Register (ADC0_PG)	32	R/W	0000_8200h	28.3.9/474
4003_B030	ADC Minus-Side Gain Register (ADC0_MG)	32	R/W	0000_8200h	28.3.10/475
4003_B034	ADC Plus-Side General Calibration Value Register (ADC0_CLPD)	32	R/W	0000_000Ah	28.3.11/475
4003_B038	ADC Plus-Side General Calibration Value Register (ADC0_CLPS)	32	R/W	0000_0020h	28.3.12/476
4003_B03C	ADC Plus-Side General Calibration Value Register (ADC0_CLP4)	32	R/W	0000_0200h	28.3.13/476
4003_B040	ADC Plus-Side General Calibration Value Register (ADC0_CLP3)	32	R/W	0000_0100h	28.3.14/477
4003_B044	ADC Plus-Side General Calibration Value Register (ADC0_CLP2)	32	R/W	0000_0080h	28.3.15/477
4003_B048	ADC Plus-Side General Calibration Value Register (ADC0_CLP1)	32	R/W	0000_0040h	28.3.16/478
4003_B04C	ADC Plus-Side General Calibration Value Register (ADC0_CLP0)	32	R/W	0000_0020h	28.3.17/478
4003_B054	ADC Minus-Side General Calibration Value Register (ADC0_CLMD)	32	R/W	0000_000Ah	28.3.18/479
4003_B058	ADC Minus-Side General Calibration Value Register (ADC0_CLMS)	32	R/W	0000_0020h	28.3.19/479
4003_B05C	ADC Minus-Side General Calibration Value Register (ADC0_CLM4)	32	R/W	0000_0200h	28.3.20/480
4003_B060	ADC Minus-Side General Calibration Value Register (ADC0_CLM3)	32	R/W	0000_0100h	28.3.21/480
4003_B064	ADC Minus-Side General Calibration Value Register (ADC0_CLM2)	32	R/W	0000_0080h	28.3.22/481
4003_B068	ADC Minus-Side General Calibration Value Register (ADC0_CLM1)	32	R/W	0000_0040h	28.3.23/481
4003_B06C	ADC Minus-Side General Calibration Value Register (ADC0_CLM0)	32	R/W	0000_0020h	28.3.24/482

ADC Status and Control Registers 1 (ADCx_SC1n)

SC1A se utiliza tanto para el software como para los modos de funcionamiento del hardware. Para permitir que las conversiones secuenciales del ADC sean activadas por periféricos internos, ADC puede tener más de un registro de estado y control: uno para cada conversión.

ADC Configuration Register 1 (ADCx_CFG1)

El registro de configuración 1 (CFG1) selecciona el modo de operación, la fuente de reloj, la división de reloj y la configuración para un tiempo de muestreo de baja potencia o largo.

ADC Configuration Register 2 (ADCx_CFG2)

El registro de configuración 2 (CFG2) selecciona la configuración especial de alta

velocidad para conversiones a muy alta velocidad y selecciona la duración del tiempo de muestreo largo durante el modo de muestreo largo.

ADC Data Result Register (ADCx_Rn)

Los registros de resultados de datos (Rn) contienen el resultado de una conversión ADC del canal seleccionado por el correspondiente registro de control de estado y canal (SC1A: SC1n). Para cada registro de control de estado y canal, hay un registro de resultados de datos correspondiente.

Compare Value Registers (ADCx_CVn)

Los registros de valor de comparación (CV1 y CV2) contienen un valor de comparación utilizado para comparar el resultado de conversión cuando la función de comparación está habilitada, es decir, SC2 [ACFE] = 1.

Status and Control Register 2 (ADCx_SC2)

El registro de estado y control 2 (SC2) contiene la conversión activa, selección de activación de hardware / software, función de comparación y selección de referencia de tensión del módulo ADC.

Status and Control Register 3 (ADCx_SC3)

El registro de estado y control 3 (SC3) controla las funciones de calibración, conversión continua y premeditación de hardware del módulo ADC.

ADC Offset Correction Register (ADCx_OFS)

El registro de corrección de compensación de ADC (OFS) contiene el valor de corrección de error de offset generado por el usuario o calibrado. Este registro es un complemento de 2, justificado a la izquierda, valor de 16 bits.

ADC Plus-Side Gain Register (ADCx_PG)

El registro de ganancia de lado positivo (PG) contiene la corrección de error de ganancia para la entrada de lado positivo en modo diferencial o la conversión general en modo de terminal único

ADC Minus-Side Gain Register (ADCx_MG)

El registro de ganancia de lado negativo (MG) contiene la corrección de error de ganancia para la entrada de lado negativo en modo diferencial. Este registro se ignora en el modo de un solo final.

ADC Plus-Side General Calibration Value Register (ADCx_CLPD)

Los registros de valor de calibración general de lado positivo (CLPx) contienen información de calibración que se genera mediante la función de calibración

DAC

"Es un módulo de 12 bits que puede ser como salida un pin externo o como entrada configurada para un comparador análogo, adc u otro periférico.

El DAC tiene registros para controlar los comparadores analógicos y los divisores de voltaje programables para ajustar las funciones digital-analógicas.

Los registros de memoria están ubicados en la memoria con dirección absoluta 40003_F000 hasta 4003_F023.

El DAC selecciona una de las dos posibles referencias DACREF_1 Y DACREF_2 como referencia de voltaje. Cuando el DAC se activa convierte los datos en DACDAT[] por los datos del buffer del DAC. La salida es un rango de voltajes desde V_{in} hasta $V_{in}/4096$. En pasos de $V_{in}/4096$.

El modulo activa transferencias de datos mas rapidos, sin la necesidad de la interacción del procesador

Cada registro tiene una fuente de dirección como registro (SARn), un registro con la dirección de destino (DARn), un registro con el estado actual (DSRn), un registro para un contador(BCRn) y un registro de control(DCRn).

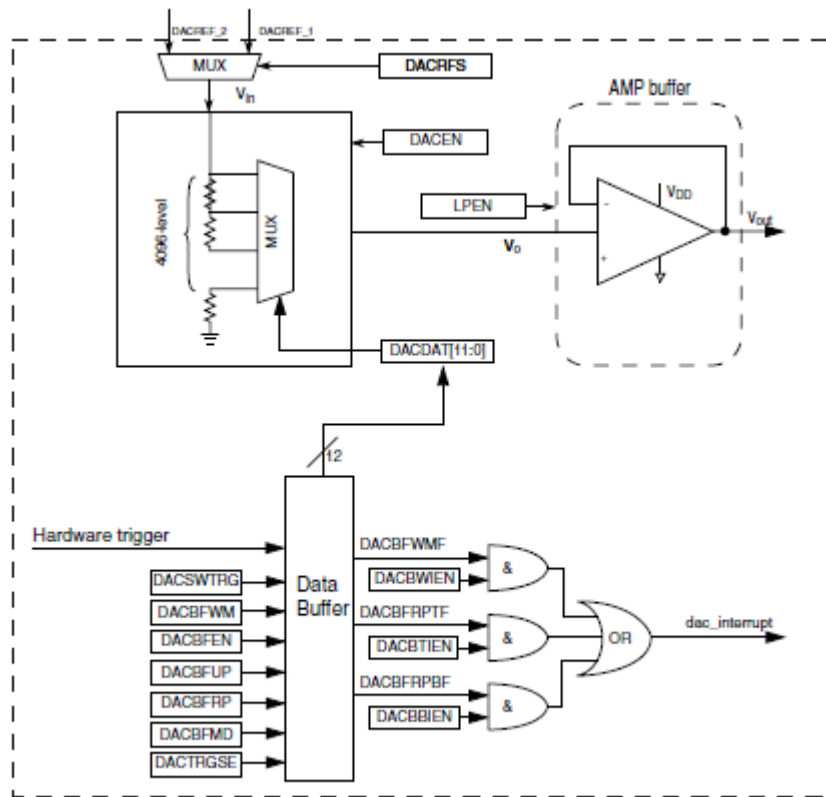


Figure 30-1. DAC block diagram

Los registros de memoria están distribuidos de la siguiente manera:

DAC memory map

Absolute address (hex)	Register name	Width (in bits)	Access	Reset value	Section/ page
4003_F000	DAC Data Low Register (DAC0_DAT0L)	8	R/W	00h	30.4.1/539
4003_F001	DAC Data High Register (DAC0_DAT0H)	8	R/W	00h	30.4.2/540
4003_F002	DAC Data Low Register (DAC0_DAT1L)	8	R/W	00h	30.4.1/539
4003_F003	DAC Data High Register (DAC0_DAT1H)	8	R/W	00h	30.4.2/540
4003_F020	DAC Status Register (DAC0_SR)	8	R/W	02h	30.4.3/540
4003_F021	DAC Control Register (DAC0_C0)	8	R/W	00h	30.4.4/541
4003_F022	DAC Control Register 1 (DAC0_C1)	8	R/W	00h	30.4.5/542
4003_F023	DAC Control Register 2 (DAC0_C2)	8	R/W	01h	30.4.6/542

Los registros:

DAC Data High Register (DACx_DATnH)

Cuando el DAC Buffer no está habilitado, DATA [11: 0] controla el voltaje de salida basado en la siguiente fórmula. $V_{out} = V_{in} * (1 + DACDAT0 [11: 0]) / 4096$
 Cuando el búfer DAC está habilitado, DATA [11: 0] se asigna al búfer de 16 palabras.

DAC Status Register (DACx_SR)

Si DMA está habilitado, los indicadores pueden ser borrados automáticamente por DMA cuando se realiza la solicitud DMA. Escribir 0 en un campo lo borra mientras que escribir 1 no tiene efecto. Después de restablecer, DACBFRPTF está establecido y puede ser borrado por el software, si es necesario. Los indicadores se establecen sólo cuando se cambia el estado del búfer de datos.

DAC Control Register (DACx_C0)

Bit	7	6	5	4	3	2	1	0
Read	DACEN	DACRFS	DACTRGSEL	0	LPEN	0	DACBTIEN	DACBBIEN
Write				DACSWTRG				
Reset	0	0	0	0	0	0	0	0

DAC Control Register 1 (DACx_C1)

Field	Description
7 DMAEN	DMA Enable Select 0 DMA is disabled. 1 DMA is enabled. When DMA is enabled, the DMA request will be generated by original interrupts. The interrupts will not be presented on this module at the same time.
6–3 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
2 DACBFMD	DAC Buffer Work Mode Select 0 Normal mode 1 One-Time Scan mode
1 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
0 DACBFEN	DAC Buffer Enable 0 Buffer read pointer is disabled. The converted data is always the first word of the buffer. 1 Buffer read pointer is enabled. The converted data is the word that the read pointer points to. It means converted data can be from any word of the buffer.

DAC Control Register 2 (DACx_C2)

Puntero de lectura del búfer de DAC

Mantiene el valor actual del puntero de lectura del búfer.

Functional description

El módulo DAC de 12 bits puede seleccionar una de las dos entradas de referencia-DACREF_1 y DACREF_2 como tensión de referencia DAC, V_{in} por C0 [DACRFS]. Consulte la introducción del módulo para obtener información sobre la fuente de DACREF_1 y DACREF_2. Cuando el DAC está habilitado, convierte los datos en DACDAT0 [11: 0] o los datos del búfer de datos DAC a una tensión de salida analógica escalonada. El rango de voltaje de salida es de V_{in} a $V_{in} / 4096$, y el paso es $V_{in} / 4096$.