

1 Appunti di Tue 21 May 2019 02:48:28 PM CEST

Potenza

- Statica = 0
- Dinamica
→ Cortocircuito
→ Carico

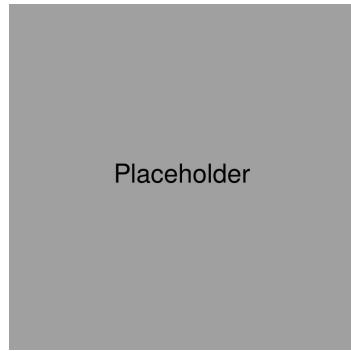


Figure 1: Grafico 1

$$\begin{aligned}
 I_D &= \frac{\beta}{2} \left\{ \frac{t}{t_R} V_{DD} - V_T \right\}^2 \\
 V_i(t) &= \frac{t_1}{t_r} V_{DD} = V_T \rightarrow t_1 = \frac{V_t}{V_{DD}} t_R \\
 V_i(t_5) &= \frac{t_5}{t_R} V_{DD} = \frac{V_{DD}}{2} \rightarrow t_5 = \frac{t_R}{2} \\
 \tilde{P} &= \frac{1}{T} \int_0^T V_{DD} I_D dt = \frac{1}{T} 4 \int_{t_1}^{t_5} V_{DD} \frac{\beta}{2} \left(t \frac{V_{DD}}{t_R} - V_T \right)^2 dt \\
 &= \frac{4}{T} \frac{\beta V_{DD}}{2} \frac{t_R}{3} \left[\left(t \frac{V_{DD}}{t_R} - V_T \right)^3 \right]_{\frac{V_T}{V_{DD}} t_R}^{\frac{t_R}{2}}
 \end{aligned}$$

$$\tilde{P}_{CC} = \frac{\beta}{2} \frac{t_R}{T} (V_{DD} - 2V_T)^3$$

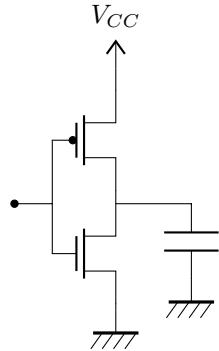


Figure 2: Circuito 1

Applicando Kirkoff: $I_{DP} = I_{Dn} + I_C$

Ricostruita la situazione possiamo analizzare la potenza media associata al carico $\tilde{P}_i = \frac{1}{T} \int_0^T I_{DD} V_{DD} dt$
Sempre dalla relazione di prima, siccome $I_C = 0 \Rightarrow I_{DD} = I_{DP}$

P-mos é **saturo** quando $V_u < V_i + V_t$

Istantaneamente posso avere un bilancio energetico non nullo, ma in un caso periodico somma dell'energia, per il principio di conservazione deve essere nulla

Sommando le tre potenze devo trovare la potenza complessiva, quindi:

$$\tilde{P}_L = \tilde{P}_n + \tilde{P}_p + \tilde{P}_C$$

$$\tilde{P} = \frac{1}{T} \int_0^T V_U I_C dt = \frac{1}{T} \int_0^T V_U C_L \frac{dV_U}{dt} dt = \frac{C_L}{T} \int_{V_U(0)=0}^{V_U(T)=0} \dots = 0$$

Ovvio che é nullo perche l'energia di un condensatore é legata alla carica

$$\begin{aligned} \tilde{P}_P &= \frac{1}{T} \int_0^T V_{BD} I_{DP} dt = \frac{1}{T} \left[\int_0^{\frac{T}{2}} V_{BD} I_{DP} dt + \int_{\frac{T}{2}}^{2T} V_{SD} I_{DD} dt \right] \\ &\quad \frac{1}{T} \int_0^{\frac{T}{2}} (V_{DD} - V_U) C_L \frac{dV_U}{dt} dt = -\frac{C_L}{T} \int (V_U - V_{DD}) dV_U = \dots \\ &\quad = \frac{C_L}{T} \frac{V_{DD}^2}{2} \end{aligned}$$

Calcolando la potenza consumata dal transitorio di Pull Down (N-mos) Osservando che nel primo semiperiodo l'n-mos é spento, La corrente é nulla, quindi ci limitiamo ad integrare nel secondo semiperiodo

$$\tilde{P} = \frac{1}{T} \int_0^T V_U I_C dt = \frac{1}{T} \int_{\frac{T}{2}}^T V_U C_L \frac{dV_U}{dt} dt =$$

Sapendo che $I_{DD} = -C_L \frac{dV_U}{dt}$ Abbiamo che:

$$-\frac{C_L}{T} \int_{V_U(T/2)=V_{DD}}^{V_U(T)=0} V_U \frac{dV_U}{dt} dt = \dots = \boxed{\frac{C_L}{T} \frac{V_{DD}^2}{2}}$$

Quindi: $\tilde{P}_L = \frac{C_L}{T} V_{DD}^2$

Si può notare che la potenza dissipata non dipende dai parametri dei transitori (β non compare nell'espressione)

Siccome quello che mi serve é caricare il condensatore, devo spendere un energia doppia rispetto a quella che ...

Se cambia β cambia solo il tempo in cui si carica/scarica il condensatore, β non influisce sull'energia $\frac{1}{T} = f \Rightarrow f C_L V_{DD}^2$

Questa che é una potenza dinamica, aumenta con la frequenza → devo caricare e scaricare il condensatore piú volte

In P_{CC} Compare il rapporto $\frac{t_R}{T}$, supponendo di essere capaci di far andare piú veloce il circuito, il rapporto tende a rimanere costante → Ridurre il periodo aumenta la potenza associata a carica-scarica, ma ha un effetto limitato sulla potenza di cortocircuito

La frequenza sicuramente cresce perche siamo sicuri di riuscire a fare dispositivi piú veloci, ma fare dispositivi piú piccoli, lo scopo della riduzione delle geometrie non é fare lo stesso circuito piú piccolo, ma per poter mettere piú "roba" all'interno dello stesso chip.

Viene sfruttata la possibilità di mettere piú componenti nello stesso spazio, la frequenza di clock dipende anche dall'architettura e da come é fatto il circuito

Rete sincrona é piú robusta e piú sicura al problema delle Aree, il periodo di clock deve garantire che tutta la rete combinatoria, abbia il tempo di completare il suo lavoro.

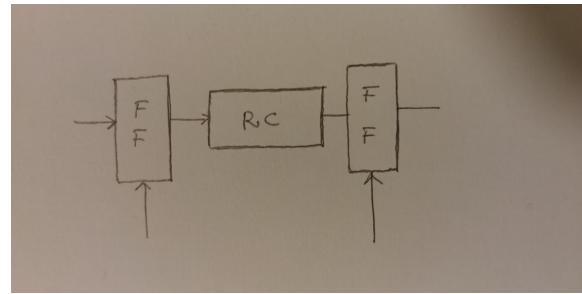


Figure 3: Esempio di clock

La possibilità di integrare circuiti più complessi viene sfruttata per implementare architetture con maggiori prestazioni, es. Circuiti in Parallello

Siccome abbiamo scoperto che la frequenza di clock impatta direttamente sulla frequenza associata al carico, e tende ad aumentare con la riduzione delle dimensioni, comporta al fatto che, se tutto il resto rimanesse costante, tutto va più veloce e consuma di più perché va più veloce: Utilizzo architetture con maggiore prestazione a cui è associato un maggiore consumo

Circuiti c-mos caratterizzato da un basso consumo di potenza statico, ma un alto consumo dinamico

Differenza fondamentale con la logica RTL era che quella consumava sia che lavorasse, sia che non lavorasse

Logica di tipo **ratioless**: Le dimensioni del transistore non impattano sulla funzionalità

2 Lezione del Wed 22 May 2019 03:45:35 PM CEST

2.1 Immunità ai disturbi in sistemi analogici

Principale differenza tra elettronica analogica e digitale é che é in grado di distinguere il segnale dal rumore.

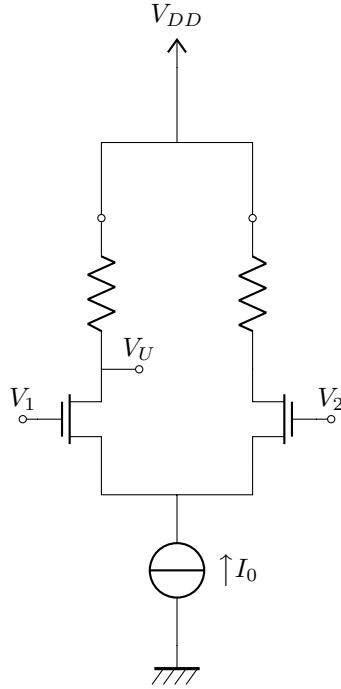


Figure 4: Amplificatore Differenziale

Osservazioni su Figura 4:

- Per Kirkoff $I_1 + I_2 = I_0$
- Siccome la somma delle correnti é non nulla, i due transistori (M_1 e M_2), non possono essere spenti allo stesso tempo
 $I_{D\text{sat}} = \frac{\beta}{2}(V_{GS} - V_T)^2$
- La caratteristica del generatore di corrente sul piano Tensione-Corrente é che é costante \Rightarrow la tensione V_X é incognita
- Per Kirkoff: $V_1 - V_{GS1} + V_{GS2} - V_2 = 0 \Rightarrow V_1 - V_2 = V_{GS1} - V_{GS2}$

Supponendo che per ipotesi: M_1 se acceso é saturo e M_2 se acceso é saturo, e, supponendo che $V_1 = V_2$, allora:

$$V_1 - V_2 = 0 \Rightarrow V_{GS2} - V_{GS1} = 0 \Rightarrow V_{GS1} = V_{GS2}$$

Siccome la corrente dipende solo da V_{GS} , se le tensini sono uguali, le correnti sono uguali $\xrightarrow{SAT} I_1 = I_2$

$$\text{Siccome } I_1 + I_2 = 0 \Rightarrow I_1 = \frac{I_0}{2}, I_2 = \frac{I_0}{2}$$

$$V_{U1} = V_{DD} - RI_1 = V_{DD} - R \frac{I_0}{2}$$

$$V_{U2} = V_{DD} - RI_2 = V_{DD} - R \frac{I_0}{2}$$

Il valore di uscita non dipende dall'ingresso, se V_1 e V_2 sono uguali tra di loro, l'uscita non dipende da loro (Se lavoriamo in regione di saturazione)

Questo tipo di circuito non vede il rumore, siccome entra uguale in entrambi gli ingressi

Supponendo ora che V_1 e V_2 siano **diversi**, (es $V_1 > V_2$):

$$V_1 - V_2 > 0 \Rightarrow V_{GS1} - V_{GS2} > 0 \Rightarrow V_{GS1} > V_{GS2}$$

$$V_{GS1} > V_{GS2} \Rightarrow I_1 > I_2$$

Dato che la somma delle correnti è limitata ($I_1 + I_2 = I_0$), la corrente I_1 continua a crescere, mentre I_2 diminuisce, fino a quando la corrente I_0 gira unicamente su un ramo. La corrente non può diventare negativa perché andrebbe contro le condizioni del transistore.

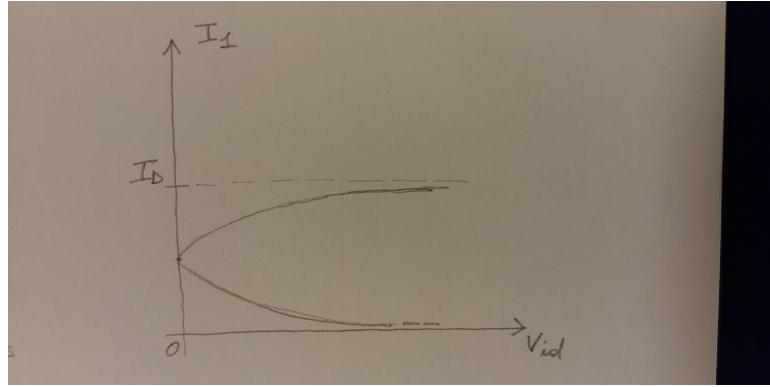
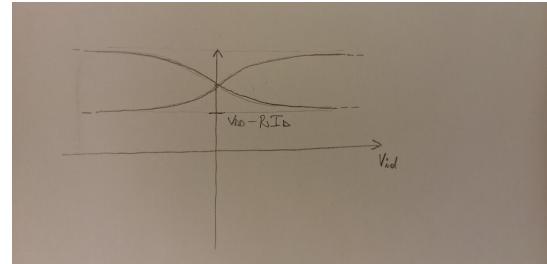


Figure 5: Grafico I_0 , V_{id}

Chiamata V_{id} la tensione differenziale, posso tracciare l'andamento di I_1 (Figura 5), il quale satura al valore I_0

$$\begin{cases} V_{u1} = V_{DD} - RI_1 \\ V_{u2} = V_{DD} - RI_2 \end{cases}$$



Comportamento radicalmente diverso se i segnali variano simultaneamente o non; Quelle non simultanee vengono amplificate

Segnale d'ingresso di modo differenziale

$$\begin{cases} V_{id} = V_1 - V_2 \\ V_{ic} = \frac{V_1 + V_2}{2} \end{cases} \Rightarrow \begin{cases} V_1 = V_{ic} + \frac{V_{id}}{2} \\ V_2 = V_{ic} + \frac{V_{id}}{2} - V_{id} = V_{ic} - \frac{V_{id}}{2} \end{cases}$$

Qualunque coppia di segnali è suddivisibile in un segnale di modo comune ed un segnale differenziale, questo circuito cancella il segnale di modo comune, mentre il segnale di modo differenziato viene amplificato.

È utile per distinguere quale segnale contribuisce all'uscita

Se mettessi in ingresso due volte lo stesso segnale all'amplificatore differenziale (Figura 4):

$$V_{ic} = \frac{V_{i0} + V_m \sin wt + V_{i0} - V_m \sin wt - V_{i0}}{2} = V_{i0}$$

$$V_m = \cancel{V_{i0}} + V_m \sin wt - \cancel{V_{i0}} + V_m \sin wt = 2V_m \sin wt$$

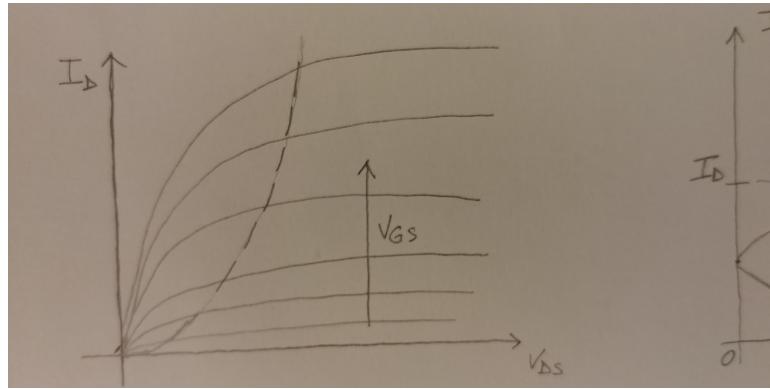
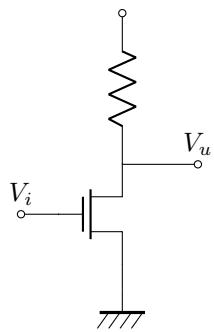


Figure 6: Grafico con linee orizzontali

2.2 Generatore di corrente

Un transistore che lavora in saturazione, genera un uscita costante

Applicando una tensione costante, il transisotore è saturo e la corrente vale $I_D = \frac{\beta}{2}(V_{GG} - V_T)^2$
Per tensioni sufficientemente grandi: $V_{GS} < V_{DS} + V_T \Rightarrow V_x > V_{GG} - V_T$ lavora in saturazione

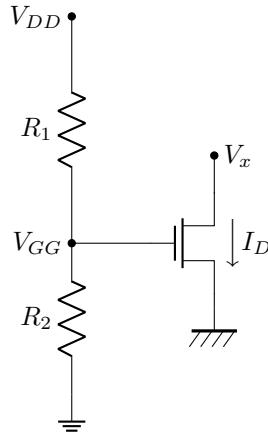


Figure 7: Disegno transitore allungato

Per partitore di tensione:

$$V_{GG} = V_{DD} \frac{R_1}{R_1 + R_2} = V_{DD} \frac{1}{1 + \frac{R_2}{R_1}} \leftarrow \text{Compare ancora il rapporto tra fattori di forma}$$

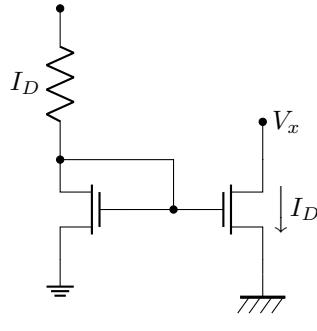


Figure 8: Disegno transitore allungato 2

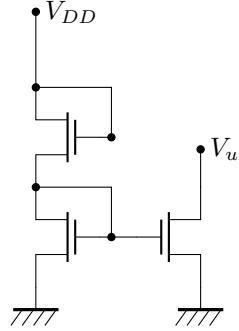


Figure 9: Figura Dubbia

Avendo connesso il gate del transistore al Drain $\Rightarrow V_{GS2} = V_{DS2} \xrightarrow{V_T > 0} V_{GS2} < V_{DS2} + V_t$
 M_2 SAT M_1 SAT

$$\left. \begin{aligned} I_{D2} &= \frac{\beta}{2}(V_{GS2} - V_t)^2 \\ I_{D1} &= \frac{\beta}{2}(V_{GS1} - V_t)^2 \end{aligned} \right\} \Rightarrow I_{D1} = I_{D2}$$

$$\left. \begin{aligned} I_D &= I_{D2} \\ I_R &= \frac{V_{DD} - V_{GS2}}{R} \end{aligned} \right\} \Rightarrow \frac{V_{DD} - V_{GS2}}{R} = \frac{\beta}{2}(V_{GS2} - V_T)^2$$

$$I_{D3} = \frac{\beta_3}{2}(V_{GS3} - V_t)^2$$

Da cui:

$$\begin{aligned} \frac{\beta_2}{2}(V_{GS2} - V_T)^2 &= \frac{\beta_3}{2}(V_{GS2} - V_T)^2 \\ \sqrt{\frac{\beta_2}{2}(V_{GS2} - V_T)^2} &= \sqrt{\frac{\beta_3}{2}(V_{GS2} - V_T)^2} \\ &\dots \\ V_{GS2} &= \frac{V_{DD} + V_T(\theta - 1)}{\theta + 1} \quad \left(\theta := \sqrt{\frac{\beta_2}{\beta_3}} \right) \end{aligned}$$

Ricordiamo che é vero solamente se entrambi i transistori lavorano in **saturazione**:

$$\begin{aligned} M_1 \text{ Saturo} \Rightarrow V_{GS1} &< V_{DS1} + V_T \\ V_1 - V_x &< V_{u1} - V_x + V_T \rightarrow \boxed{V_{u1} > V_1 - V_T} \\ M_2 \text{ Saturo} \dots &\Rightarrow \boxed{V_{U2} > V_2 - V_T} \end{aligned}$$

Siccome voglio che queste due condizioni siano verificate sempre, il prodotto RI_0 é costante, Fissato V_{DD} , se non devo scendere troppo, vuol dire che impone un vincolo sul valore massimo RI_0

3 Appunti Thu 23 May 2019 02:46:13 PM CEST

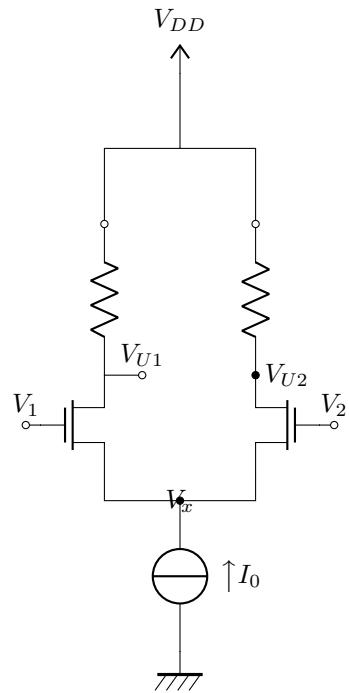
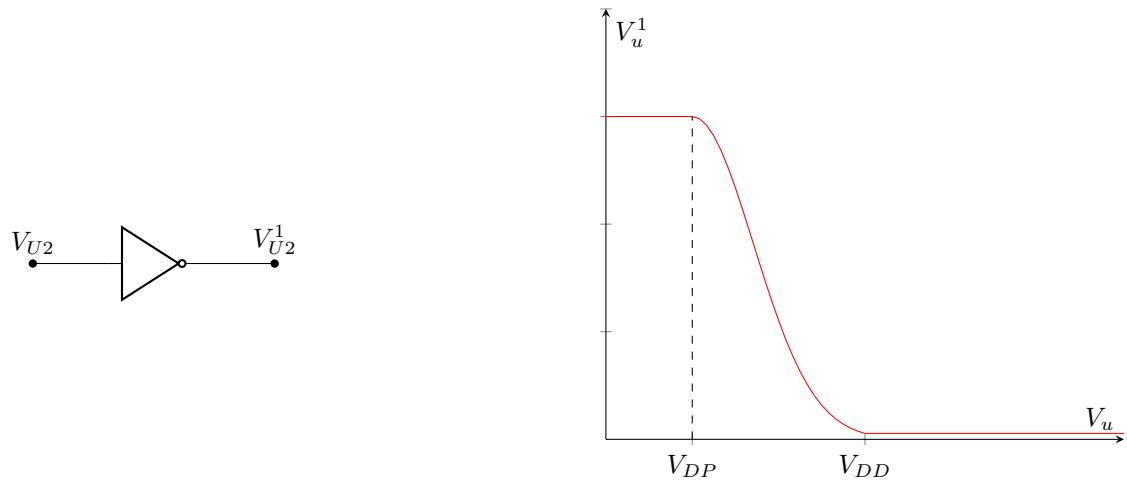


Figure 10: Amplificatore Differenziale

$$\begin{cases} V_{id} = V_1 - V_2 \\ V_{ic} = \frac{V_1 + V_2}{2} \end{cases}$$

4 Amplificatore Operazionale



Caratteristica a 3 rami:

- un ramo estremamente ripido

Figure 11: Grafico invertitore

- due rami costanti

Cambiando il modo comune V_{ic} l'uscita differenziale non cambia

Doppio ingresso ed uscita singola, posso un segnale in ingresso differenziale, V_{id} ed un segnale in ingresso in modo comune V_{ic} (Grafico)

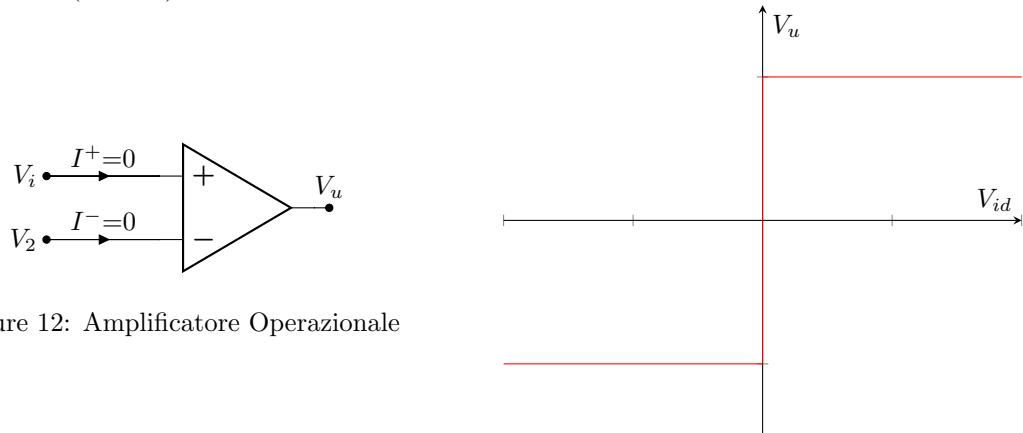


Figure 12: Amplificatore Operazionale

Posso definire la pendenza della retta passante per l'origine come $A_d = \frac{dV_u}{dV_{id}} \rightarrow \infty$

Lo chiamo guadagno differenziale perché è il guadagno dell'uscita riferito all'ingresso differenziale

All'ostesso modo posso definire anche $A_c = \frac{dV_u}{dV_{ic}} \rightarrow 0$

Possiamo introdurre un parametro di qualità: *CCMR: Common Mode Rejection Ratio*

$$\text{CMMR} = \left| \frac{A_d}{A_c} \right|$$

Idealmente $\text{CMRR} \rightarrow \infty$

Chiamata **Regione di alto guadagno(AG)** La retta quasi verticale passante per l'origine abbiamo che AG

$$\begin{aligned} V_{id} &= 0 \\ -V_n < V_n &< +V_n \end{aligned}$$

Abbiamo poi due altre regioni, in cui il guadagno è nullo, chiamandole rispettivamente . . .

SAT+: $V_u = V_M$, $V_{id} > 0$

SAT-: $V_u = -V_M$, $V_{id} < 0$

Aggiungendo un criterio di idealità , suppongo che la tensione di uscita V_u non è funzione della corrente di uscita I_u

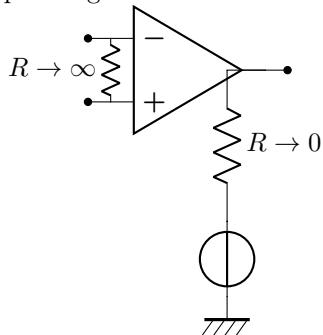
Cioé $V_u \neq f(I_u)$

→ Si comporta come generatore di tensione ideale

Le caratteristiche di questo amplificatore sono:

- corrente di ingresso nulla sui morsetti
- tensione d'uscita indipendente dalla corrente

Per ricordare, tra i due ingressi posso immaginare una resistenza che li collega con $R \rightarrow \infty$
poi un generatore ideale collegato a di corrente per I_u



4.1 Utilizzi

Quello che voglio è tracciare la caratteristica di trasferimento V_u in funzione di V_i
Inizio dalla regione di Autoguadagno:

$$V_{id} = 0 \\ V_{id} = V^+ - V^- \rightarrow V^- = -V_{id}$$

Applicando Kirkoff

$$\left. \begin{array}{l} I_u = \cancel{I_1} + I_2 \\ I_1 = \frac{V_i - \cancel{V_u}}{R_1} = \frac{V_i}{R_i} \\ I_2 = \frac{V^- - V_u}{R_2} \end{array} \right\} \Rightarrow \frac{V_i}{R} = -\frac{V_u}{R_2} \rightarrow V_u = -\frac{R_2}{R_1} V_i$$

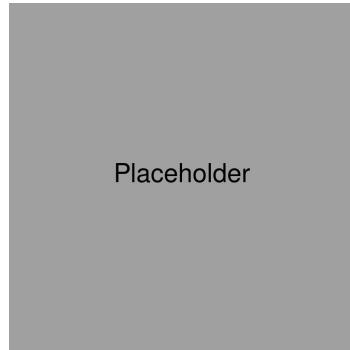


Figure 13: Grafico

$$V_u = \cancel{\frac{R_2}{R_1}} V_i = \cancel{\frac{R_2}{R_1}} V_M$$

Nella zona di SAT+:

$$\begin{aligned} V_u &= +V_M \\ V_{id} &> 0 \\ V_{id} &= V^+ - V^- \end{aligned}$$

$$\left. \begin{array}{l} I_1 = \frac{V_i - V^-}{R_1} \\ I_2 = \frac{V^- - V_u}{R_2} \end{array} \right\} \Rightarrow \frac{V_i - V^-}{R_1} = \frac{V^- - V_M}{R_2} \Rightarrow \dots \Rightarrow V^- = \frac{R_2 V_i + R_1 V_M}{R_1 + R_2} < 0$$

$$R_2 V_i + R_1 V_M < 0 \Rightarrow \boxed{V_i < -\frac{R_1}{R_2} V_M}$$

La retta è lineare \rightarrow è un buon amplificatore perché non distorce il segnale

Un altro aspetto importante è che quella curva non dipende dai parametri operazionali, dipende unicamente dalle resistenze, è totalmente indipendente dalla qualità dell'amplificatore stesso

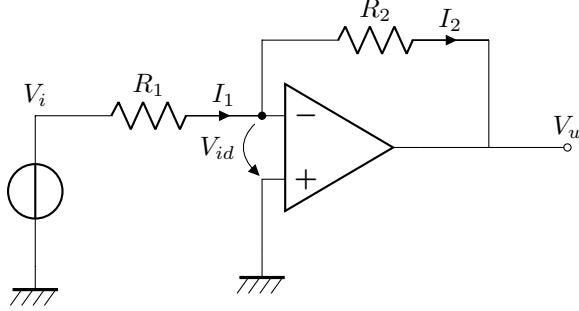


Figure 14: Amplificatore invertente

Principio di cortocircuito virtuale: non è cortocircuito dal punto di vista della corrente, ma la tensione risulta virtualmente a terra

AG

$$\left. \begin{array}{l} V_{id} = 0 \\ V_{id} = V^+ - V^- \\ I_1 = \frac{0 - V^-}{R_1} \\ I_2 = \frac{V^- - V_u}{R_2} \\ I_1 = I_2 + I' \end{array} \right\} \Rightarrow \left. \begin{array}{l} V^+ = V^- \rightarrow V^- = V_i \\ \Rightarrow \frac{V_i}{R_1} = -\frac{V_u}{R_2} \Rightarrow V_u = \frac{R_2}{R_1} V_i \end{array} \right\}$$

per $-V_M < V_u < +V_M$

SAT+

$$V_u = +V_M$$

$$\left. \begin{array}{l} V_{id} > 0 \\ V_{id} = V^+ - V^- \end{array} \right\} \rightarrow V^+ > V^-$$

$$\left. \begin{array}{l} I_1 = \frac{0 - V^-}{R_1} \\ I_2 = \frac{V^- - V_u}{R_2} \end{array} \right\} \rightarrow -\frac{V^-}{R_1} = \frac{V^- - V_M}{R_2} \rightarrow V^- \left(\frac{1}{R_2} + \frac{1}{R_1} \right) = \frac{V_M}{R_2}$$

$$V^- = \frac{R_1}{R_1 + R_2} V_M < V_i \Rightarrow \boxed{V_M < V_i \frac{R_1 + R_2}{R_1}}$$

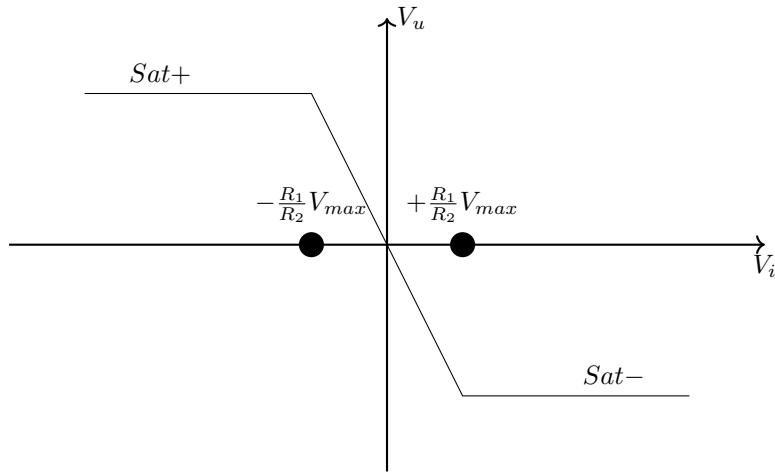


Figure 15: Grafico

\Rightarrow Tratto orizzontale

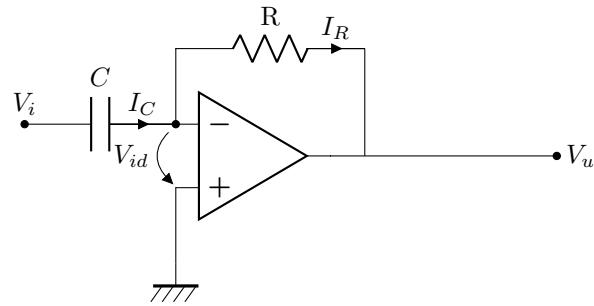


Figure 16: Circuito derivatore

AG

$$V_{id} \rightarrow V^+ - V^- = 0 \rightarrow V^- = 0$$

$$\left. \begin{array}{l} I_c = V' + I_R \\ I_c = C \frac{d(V_i - V')}{dt} \\ I_R = \frac{V' - V_u}{R} \end{array} \right\} \rightarrow C \frac{dV_i}{dt} = -\frac{V_u}{R} \rightarrow V_u(t) = -RC \frac{dV_i}{dt}$$

5 Integrazione di un segnale

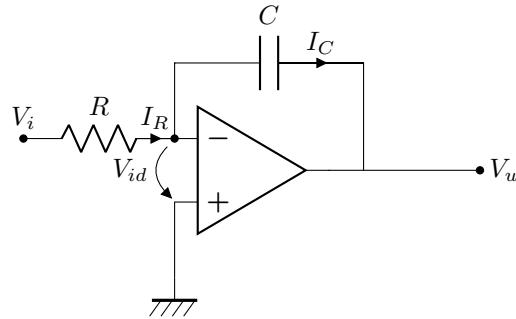


Figure 17: Circuito integratore invertente

In AG:

$$V_{Id} = 0 \rightarrow V^- = V^+ = 0$$

$$\left. \begin{array}{l} I_R = \frac{V_i - V^-}{R} \\ I_C = C \frac{d(V^- - V_u)}{dt} \\ -I_r = \cancel{I} + I_c \end{array} \right\} \Rightarrow \frac{V_i}{R} = -C \frac{dV_u}{dt} \Rightarrow \frac{dV_u}{dt} = -\frac{V_i}{RC} \rightarrow \int_0^t \frac{dV_u}{dt} dt = \int_0^t -\frac{V_i(t)}{RC} dt$$

$$V_u(t) - V_u(0) = -\frac{1}{RC} \int_0^t V_i(t) dt$$

$$V_u(t) = V_u(0) - \frac{1}{RC} \int_0^t V_i(t) dt$$

Tutto questo vale finche la tensione di uscita rimane compresa fra $\pm V_M$
A Differenza del derivatore, questo circuito ha memoria

5.1

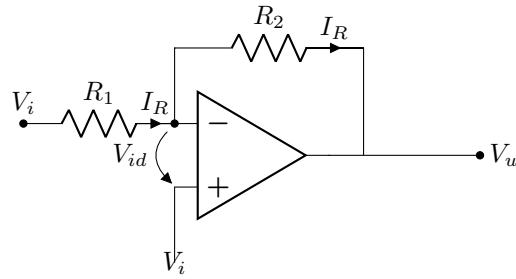


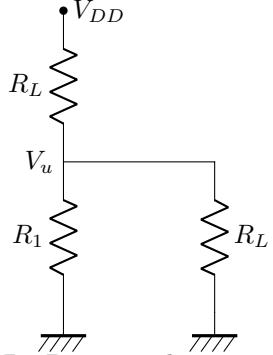
Figure 18: Circuito integratore invertente

AG

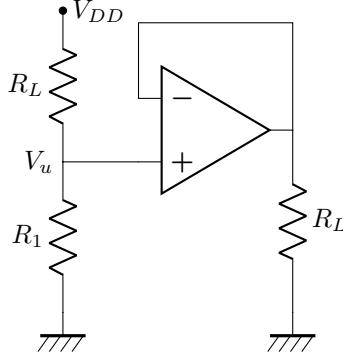
$$\left. \begin{array}{l} V^- = V_i \\ I_1 = \frac{0 - V^-}{R_1} \\ I_2 = \frac{V^- - V_u}{R_1} \\ I_2 = \cancel{I} + I_c \end{array} \right\} \frac{V_i}{R_1} = \frac{V_i - V_u}{R_2}$$

$$\begin{aligned}
-V_i \left(\frac{1}{R_1} + \frac{1}{R_2} \right) &= -\frac{V_u}{R_2} \\
V_u &= \left(\frac{1}{R_1} - \frac{1}{R_2} \right) R_2 V_i \\
V_u &= \left(1 + \frac{R_2}{R_1} \right) V_i \xrightarrow{R_2 \rightarrow 0} V_u = V_i
\end{aligned}$$

V_{DD}



V_{DD}



Da Partitore di tensione:

$$V_u = \frac{R_1}{R_1 R_2} V_{DD} = \frac{1}{1 + \frac{R_2}{R_1}} V_{DD}$$

$$V_u = \frac{1}{1 + \frac{R_2}{R_1 \parallel R_L}} V_{DD} \quad R_1 \parallel R_L < R_1$$

5.2 Circuito con piu ingressi

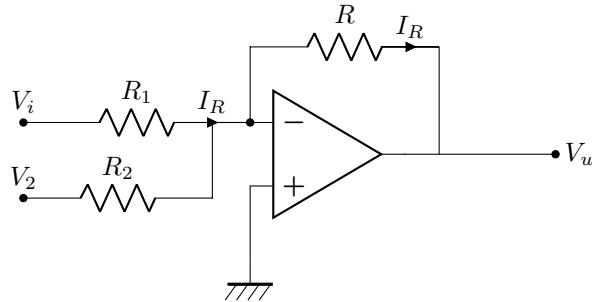


Figure 19: Circuito sommatore analogico

AG

$$V_i d = 0 \rightarrow V^- = V^+ = 0$$

Applicando Kirkoff

$$\left. \begin{array}{l} I_1 + I_2 = I^- + I_R \\ I_1 = \frac{V_1 - V^-}{R_1} \\ I_2 = \frac{V_2 - V^-}{R_2} \\ I_R = \frac{V^- - V_u}{R} = -\frac{V_u}{R} \end{array} \right\} \frac{V_1}{R_1} + \frac{V_2}{R_2} = -\frac{V_u}{R} \rightarrow V_u = -R \left(\frac{V_1}{R_1} + \frac{V_2}{R_2} \right) \xrightarrow{R_1=R_2=R^*} V_u = -\frac{R}{R^*} (V_1 + V_2)$$

Questo circuito permette di calcolare direttamente in maniera analogica una combinazione lineare di ingressi

Provando a progettare un sommatore di tipo digitale:

(X: Grafico con sommatoria)

ADC: Analog Digital converter

DAC: Digital Analog Converter

Blocco Sommatore: Es 3 + 6

$$\begin{array}{r}
 1 \quad 1 \\
 0 \quad 0 \quad 1 \quad 1 \quad + \\
 0 \quad 1 \quad 1 \quad 0 \quad = \\
 \hline
 1 \quad 0 \quad 0 \quad 1
 \end{array}$$

(X: Grafico sommatore a propagazione di riporto) (RCA: Ripple Carry Adder)

Dal circuito possiamo distinguere un HA (Half Adder) e 3 FA (Full Adder)

In questo caso aggiungere bit vuol dire aggiungere ritardo, siccome è tutto in cascata. Nel caso analogico è tutto in parallelo. Quindi aggiungere altri bit non comporta ritardo

a	b	c_H	S_H
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

1^a mappa k

	00	01	11	10
0	0	0	1	0
1	0	1	1	1

$$C_{out} = ab + C_{in}(a + b) =$$

ricordando che $a + b = ab + \bar{a}\bar{b} + \bar{a}b$ (Dalla tabella dell'or)

$$ab(\cancel{a + C_{in}}) + C_{in}(a\bar{b} + \bar{a}b) = C_H + +C_{in} \cdot S_H$$

2^a mappa k

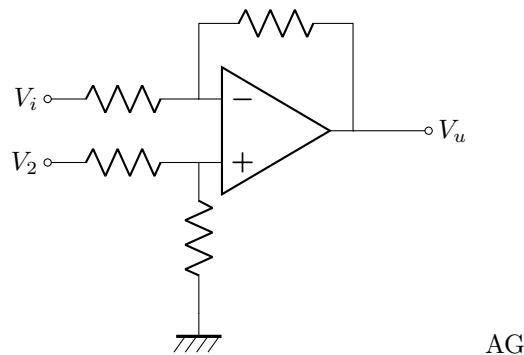
	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$S = \bar{C}_{in}\bar{a}\bar{b} + \bar{C}_{in}a\bar{b} + C_{in}\bar{a}\bar{b} + C_{in}ab$$

$$S = \bar{C}_{in}(a\bar{b} + \bar{a}b) + C_{in}(ab + \bar{a}\bar{b}) = \bar{C}_{in}S_H + C_{in}\bar{S}_H = C_{in} \oplus S_H$$

La porta analogica è più veloce e meno ingombrante di quella digitale, ma non è immune al disturbo

6 Circuito Sottrattore

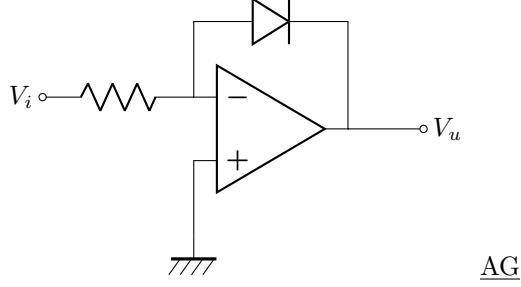


$$\left. \begin{array}{l} V_{id} = 0 \rightarrow V^+ = V^- \\ I_1 = I_2 + \cancel{I} \\ I_1 = \frac{V_2 - V^+}{R} \\ I_2 = \frac{V^+}{R} \end{array} \right\} \rightarrow \frac{V_2 + V^+}{R} = \frac{V^+}{R} \rightarrow V_2 = 2V^+ \rightarrow V^+ = \frac{V_2}{2}$$

$$\left. \begin{array}{l} V^- = \frac{V_2}{2} \\ I_3 = I_4 + \cancel{I} \\ I_3 = \frac{V_1 - V^-}{R} \\ I_4 = \frac{V^- - V_u}{R} \end{array} \right\} \rightarrow \frac{V_1 - \frac{V_2}{2}}{R} = \frac{\frac{V_2}{2} - V_u}{R}$$

$$V_u = V_2 - V_1$$

7 Amplificatore logaritmico



$$\left. \begin{array}{l} V_{id} = 0 \rightarrow V^+ = V^- = 0 \\ I_R = I_D + \cancel{I} \\ I_R = \frac{V_i - V^-}{R} I_D = I_S \left(e^{\frac{(V^- - V_u)}{V_T}} - 1 \right) \end{array} \right\} \rightarrow \frac{V_i}{R I_S} = \left(e^{\frac{(V^- - V_u)}{V_T}} - 1 \right) \rightarrow e^{\frac{(V^- - V_u)}{V_T}} = \frac{V_i}{R I_S} + 1 \xrightarrow{\ln} \ln \left(e^{-\frac{V_u}{V_T}} \right) = \ln \left(\frac{V_i}{R I_S} + 1 \right)$$

$$V_u = -V_T \ln \left(\frac{V_i}{R I_S + 1} \right)$$

(Grafico: Amplificatore logaritmico)

8 Amplificatore esponenziale/Antilogaritmico

AG

$$\left. \begin{array}{l} V_{id} = 0 \rightarrow V^+ = V^- = 0 \\ I_D = I_R + \cancel{I} \\ I_D = I_S \left(e^{\frac{V_i - V^-}{V_T}} - 1 \right) \\ I_R = \frac{V^- - V_u}{R} \end{array} \right\} \rightarrow I_S \left(e^{\frac{V_i}{V_T}} - 1 \right) = -\frac{V_u}{R} = -R I_S \left(e^{\frac{V_i}{V_T}} - 1 \right)$$

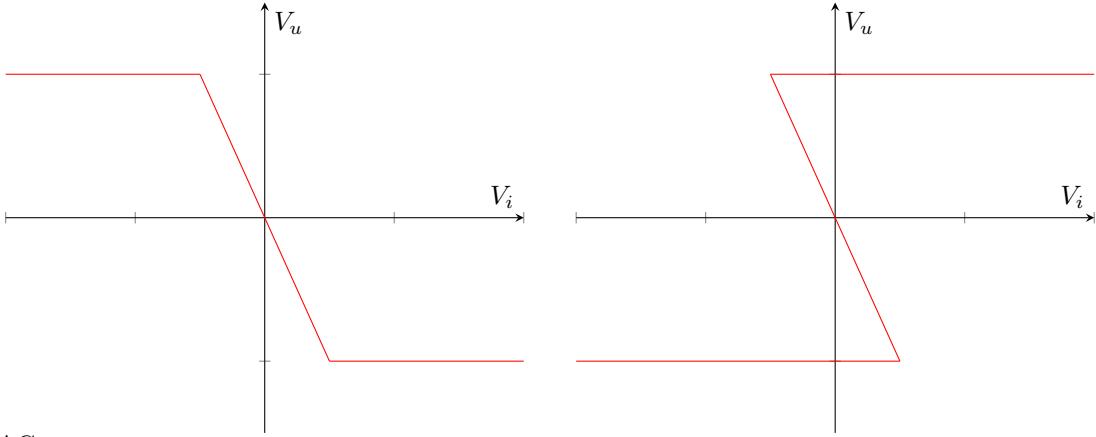
Amplificatore antilogaritmico

Ricordando che

$$\ln(A + B) = \ln(A) \cdot \ln(B)$$

(X: Circuito Sommatore)

Non é un caso che il ramo in retroazione sia sul morsetto negativo:



AG

$$\left. \begin{array}{l} V_{id} = 0 \rightarrow V^+ = V^- = 0 \\ I_1 = I_2 + \cancel{I} \end{array} \right\} \frac{V_i}{R_1} = -\frac{V_u}{R_2} \rightarrow V_u = -\frac{R_2}{R_1} V_i \quad \text{Per } -V_M < V_u < V_M$$

SAT +

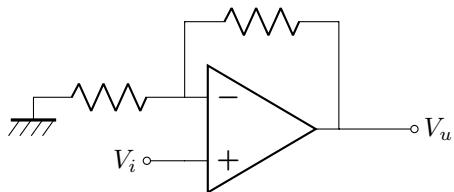
$$\left. \begin{array}{l} V_{id} > 0, \quad V_u = +V_M \\ V_{id} = V^+ - V^- \\ \frac{V_i - V^+}{R_1} = \frac{V^+ - V_u}{R_2} \end{array} \right\} \rightarrow V^+ > 0 \left\{ \begin{array}{l} \frac{V_i - V^+}{R_1} = \frac{V^+ - V_M}{R_2} \\ V^+ \left(\frac{1}{R_2} + \frac{1}{R_1} \right) = \frac{V_i}{R_1} + \frac{V_M}{R_2} \\ V^+ \left(\frac{R_1 + R_2}{R_1 R_2} \right) = \frac{V_i R_2 + V_M R_1}{R_1 R_2} \\ V^+ = \frac{R_2 V_i + R_1 V_M}{R_1 + R_2} > 0 \\ \cancel{R}_2 V_i > -\frac{R_1 V_M}{R_2} \end{array} \right.$$

SAT -

$$\left. \begin{array}{l} V_{id} < 0 \rightarrow V^+ - V^- < 0 \rightarrow V^+ < 0 \\ V_u = -V_M \end{array} \right\} \dots \rightarrow V^+ = \frac{R_2 V_i - R_1 V_M}{R_1 + R_2} < 0 \Rightarrow \cancel{R}_2 V_i < \frac{R_1}{R_2} V_M$$

Se il guadagno d'anello è maggiore di 1 in modulo si è rischio di stabilità
Guadagno amplificatore operazionale $\rightarrow \infty$ in alto guadagno

9 Circuito Bistabile (Circuiti Schmitt trigger)



AG

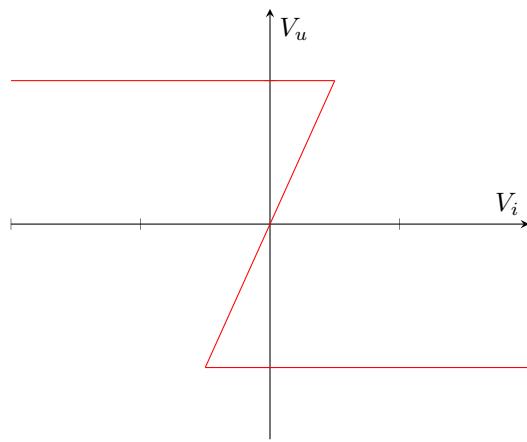
$$\left. \begin{array}{l} V_{id} = 0 \rightarrow V^+ = V^- = V_i \\ I_1 = I_2 + \cancel{I} \\ \frac{0 - V^+}{R_1} = \frac{V^+ - V_u}{R_L} \end{array} \right\} -\frac{V_i}{R_1} = \frac{V_i - V_u}{R_2} \rightarrow -V_i \left(\frac{R_2}{R_1} + 1 \right) = V_u \Rightarrow V_u = V_i \left(1 + \frac{R_1}{R_2} \right)$$

$$V_M = V_i^* \left(1 + \frac{R_2}{R_1} \right) \rightarrow V_i^* = \frac{V_M}{1 + \frac{R_2}{R_1}}$$

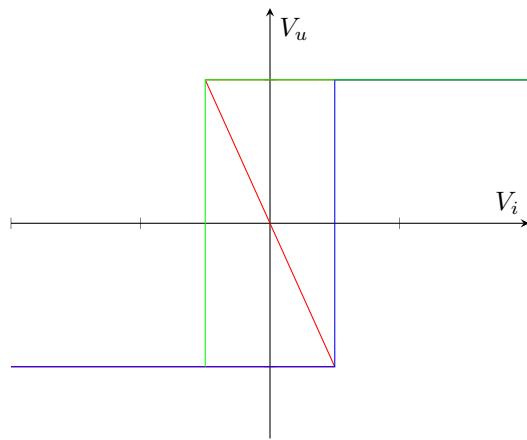
SAT +

$$\left. \begin{array}{l} V_u = +V_M \\ V_{id} > 0 \rightarrow V^+ > V^- = V_i \\ I_1 = I_2 + \cancel{I} \\ \frac{0 - V^+}{R_1} = \frac{V^+ - V_u}{R_2} \\ V^+ \left(\frac{R_1 + R_2}{R_1 R_2} \right) = \frac{V_M}{R_2} \rightarrow V^+ = \frac{R_1}{R_1 + R_2} V_M = \frac{V_M}{1 + \frac{R_2}{R_1}} \end{array} \right\} \begin{array}{l} \rightarrow -\frac{V^+}{R_1} = \frac{V^+ - V_M}{R_2} \rightarrow -V^+ \left(\frac{1}{R_1} + \frac{1}{R_2} \right) = -\frac{V_M}{R_2} \\ V_i < \frac{V_M}{1 + \frac{R_2}{R_1}} \end{array}$$

9.1 Trigger invertente



9.2 Trigger non invertente



Aumentando il valore della tensione di ingresso (da V_a) continuo a rimanere nello stesso tratto di curva, senza salti

Se sono al valore basso $-V_M$, per passare al valore alto devo applicare una tensione di ingresso che é almeno V^* . Se sono al valore alto, per passare al valore basso devo applicare una tensione che é minore di $-V^*$.

Nella fascia di ambiguitá se sono al valore basso rimango al valore basso, se sono a quello alto rimango in quello alto.

Viene percorso un **Ciclo di isteresi**

Questo circuito é Molto piú resistente al rumore rispetto ad un circuito a soglia per la fascia di ambiguitá

Applicando prima un segnale molto positivo, e riportando il segnale a 0 l'uscita rimane positiva. L'uscita del valore in 0, dipende dalla ‘storia’ del circuito. Questo circuito si ricorda se l'ultimo valore applicato é positivo o negativo (é una Cella di memoria).

É in grado di mantenere fin tanto che é acceso un valore binario in memoria → Passaggio da reti combinatorie a reti sequenziali

10 Circuito Astabile

(X: Circuito 1)

$$\begin{aligned} V_i(0) &= 0 \\ V_u(0) &= V_M \rightarrow \text{SAT} +? \rightarrow V_{id} > 0? \end{aligned}$$

La condizione di alto guadagno del circuito abbiamo già visto che è sospetta (instabile), Possiamo presupporre che sia più facile trovarsi in una delle due altre regioni

Ipotizzo inizialmente che la tensione all'inizio sia V_M (in saturazione positiva)

Posso dire, svolgendo calcoli analoghi ai precedenti:

$$\left. \begin{aligned} V_i &= V^- = 0 \\ V^+ &= V_M \frac{R_1}{R_1 + R_2} = \frac{V_M}{1 + \frac{R_2}{R_1}} > 0 \end{aligned} \right\} V_{id} = V^+ - V^- > 0 \rightarrow \text{E in saturazione positiva!}$$

$$\left. \begin{aligned} I_R &= \frac{V_i - V_u}{R} \\ V_u &= V_M \\ I_C &= C \frac{dV_i}{dt} \\ I_C &= -I_R \end{aligned} \right\} C \frac{dV_i}{dt} = -\frac{V_i - V_M}{R}$$

Siccome V_i inizialmente è uguale a 0, V_M è positivo, vuol dire che il condensatore si sta caricando

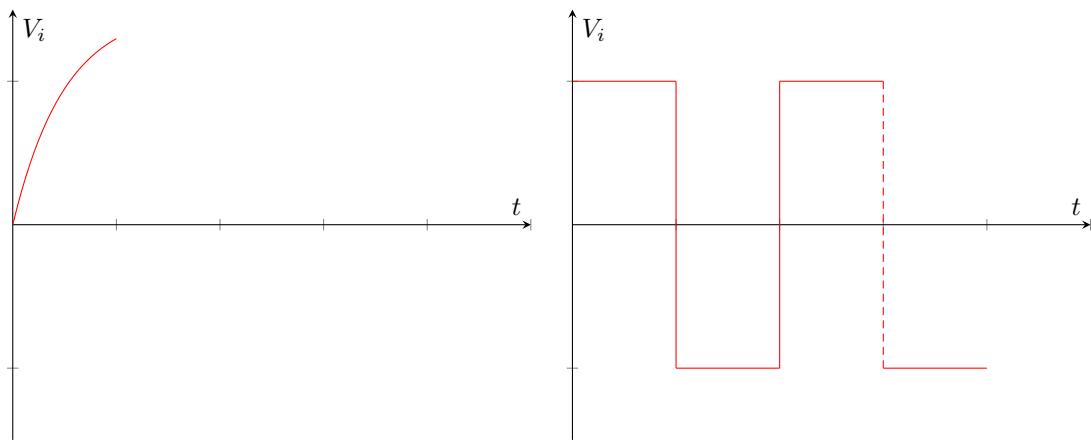
$$\begin{aligned} \frac{dV_i}{V_i - V_M} &= -\frac{dt}{RC} \\ \int_{V_i(0)=0}^{V_i(t)} \frac{dV_i}{V_i - V_M} &= \int_0^t -\frac{dt}{RC} \\ -\frac{t}{RC} &= -\ln \frac{V_i(t) - V_M}{-V_M} \xrightarrow{\text{exp}} e^{-\frac{t}{RC}} = \frac{V_i(t) - V_M}{-V_M} \\ V_i(t) &= V_M - V_M e^{-\frac{t}{RC}} = V_M \left(1 - e^{-\frac{t}{RC}}\right) \end{aligned}$$

Questo vale fino a quando $V_i < V_i^*$

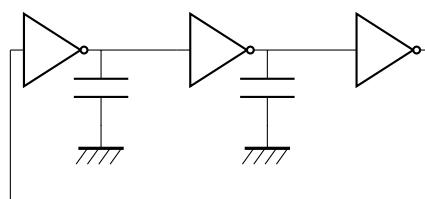
Osservando il condensatore nel momento $V_i = V_i^*$ (Il momento in cui cado nel ramo di saturazione negativa):

$$\left. \begin{aligned} V_i^* &> 0 \\ V_u &= -V_M \\ V^- &= V_i \\ V^+ &= -V_M \frac{R_1}{R_2} = -\frac{V_M}{1 + \frac{R_2}{R_1}} \end{aligned} \right\} V_{id} = V^+ - V^- < 0 \rightarrow \text{Saturazione negativa}$$

$$\left. \begin{aligned} I_R &= \frac{V_i - V_u}{R} > 0 \\ I_R &= -I_C \end{aligned} \right\} I_C < 0$$



Continua ad oscillare, la frequenza dipende da RC

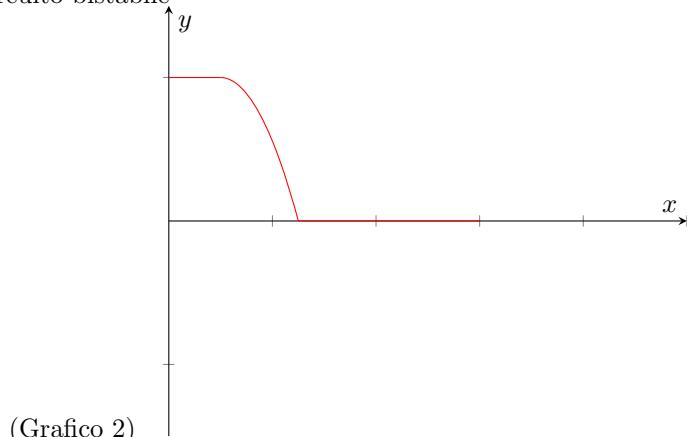


Attraversando una serie di porte logiche di questo tipo posso rigenerare il segnale (Qualità rigenerativa delle logiche digitali)

Per controllare il ritardo del segnale basta metter in cascata più invertitori

Per controllare la frequenza dell'onda quadra, basta che aumenti il numero di ritardi? (Domanda Felice)

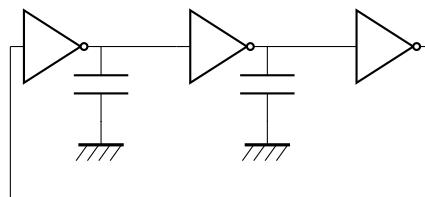
Dopo un numero pari di inversioni, se in ingresso si ha un valore alto, in uscita avrà lo stesso valore → Circuito bistabile



(Grafico 2)

Questo circuito ha memoria; Se sono in grado di scrivere un valore alto o basso su quel nodo, l'uscita in 0 rimane salvata

(X: Circuito porte 2)



Nel caso l'interruttore sia attaccato: $Q = D$, altrimenti $Q^1 = Q$

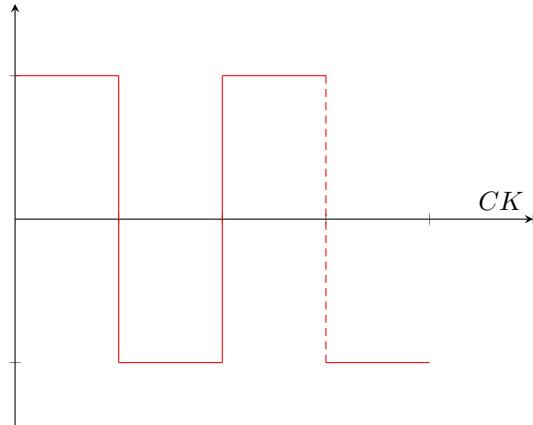
Se voglio cambiare il valore memorizzato basta aprire l'anello ed applicare un valore dall'esterno

Utilizzando un segnale di clock al posto del segnale di scrittura, questo circuito alterna nel tempo una fase di scrittura e di lettura. Circuito Trasparente

$CK = 1 \rightarrow Q = D \rightarrow$ Fase di valutazione dell'ingresso, EVALUATION

$CK = 0 \rightarrow Q^1 = Q \rightarrow$ Fase di mantenimento, HOLD

Questo circuito non é ancora un *Flip Flop*, ma un *Latch*. Quando siamo a 0 l'uscita é bloccata all'ultimo segnale



(X: Grafici clock)

(X: Altro grafico) Dall'ultimo grafico si puó vedere che non é un comportamento da rete sincron. Quello che posso fare é aggiungere a questo oggetto un secondo stadio, passando ad un circuito di tipo Master-Slave Chiamo questo circuito *p-latch*

(X: Circuiti n-latch, caso duale dell' n-latch)

Per creare un circuito di tipo master-slave basta che metto in cascata un circuito *n-latch* con uno *p-latch*.

(X: Foto 1) (X: Grafici ambigui dopo foto)

Lo slave legge solo un valore: Quello alla fine dello stato di valutazione del master \rightarrow Il valore dell'uscita puó essere aggiornato solo nei fronti di discesa del clock. \rightarrow *Flip flop* sincrono

(X: Immagine flip flop, (post grefici ambigui))

Per un flip flop Positive triggered (Campionato sul fronte positivo): Scambiare p ed n latch; Prima il P dopo N latch

10.1 Multiplexer

s-ab	00	01	11	00
0	0	1	1	0
1	0	0	1	1

$\Rightarrow y = as + b\bar{s}$

(X: Or ingressi negati)

$z = \bar{x} + \bar{y} = \bar{x}\bar{y}$ (NAND)

MUX mi costa 12 transistori +2. Per fare un latch utilizzo altri 2 transistori \rightarrow Latch utilizza 16 (+2) transistori Per la configurazione master-slave (*Flip Flop di tipo D*) ne servono altri 16

11 Appunti Tue 04 Jun 2019 02:57:14 PM CEST

Multiplexer $y = sa + \bar{s}b \Rightarrow \bar{y} = sa + \bar{s}b$

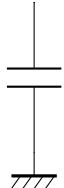
(X: Figura con transistori)

Non é un problema se il segnale y torna invertito, lo devo utilizzare invertito nel circuito master-slave ugualmente

Per fare il multiplexer, prima servivano 16 transistori, ora nella figura siamo passati a 10. prima il segnale per andare dall'ingresso all'uscita deve attraversare due strati di nand e due di not, ($\times 2$ con master slave), nel nuovo circuito deve attraversarne solo 2.

È possibile implementare il mux anche con due interruttori; L'idea diventa quindi sostituire ai due interruttori due transistori controllati da una corrente (Da 8 a 2 transistori). (*Pass Transistor*)

Questo é il primo caso dove la corrente d'ingresso $I \neq 0$



Caso $t < 0$

M off

$$\left. \begin{array}{l} I_D = 0 \\ I_D = I_c \end{array} \right\} \rightarrow I_c = 0 \rightarrow I_C = C \frac{dV_u}{dt} = 0 \rightarrow V_u = \text{cost}$$

Se l'ingresso é 0, l'uscita puó trovarsi in un uscita in condizioni di alta imedenza. Il valore si mantiene dentro al condensatore

DRAM: Memoria dinamica associata ad un condensatore questo circuito ha 3 tipi d'uscita

1. alta
2. bassa
3. alta impedenza

Nel momento in cui si accende il transistore i casi possibili sono:

V_i	V_u	
V_L	V_L	-
V_L	V_H	* $V_u : V_H \rightarrow 0$
V_H	V_L	** $V_u : 0 \rightarrow V_{DD} - V_T$
V_H	V_H	-

Studio il primo dei due fenomeni (*):

il nodo V_u ha sempre potenziale piú alto rispetto all'ingresso, di conseguenza é il Drain, mentre V_I é il source

$$\left. \begin{array}{l} I_D = -I_C \\ I_D \geq 0 \\ I_C = C \frac{dV_u}{dt} \end{array} \right\} C \frac{dV_u}{dt} < 0$$

Derivata negativa, la cerica del condensatore si sta esaurendo

Esattamente quello scritto quando abbiamo calcolato il tempo di scarica del condensatore cmos

Il transitorio termina quando la derivata si annulla \rightarrow la corrente si annulla $\rightarrow V_{DS} = V_u$ si annulla

Tende ad assumere asintoticamente il valore nullo

Studiando il caso (**) Drain e Source sono invertiti

$$\left. \begin{array}{l} I_D = I_C \\ I_D \geq 0 \\ I_C = C \frac{dV_u}{dt} \end{array} \right\} C \frac{dV_u}{dt} \geq 0$$

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 = 0$$

$$V_{DD} - V_i \rightarrow V_u = V_{DD} - V_T$$

Questo pass transistor é capace di trasferire uno *0 Forte* ed un *1 Debole*. Supponendo ora di avere lo stesso caso di prima (Alto in ingresso e basso in uscita che voglio portare alto) → Transistor di carica di un invertitore cmos, inizialmente saturo fino a quando la tensione di uscita > V_{TP} , poi va in lineare.

Quindi sappiamo già che l'uscita si porta da al valore V_{DD}

$$\text{SAT} \rightarrow I_D = \frac{\beta_D}{2} (V_{SG} - |V_{TP}|)^2 = 0 \rightarrow V_{SG} = V_u = |V_{TP}|$$

La rete di pulldown non é capace di scaricare completamente il transistore, si ferma una soglia prima

$$\begin{array}{c} V_u : V_H \rightarrow V_L \\ \hline V_u : V_L \rightarrow V_H \end{array} \quad \begin{array}{l} \text{n 0 forte} \\ \text{p 0 debole } (|V_{TP}|) \\ \text{n 1 debole } (V_{DD} - V_T) \\ \text{p 1 forte} \end{array}$$

Metto insieme p ed n mos per migliorare le prestazioni

$$\begin{aligned} V_u : 0 &\xrightarrow{nSAT\ pSAT} |V_{TP}| \xrightarrow{nSAT\ pLIN} V_{DD} - V_{TN} \xrightarrow{OFF,LIN} V_{DD} \\ V_u : V_{DD} &\xrightarrow{nSAT\ pSAT} V_{DD} - V_{TN} \xrightarrow{LIN\ SAT} |V_{TP}| \xrightarrow{LIN,OFF} 0 \end{aligned}$$

Un oggetto di questo tipo si chama *transmission gate*

Passando attraverso due invertitori, il valore d'uscita viene rigenerato

Questo multiplexer non é immune ai disturbi, il meglio che posso sperare é che il segnale esce ridotto al massimo di quanto ci aspettiamo

a	b	y
0	0	0
0	1	0
1	0	0
1	1	1

$$y = \begin{cases} a & \text{se } a = 0 \\ b & \text{se } a = 1 \end{cases}$$

Segnale *a* é usato come selettore

Difetto: non abbiamo margine con l'immunità ai disturbi
(X : Circuito and con multiplexer e transistor)

OR

a	b	y
0	0	0
0	1	1
1	0	1
1	1	1

(X: Circuito or con multiplexer transistor)

Mentre connettendo stadi cmos, la corrente di gate é nulla, in questo caso (pass transistor) la corrente che circola non é nulla. Il tempo di propagazione dipende dal tempo di carica e scarica delle capacità parassita

Nel pass transistor le capacità parassita sono caricate dalla corrente che entra in ingresso. In questo caso devo caricare una maggiore capacità con a disposizione una corrente più debole. Aumentare il numero degli stadi vuol dire aumentare la capacità da caricare e la resistenza

12 Appunti Thu 06 Jun 2019 02:42:48 PM CEST

Bit Line:

Wired line

Meccanismo di indirizzamento attraverso un decoder

Decoder si frammenta in una struttura gerarchica id piú righe e decoder

Rimane da capire cosa c'e' in un incrocio

R/W segnale di controllo che specifica lettura e scrittura

Memorie a sola lettura: Più semplice ed economica rispetto ad una memoria RW.

Classificazione tra memorie:

- ROM: Read Only Memory; Il contenuto rimane invariato, si pone il problema di definire una volta per tutte il contenuto:
 - (MP) Rom (Mask Programmable); Programmate in fabbrica
 - **FP ROM** (Field Programmable ROM); Programmata dall'utente Genericamente chiamata (PROM: Rom Programmabile)
- RWM: Read Write Memory
 - Volatile RWM: Perde i dati quando manca l'alimentazione (RAM: Random Access Memory, Memoria ad accesso Arbitrario). Il tempo d'accesso all'informazione non dipende dalla posizione del dato (indirizzo).
 - * Dato Memorizzato in maniera Statica (SRAM: Static Ram)
 - * Dato Memorizzato in maniera Dinamica (DRAM: Dynmic RAM)
 - Non Volatile RWM: Permanente una volta che è stato scritto un dato, esso rimane nel tempo indefinitamente
 - * EPROM
 - * E^2 PROM
 - * FLASH EPROM
 - * ...

La sigla ROM indica che l'operazione di lettura e di scrittura sono radicalmente diverse (tempi, tensioni applicate, *ldots*), sono progettate per essere lette frequentemente e programmate o scritte non così spesso.

Chiamate Memorie a Prevalente Lettura (*Read Mostly Memory*)

Come progettare L'incrocio con la memoria ROM

Ogni colonna di questa matrice è implementabile come la tabella di verità alimentata dal decoder.

Per avere l'uscita negata basta che inverta la logica del circuito

NOR-BASED

Se sulla tabella di verità leggo uno → transistore nella rispettiva *word?* line. Anziché invertire l'uscita, basta invertire se mettere o no il transistore in ingresso

Per programmare la memoria:

- Nel caso in cui la programmi il fabbricante, sceglie se mettere o no il transistore, non è molto pratico, siccome la costruzione dei transistori è una delle prime fasi.

Quello che si può fare è invece che agire sulle fasi iniziali della progettazione, agiamo sulle fasi finali: Costruisco una matrice, dove i transistori ci sono tutti; Ma siccome ogni transistore è collegato alla linea di bit, vuol dire che li devo connettere fisicamente alla linea metallica del segnale della bitline.

Ovverso scelgo se collegare o no il transistore alla bitline. Se non lo collego, si comporta come se non ci fosse. È molto più costoso differenziare i progetti, piuttosto che produrre qualche transistore in più.

Rimane vero che il costo di questa operazione è elevato, si giustifica solamente per volumi di produzione sufficientemente grandi (MPROM)

- Programmazione sul campo, connetto tutti i transistori, attraverso un interconnessione particolare, rappresentabile impropriamente come un fusibile (tratto di circuito a resistenza elevata, se si scalda a sufficienza interrompe il circuito).

La pista del fusibile non si fonde quando leggo, ma quando scrivo: Corrente di fusione di programmazione é piú alta,

Fondere dove ho bisogno di un 1 nella tabella di veritá

- Un altro metodo é scegliere la tensione di soglia V_T dei transistori. É necessario modificare la tensione di soglia dinamicamente. Per non riportare il problema alla fabbricazione Tensione di soglia: Tensione da applicare al gate per far sì che si formi sotto al gate un canale conduttivo, che corrisponde ad una certa densità di elettroni.

Se all'interno dell'ossido é intrappolata una carica negativa: Neutralizza una parte della carica positiva di Gate: La tensione di soglia si alza: É necessaria piú carica di gate per avere la stessa tensione di soglia

Transistore a Doppio Gate

Transistore a doppio gate: Ha dimensioni estremamente ridotte, quindi per *Effetto tunnel* é possibile con probabilitá $\neq 0$ che un elettrone entri dentro lo strato isolato. Accelerando i portatori di canale posso fare sì che una parte degli elettroni di canale entrino dentro e rimangano intrappolati dentro a questo *Floating Gate*

In questo modo posso modificare la tensione di soglia variando le correnti di canale

Voglio che la velocità degli elettroni (Energia cinetica) di quando leggo e quando scrivo siano diverse (Piú basse durante la lettura, piú alte durante la programmazione). Segue che la lettura é molto piú rapida

La probabilitá di effetto tunnel é molto ridotta per fare in modo che i dati non vengano variati durante la lettura.

A lungo andare é molto probabile che elettroni entrino dentro all'ossido, rimanendo permanentemente intrappolati. *Fenomeno di Invecchiamento del transistore*. Il numero di volte che posso cancellare e programmare la memoria, non é infiito.

Vuol dire che posso leggere la memoria, un numero infinito di volte, ma posso scriverla solo un numero finito di volte. Non é utilizzabile come memoria centrale per un Computer. (Se ci voglio scrivere con una velocità di 1 GHz sarebbe esaurita in 1 secondo)

Chiamiamo queste memorie EPROM e EEPROM (*Electrically Eraseable Programmable Read Only Memory*)

12.1 Memorie Voltatili

Se connetto la cella alla bit line, la bit line influisce la cella: necessita distinzione tra lettura e scrittura.

Bistabile + Faccio competere con una rete forte se voglio scrivere ed una rete debole se voglio leggere (dalla cella): SRAM 5T(transistori)

Alternativa: Condensatore isolato (Problema con capacità parassita della bitline) (DRAM 1T), le operazioni di lettura sono molto piú complicate). Si dice che la lettura é distruttiva.

Un altro problema é che se carico la cella, il condensatore é imperfetto, e poco alla volta perde carica. Periodicamente devo rigenerare i valori nelle celle (Operazione di Refresh). Questo rallenta le operazioni

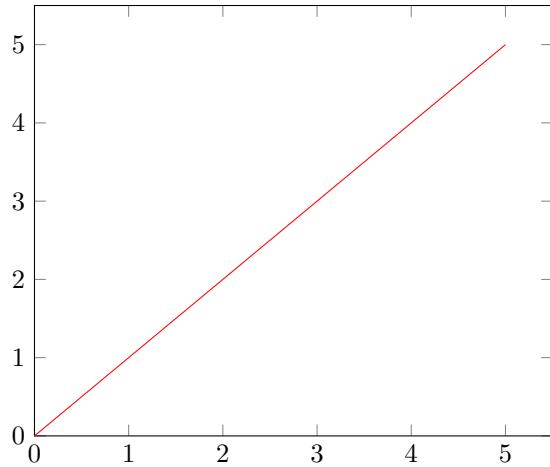
Per questo motivo, le memorie di tipo statico sono significativamente piú veloci delle memorie di tipo dinamico.

12.2 Conversione ADC/DAC

Ci limitiamo ad enunciare i principi (come nelle memorie) senza entrare nel dettaglio.

Convertitore ADC, entra un segnale esce una n-upla di bit, é implicita una perdita di informazione.

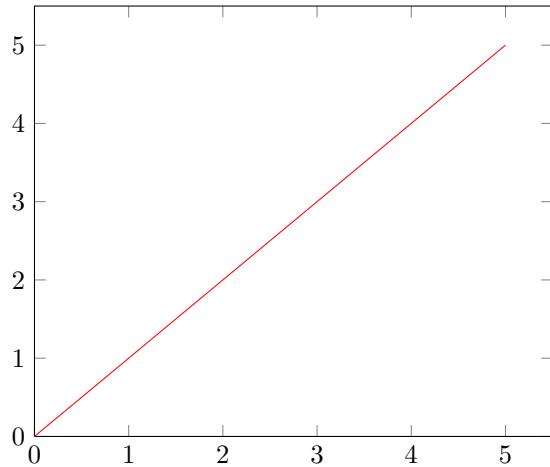
Immaginando che il segnale d'ingresso V_{in} vari da 0 a V_{SF} . Posso rappresentare in funzione dell'ingresso V_{in} la rappresentazione decimale equivalente.



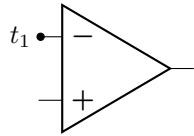
Assegno i possibili valori d'ingresso a rispettivi valori binari per gli $a_0 \dots a_n$: Processo di Quantizzazione

$$\frac{V_{FS}}{2^n} = Q$$

Se scelgo questo tipo di quantizzazione l'errore massimo è Q



In questo caso, tralasciando, l'ultimo intervallo l'errore massimo che ho è $\frac{Q}{2}$. Tutto questo funziona fino a quando non entro negli intervalli segnati.



Serve un circuito in grado di leggere le soglie d'ingresso (Comparatore elementare)

$$V_{id} = V_{i0} - t_1 > 0 \rightarrow V_{in} > t_1 \rightarrow V_u = V_M$$

Siccome devo osservare 3 soglie: 3 Amplificatori operazionali

Codice a 3 monitor

(V_{FS} Tensione di fondoscala)

- Generare i valori di riferimento: Siccome entra una corrente nulla nell'operazionale basta un partitore.
(Per riprodurre le tensioni basta mettere resistenze proporzionali)

- ABC è già un uscita digitale: Convertire il codice termometro in un codice binario

A	B	C	a_1	a_0
0	0	0	0	0
0	0	1	0	1
0	1	0	-	-
0	1	1	1	0
1	0	0	-	-
1	0	1	-	-
1	1	0	-	-
1	1	1	1	1

A/BC	00	01	11	10
0	0	0	1	-
1	-	-	1	-

A/BC	00	01	11	10
0	0	1	0	-
1	-	-	1	-

Convertitore di tipo Flash

Numero decimale che rappresenta l'n-upla di bit posso scriverlo come

$$A = \sum_{i=0}^{n-1} a_i 2^i = 2^n \sum_{i=0}^{n-1} a_i 2^{i-n}$$

$$\sum_{i=0}^{n-1} a_i 2^{i-n} \approx 1$$

$$\sum_{i=0}^{n-1} a_i 2^{i-n} V_{FS} = a_{n-1} \frac{V_{FS}}{2} + a_{n-2} \frac{V_{FS}}{4} \dots a_0 \frac{V_{FS}}{2^n}$$

Ho ricondotto il problema ad una somma di tensioni proporzionale a V_{FS} : Basta un circuito sommatore

$$V_u = \left(\frac{R}{R_1} V_1 + \frac{R}{R_2} V_2 \right)$$

$$V_u = a_1 \frac{V_{FS}}{2} + a_0 \frac{V_{FS}}{4}$$

Immaginando di applicare il principio di sovrapposizione degli effetti

$$a_1 a_0 = 01 \quad V_u = \cancel{a_0} \frac{V_{FS}}{4} = - \left(\frac{R}{R_1} V_1 + \frac{R}{R_2} V_2 \right)$$

$$R_2 = 4R \frac{V_H}{V_{FS}}$$

Altro caso $a_1 a_0 = 10$

$$V_u = \cancel{a_1} \frac{V_{FS}}{2} + a_0 \cancel{\frac{V_{FS}}{4}} = - \frac{R}{R_1} V_H \rightarrow R_1 = 2R \frac{V_H}{V_{FS}}$$