

Appunti Elettronica 18/19

ale-cci

June 24, 2019

Contents

1 Introduzione	4
1.1 28/02/19	4
2 Studio di un Semiconduttore Drogato all'equilibrio	5
3 Studio della giunzione pn all'equilibrio	6
3.1 Calcolo di ω_n e ω_p	7
4 Utilizzo del diodo	7
5 Modello a soglia del diodo	7
5.1 Raddrizzatore a singola semionda	7
5.2 Limitatore di tensione superiore	7
5.3 Limitatore di tensione superiore ed inferiore	7
6 Elaborazione di piú segnali	7
6.1 Circuito di rilevatore di massimo OR	7
6.2 Circuito di rilevatore di minimo AND	7
6.3 Raddrizzatore a doppia semionda	7
7 Studio di un raddrizzatore a singola semionda con un condensatore	7
8 Diodo in regime dinamico	7
8.1 Modello a soglia dinamico di un diodo	7
8.2 Risposta al gradino in discesa del circuito raddrizzatore a singola semionda	7
8.3 Risposta al gradino in salita del circuito raddrizzatore a singola semionda	7
9 Riassunto diodo	7
10 Transistor	7
10.1 Transistor BJT	8
10.2 Modello di transistore	9
10.3 Modello Ebers e Moll	9
10.3.1 Regione Normale	9
10.3.2 Polarizzazione Inversa	10
10.4 Transistor in un circuito	11
10.5 Emettitore Comune	11
10.6 Effetto Early	11
10.7 Utilizzo Transistor BJT	11
10.7.1 Studio Circuito in Ambito Analogico	11
10.7.2 Studio Circuito in Ambito Digitale	11
10.7.3 Confronto diodo e BJT	11

11 Modello BJT Semplificato	11
12 Logica RTL	11
12.1 Studio Immunità ai disturbi	11
12.2 Studio del ruomore che eccede N_M	11
12.3 Errore del modello a soglia	11
12.4 Generalizzazione V_H , V_L , N_H , Esclusione Logica	11
12.5 Porte NOR a logica RTL	11
12.6 Nor a N Ingressi	11
12.7 Studio FAN-OUT Logica RTL	11
12.8 Modello Generale (a controllo di carica)	11
12.9 Risposta al gradino in salita dell'invertitore RTL	11
12.10 Risposta al gradino in discesa dell'invertitore RTL	11
13 Logica TTL	11
13.1 Funzioni Logiche a piú ingressi	11
13.2 Studio della catatteristica dell'invertitore TTL	11
14 Logica ECL	11
15 Funzioni Logiche a piú Ingressi	11
15.1 NOR/OR	11
16 Studio del generatore di corrente (Generatore a specchio di corrente)	11
17 Studio del generatore di tensione costante	11
18 p-MOSFET	11
19 Studio Grandezze Fondamentali	11
20 Equazioni Caratteristiche n-MOSFET	11
21 Invertitore n-MOS a carico positivo	11
22 Modello n-Mosfet	12
22.1 Studio Margine di Immunità ai disturbi	12
22.2 Analisi Bipolo N-Mos connesso a diodo	12
22.3 Invertitore n-mos a carico saturato	12
23 n-Mos a soglia negativa	12
24 p-Mosfet	12
25 Modello p-MOSFET ad arricchimento	12
26 Invertitore n-Mos con a carico P-MOS e $V_G = 0$	12
27 Tecnologia C-MOS	12
28 Invertitore C-MOS	12
29 Funzione a piú ingressi (n-MOS)	12
30 Funzione a piú ingressi (c-MOS)	12
31 Funzione Arbitraria C-MOS Ratioless	12

32 Studio Circuito Dinamico	12
33 Analisi tempo di propagazione	12
34 Transistor n-MOS in Parallelo	12
35 Transistor n-MOS in Serie	12
36 Potenza C-MOS In regime Dinamico	12
37 Appunti di Tue 21 May 2019 02:48:28 PM CEST	13
38 Lezione del Wed 22 May 2019 03:45:35 PM CEST	16
38.1 Immunità ai disturbi in sistemi analogici	16
38.2 Generatore di corrente	18
39 Appunti Thu 23 May 2019 02:46:13 PM CEST	20
40 Amplificatore Operazionale	20
40.1 Utilizzi	22
41 Integrazione di un segnale	25
41.1	25
41.2 Circuito con piu ingressi	26
42 Circuito Sottrattore	28
43 Amplificatore logaritmico	28
44 Amplificatore esponenziale/Antilogaritmico	29
45 Circuito Bistabile (Circuiti Schmitt trigger)	30
45.1 Trigger invertente	30
45.2 Trigger non invertente	31
46 Circuito Astabile	32
46.1 Multiplexer	34
47 Appunti Tue 04 Jun 2019 02:57:14 PM CEST	35
48 Appunti Thu 06 Jun 2019 02:42:48 PM CEST	37
48.1 Memorie Voltatili	38
48.2 Conversione ADC/DAC	38

1 Introduzione

Due atomi vicini tra loro si influiscono a vicenda, variando il diagramma dell'energia. Le proprietà di esclusione continuano a valere anche per gli atomi.

Se non viene fornita energia al sistema, vengono occupate le bande più basse.

In condizioni di equilibrio, (no scambio energetico), i livelli al di sotto del **livello di Fermi** sono tutti occupati dagli elettroni, diversamente quelli al di sopra sono tutti liberi.

Fornire calore equivale ad aumentare l'energia

Materiale isolante: Bande totalmente piene o totalmente vuote

Materiale conduttore: 1 Banda Parzialmente occupata

p = densità di lacune: lacune / volume

n = densità elettroni: elettroni liberi / volume

Evento di generazione elettrone lacuna: avviene quando è assorbita energia. Per il principio di conservazione esiste anche l'evento opposto: evento di ricombinazione di una coppia elettrone lacuna

$$G = \text{tasso di generazione} = \frac{\text{Numero di coppie generate}}{\text{tempo} \cdot \text{volume}}$$

$$R = \text{tasso di ricombinazione} = \frac{\text{Numero di coppie ricominate}}{\text{tempo} \cdot \text{volume}}$$

Alla saturazione $G = R$

Elettrone di legame è debolmente legato al nucleo, se riceve sufficiente energia si libera

Materiali della 5ª colonna sono detti donatori, se messi insieme ad atomi della 4ª colonna 1 elettrone viene ceduto senza generare lacune

Materiali della 3ª colonna sono detti accettori per motivo opposto.

Un *portatore di carica* è una particella mobile dotata di carica, solitamente carica elettrica.

Nei semiconduttori, la carica elettrica è trasportata da elettroni e lacune. I portatori di carica più abbondanti vengono detti *maggioritari*. Essi sono elettroni nel caso di semiconduttori a droggaggio di tipo n, e lacune per il droggaggio di tipo p.

1.1 28/02/19

Corrente: carica negativa in movimento

Atomo donatore: Atomo della 5a colonna inserito per drogare

N_D concentrazione di atomi donatori

$T :=$ Temperatura

In un semiconduttore intrinseco, non drogato: $n = p = n_i(T)$

Legge di azione di massa: $n \cdot p = n_i^2(T)$, vale sia per materiali intrinseci che per estrinseci (all'equilibrio)

$$\left. \begin{array}{l} G = R \\ G = g(T)R = p \cdot n \cdot r(T) \end{array} \right\} \Rightarrow g(T) = p \cdot n \cdot r(T)$$

$$p \cdot n = \frac{g(T)}{r(T)} = n_i(T)$$

Dato un semiconduttore uniforme caratterizzato da N_A e N_D :

Risulta complessivamente neutro $\rightarrow Q_{tot} = 0$

Siccome è uniforme vale per ogni partizione del semiconduttore

$$Q_{tot} = 0 \xrightarrow{\text{uniforme}} \rho = 0 \quad (\rho \text{ densità di carica})$$

La temperatura ambiente è sufficiente per considerare che gli atomi Accettori abbiano catturato un elettrone (Analogamente possiamo considerare che gli atomi donatori abbiano tutti donato)

$$\rho = -qn + qp - qN_A + qN_D$$

$$\left. \begin{array}{ll} \rho = q(N_D - N_A + p - n) = 0 & \text{(Condizione di Uniformità)} \\ pn = n_i^2(T) & \text{(Condizione di equilibrio)} \end{array} \right.$$

$$\begin{aligned}
& \begin{cases} p = \frac{n_i^2(T)}{n} \\ N_D - N_A + \frac{n_i^2(T)}{n} - n = 0 \end{cases} \\
& \begin{cases} p = \frac{n_i^2(T)}{n} \\ n^2 + (N_A - N_D)n - n_i^2(T) = 0 \end{cases} \\
n_{1,2} &= \frac{(N_D - N_A) \pm \sqrt{(N_A - N_D)^2 + 4n_i^2(T)}}{2} \\
& \begin{cases} n = \frac{(N_D - N_A) + \sqrt{(N_A - N_D)^2 + 4n_i^2(T)}}{2} \\ p = \frac{(N_A - N_D) + \sqrt{(N_A - N_D)^2 + 4n_i^2(T)}}{2} \end{cases}
\end{aligned}$$

Nel caso in cui $N_D \gg N_A, n_i$

$$\begin{cases} n \approx \frac{N_D + \sqrt{N_D^2}}{2} = N_D \\ p \approx \frac{n_i^2}{N_D} \end{cases}$$

Da collegare alla parte che segue + Aggiungere immagini

$$\begin{cases} F = -qE \\ F = ma \end{cases} \rightarrow q = -\frac{qE}{m}$$

Chiamata μ_N la mobilità elettronica:

$$\begin{aligned}
& \begin{cases} V_n = -\mu_N E \\ V_n = \frac{dx}{dt} \end{cases} \Rightarrow dx = -\mu_N E dt \\
& \begin{cases} I = \frac{dQ}{dt} \\ dQ = -qn \cdot dV \\ dV = S \cdot dx \end{cases} \Rightarrow I = -\frac{qn \cdot dV}{dt} = -qnS(-\mu_N E) \frac{dt}{dt} = qnS\mu_N E
\end{aligned}$$

2 Studio di un Semiconduttore Drogato all'equilibrio

Aggiungere altre immagini

$$J_p = \frac{I}{S} = q\mu_p E$$

$$J = J_n + J_p = q\mu_N n E + q\mu_p p E$$

All'equilibrio $J_n = J_p = 0$, La concentrazione di elettroni non è costante!

$$\begin{aligned} dQ_1 &= -\frac{1}{2} S q n_1 dx \\ dQ_2 &= -\frac{1}{2} S q n_2 dx \end{aligned}$$

$\frac{1}{2}$ Perché solo il 50% è diretto nella direzione considerata

$$I = \frac{dQ}{dt} = \frac{-\frac{1}{2}Sqn_1V_{th}dt + \frac{1}{2}Sdxn_2qV_{th}dt}{dt} = \frac{1}{2}SqV_{th}(n_2 - n_1) \neq 0 \rightarrow \text{Assurdo}$$

La carica si distribuisce equamente. Alla distribuzione delle cariche si genera un campo elettrico

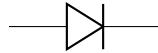
$$J_n = qDn \frac{dn}{dt}$$

All'equilibrio $J_n = q\mu_n E + qDn \frac{dn}{dx} = 0$

Dato che $E \neq 0$ ed $E \propto d\Phi$, se $n_1 \neq n_2 \Rightarrow \Phi_1 \neq \Phi_2$

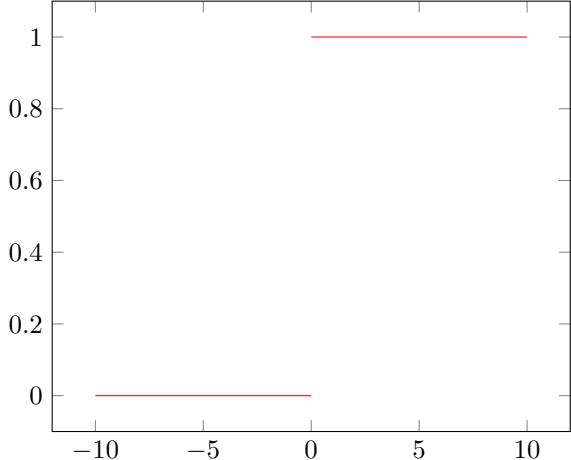
$$\begin{aligned} J_n &= -q\mu_n n \frac{d\Phi}{dx} + q \frac{KT}{q} n \frac{dn}{dx} = 0 \\ q\mu_n n \frac{d\Phi}{dx} &= q \frac{KT\mu_n}{q} \frac{dn}{dx} \\ \frac{q}{KT} \frac{d\Phi}{dx} &= \frac{1}{n} \frac{dn}{dx} \\ \int \frac{q}{KT} d\Phi &= \int \frac{1}{n} dn \\ \ln(n) \Big|_{n_1}^{n_2} &= \frac{q}{KT} \Phi \Big|_{\Phi_1}^{\Phi_2} \\ \ln \left(\frac{n_2}{n_1} \right) &= \frac{q}{KT} (\Phi_2 - \Phi_1) \\ \ln \left(\frac{n(x)}{n_0} \right) &= \frac{q}{KT} \Phi(x) \end{aligned}$$

3 Studio della giunzione pn all'equilibrio



Un diodo a giunzione p-n permette alle cariche elettriche di scorrere in una direzione ma non in quella opposta. Quando la giunzione p-n é polarizzata direttamente, la differenza di potenziale sulla giunzione diminuisce e questo fa sì che possa scorrere una corrente apprezzabile verso il catodo. Quando é polarizzata in inversa, invece la barriera di potenziale alla giunzione aumenta e la corrente inversa che puó scorrere verso l'anodo é bassa.

Il semiconduttore é drogato in modo da avere una brusca variazione di droganti



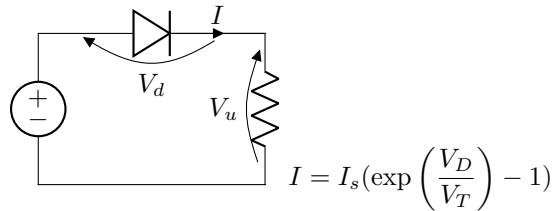
Presupposti per lo studio:

1. Campo esterno nullo
2. Distribuzione dei droganti a gradino

Se gli effetti delle brusche variazioni sono trascurabili rispetto alla dimensione di un diodo, allora esistono due coordinate ω_n e ω_p , a partire dalle quali possiamo trascurare gli effetti di perturbazione sulla giunzione.

3.1 Calcolo di ω_n e ω_p

4 Utilizzo del diodo



5 Modello a soglia del diodo

- 5.1 Raddrizzatore a singola semi-onda
- 5.2 Limitatore di tensione superiore
- 5.3 Limitatore di tensione superiore ed inferiore

6 Elaborazione di più segnali

- 6.1 Circuito di rilevatore di massimo OR
- 6.2 Circuito di rilevatore di minimo AND
- 6.3 Raddrizzatore a doppia semi-onda

7 Studio di un raddrizzatore a singola semi-onda con un condensatore

8 Diodo in regime dinamico

In *polarizzazione diretta* la giunzione non è svuotata, in quanto predominano la diffusione rispetto al trascinamento, ci sono molti portatori

- 8.1 Modello a soglia dinamico di un diodo
- 8.2 Risposta al gradino in discesa del circuito raddrizzatore a singola semi-onda
- 8.3 Risposta al gradino in salita del circuito raddrizzatore a singola semi-onda

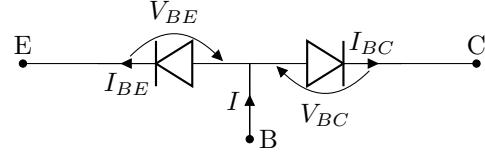
9 Riassunto diodo

10 Transistor

3 terminali (B,E,C) e tre correnti, (I_B , I_E , I_C) per convenzione prese entranti nel transistor, quindi positive.

La corrente di emettitore (I_E) é composta da una corrente di lacune I_{pE} ed una di elettroni I_{nE} , entrambe con verso entrante nella base (Le lacune essendo positive passano da emettitore a base, mentre gli elettroni passano da base ad emettitore, ma il verso della corrente é lo stesso per entrambe).

Da cui $I_{BE} = I_{pE} + I_{nE}$



$$I_E = I_{BES} \left(\exp\left(\frac{V_{BE}}{V_T}\right) - 1 \right)$$

$$I_{BC} = I_{BCS} \left(\exp\left(\frac{V_{BC}}{V_T}\right) - 1 \right)$$

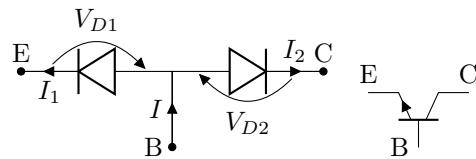
Effetto Transistore: Una giunzione polarizzata in inversa é sede di forti correnti se associata ad una giunzione polarizzata in diretta che le sta vicino

10.1 Transistor BJT

Bipolar Junction Transistor. Idea di base: Per creare un invertitore basta utilizzare un interruttore il funzionamento da interruttore

'e legato a due particolari stati del transistor: quello di saturazione (ON) e quello di interdizione (OFF)
Nella saturazione le due giunzioni sono polarizzate direttamente.

Il tempo impiegato dal dispositivo per il passaggio da uno stato ad un altro é notevole. Nel caso ideale il transistor passa tra lo stato ON e lo stato OFF istantaneamente.



- B: Base
- E: Emettitore
- C: Collector

Nel caso in cui $V_{D1} > 0$ e $V_{D2} < 0$ segue che:

- $I_{D1} \gg 0$ il diodo 1 é polarizzato in diretta
- $I_{D2} < 0$ il diodo 2 é polarizzato in inversa

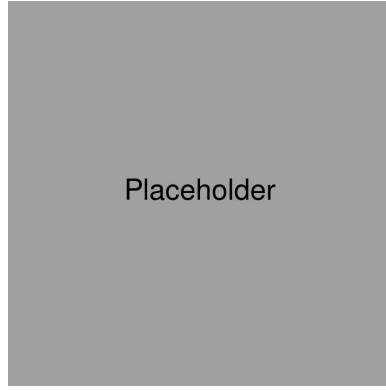
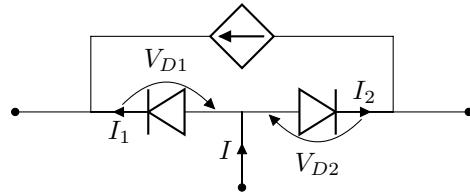


Figure 1: Costruzione di un transistore col silicio

ω é la lunghezza dell'area drogata p (Vedi figura 1):
 per valori di ω grandi e $V_{D1} > 0$ e $V_{D2} < 0$: $I_1 \approx I$ e $I_2 \approx 0$.
 per valori di ω piccolo e $V_{D1} > 0$ e $V_{D2} < 0$: $I_1 \gg 0 \approx I$ e $I_2 \ll 0$; $I_1 \approx -I_2$ e $I \approx 0$.

10.2 Modello di transistore

10.3 Modello Ebers e Moll



Dalle leggi di Kirkoff possiamo ricavare il seguente sistema di equazioni:

$$\begin{cases} I_E = (I_{BES} + I_S)(\exp(\frac{V_{BE}}{V_T}) - 1) - I_S(\exp(\frac{V_{BC}}{V_T}) - 1) \\ I_C = I_S(\exp(\frac{V_{BC}}{V_T}) - 1) - (I_{BCS} + I_S)(\exp(\frac{V_{BC}}{V_T}) - 1) \\ I_B = I_{BES}(\exp(\frac{V_{BE}}{V_T}) - 1) + I_{BCS}(\exp(\frac{V_{BC}}{V_T}) - 1) \end{cases}$$

Studio il modello nelle varie regioni di polarizzazione

10.3.1 Regione Normale

$$\left. \begin{array}{l} V_{BE} > 0 \\ V_{BC} < 0 \end{array} \right\} \rightarrow e^{\frac{V_{BE}}{V_T}} \gg 1 \gg e^{\frac{V_{BC}}{V_T}}$$

Da cui otteniamo

$$\left. \begin{array}{l} I_E \approx (I_S + I_{BES})(\exp(\frac{V_{BC}}{V_T}) - 1) \\ I_C \approx I_S(\exp(\frac{V_{BE}}{V_T}) - 1) \\ I_B \approx I_{BES}(\exp(\frac{V_{BE}}{V_T}) - 1) \end{array} \right.$$

Tutte le correnti dipendono esponenzialmente dalla stessa tensione: sono proporzionali tra loro.

$$\frac{I_C}{I_E} = \frac{I_S(\exp(\frac{V_{BE}}{V_T}) - 1)}{(I_S + I_{BES})(\exp(\frac{V_{BE}}{V_T}) - 1)} = \frac{I_S}{I_S + I_B E S} = \alpha_F < 1$$

$$I_C = \alpha_F I_E \text{ con } \alpha = \frac{I_S}{I_S + I_{BES}}$$

α_F è chiamata *Efficienza di emettitore*. Quando è uguale ad 1 la corrente che entra dal collettore esce uguale dall'emettitore.

$$I_B = I_{BES}(\exp(\frac{V_{BE}}{V_t}) - 1) + I_S(\exp(\frac{V_{BE}}{V_T}) - 1) - I_S(\exp(\frac{V_{BE}}{V_T}) - 1) = I_E - I_C$$

10.3.2 Polarizzazione Inversa

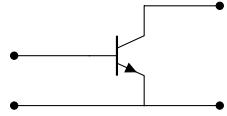
$$\left. \begin{array}{l} V_{BE} < 0 \\ V_{BC} > 0 \end{array} \right\} \rightarrow e^{\frac{V_{BE}}{V_T}} \ll 1 \ll e^{\frac{V_{BC}}{V_T}}$$

10.4 Transistor in un circuito

10.5 Metodi di connessione

- Emettitore Comune
- Base Comune
- Collettore Comune

10.5.1 Emettitore Comune

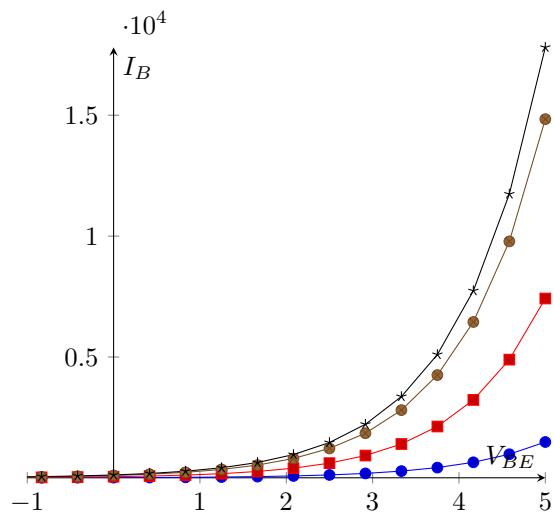


- Regione Normale

$$\left. \begin{array}{l} V_{BE} > 0 \\ V_{BC} = V_{BE} - V_{CE} < 0 \end{array} \right\} \Rightarrow 0 < V_{BE} < V_{CE}$$

$$I_B = I_{BES}(\exp(\frac{V_{BE}}{V_T}) - 1) + I_{BCS}(\exp(\frac{V_{BC}}{V_T}) - 1) \approx I_{BES}(\exp(\frac{V_{BE}}{V_T}) - 1)$$

$$I_B = I_{BES}(\exp(\frac{V_{BE}}{V_T}) - 1), \text{ Famiglia di curve per ogni } V_{CE} > V_{BE}$$



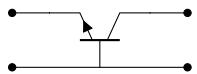
- Regione di Interdizione

$$\left. \begin{array}{l} V_{BC} < 0 \\ V_{BE} < 0 \end{array} \right\} \Rightarrow I_B \approx -I_{BES} - I_{BCS}$$

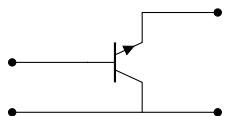
Non c'è effetto transistore

- Regione di Saturazione

10.5.2 Base Comune



10.5.3 Collettore Comune



- 10.6 Effetto Early
- 10.7 Utilizzo Transistor BJT
 - 10.7.1 Studio Circuito in Ambito Analogico
 - 10.7.2 Studio Circuito in Ambito Digitale
 - 10.7.3 Confronto diodo e BJT

11 Modello BJT Semplificato

12 Logica RTL

- 12.1 Studio Immunità ai disturbi
- 12.2 Studio del rumore che eccede N_M
- 12.3 Errore del modello a soglia
- 12.4 Generalizzazione V_H , V_L , N_H , Esclusione Logica
- 12.5 Porte NOR a logica RTL
- 12.6 Nor a N Ingressi
- 12.7 Studio FAN-OUT Logica RTL
- 12.8 Modello Generale (a controllo di carica)
- 12.9 Risposta al gradino in salita dell'invertitore RTL
- 12.10 Risposta al gradino in discesa dell'invertitore RTL

13 Logica TTL

- 13.1 Funzioni Logiche a più ingressi
- 13.2 Studio della caratteristica dell'invertitore TTL

14 Logica ECL

15 Funzioni Logiche a più Ingressi

- 15.1 NOR/OR

16 Studio del generatore di corrente (Generatore a specchio di corrente)

17 Studio del generatore di tensione costante

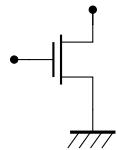
18 p-MOSFET

19 Studio Grandezze Fondamentali

20 Equazioni Caratteristiche n-MOSFET

21 Invertitore n-MOS a carico positivo

22 Modello n-Mosfet



22.1 Studio Margine di Immunità ai disturbi

22.2 Analisi Bipolo N-Mos connesso a diodo

22.3 Invertitore n-mos a carico saturato

23 n-Mos a soglia negativa

24 p-Mosfet

25 Modello p-MOSFET ad arricchimento

26 Invertitore n-Mos con a carico P-MOS e $V_G = 0$

27 Tecnologia C-MOS

28 Invertitore C-MOS

29 Funzione a piú ingressi (n-MOS)

30 Funzione a piú ingressi (c-MOS)

31 Funzione Arbitraria C-MOS Ratioless

32 Studio Circuito Dinamico

33 Analisi tempo di propagazione

34 Transistor n-MOS in Parallello

35 Transistor n-MOS in Serie

36 Potenza C-MOS In regime Dinamico

37 Appunti di Tue 21 May 2019 02:48:28 PM CEST

Potenza

- Statica = 0
- Dinamica
 - Cortocircuito
 - Carico

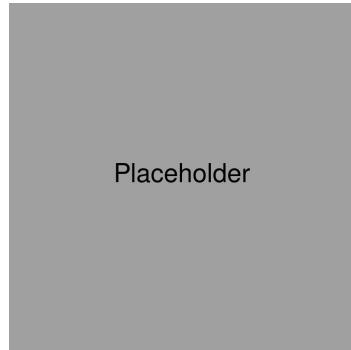


Figure 2: Grafico 1

$$\begin{aligned}
 I_D &= \frac{\beta}{2} \left\{ \frac{t}{t_R} V_{DD} - V_T \right\}^2 \\
 V_i(t) &= \frac{t_1}{t_r} V_{DD} = V_T \rightarrow t_1 = \frac{V_t}{V_{DD}} t_R \\
 V_i(t_5) &= \frac{t_5}{t_R} V_{DD} = \frac{V_{DD}}{2} \rightarrow t_5 = \frac{t_R}{2} \\
 \tilde{P} &= \frac{1}{T} \int_0^T V_{DD} I_D dt = \frac{1}{T} 4 \int_{t_1}^{t_5} V_{DD} \frac{\beta}{2} \left(t \frac{V_{DD}}{t_R} - V_T \right)^2 dt \\
 &= \frac{4}{T} \frac{\beta V_{DD}}{2} \frac{t_R}{3} \left[\left(t \frac{V_{DD}}{t_R} - V_T \right)^3 \right]_{\frac{V_T}{V_{DD}} t_R}^{\frac{t_R}{2}}
 \end{aligned}$$

$$\tilde{P}_{CC} = \frac{\beta}{2} \frac{t_R}{T} (V_{DD} - 2V_T)^3$$

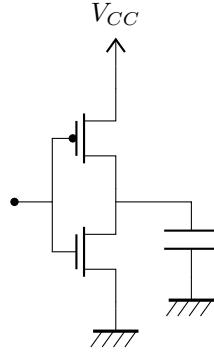


Figure 3: Circuito 1

Applicando Kirkoff: $I_{DP} = I_{Dn} + I_C$

Ricostruita la situazione possiamo analizzare la potenza media associata al carico $\tilde{P}_i = \frac{1}{T} \int_0^T I_{DD} V_{DD} dt$

Sempre dalla relazione di prima, siccome $I_C = 0 \Rightarrow I_{DD} = I_{DP}$

P-mos é **saturo** quando $V_u < V_i + V_t$

Istantaneamente posso avere un bilancio energetico non nullo, ma in un caso periodico somma dell' energia, per il principio di conservazione deve essere nulla

Sommendo le tre potenze devo trovare la potenza complessiva, quindi:

$$\tilde{P}_L = \tilde{P}_n + \tilde{P}_p + \tilde{P}_C$$

$$\tilde{P}_C = \frac{1}{T} \int_0^T V_U I_C dt = \frac{1}{T} \int_0^T V_U C_L \frac{dV_U}{dt} dt = \frac{C_L}{T} \int_{V_U(0)=0}^{V_U(T)=0} \dots = 0$$

Ovvio che é nullo perche l'energia di un condensatore é legata alla carica

$$\begin{aligned} \tilde{P}_P &= \frac{1}{T} \int_0^T V_{BD} I_{DP} dt = \frac{1}{T} \left[\int_0^{\frac{T}{2}} V_{BD} I_{DP} dt + \int_{\frac{T}{2}}^{2T} V_{SD} I_{DD} dt \right] \\ &\quad \frac{1}{T} \int_0^{\frac{T}{2}} (V_{DD} - V_U) C_L \frac{dV_U}{dt} dt = -\frac{C_L}{T} \int (V_U - V_{DD}) dV_U = \dots \\ &\quad = \frac{C_L}{T} \frac{V_{DD}^2}{2} \end{aligned}$$

Calcolando la potenza consumata dal transitorio di Pull Down (N-mos) Osservando che nel primo semiperiodo l'n-mos é spento, La corrente é nulla, quindi ci limitiamo ad integrare nel secondo semiperiodo

$$\tilde{P} = \frac{1}{T} \int_0^T V_U I_C dt = \frac{1}{T} \int_{\frac{T}{2}}^T V_U C_L \frac{dV_U}{dt} dt =$$

Sapendo che $I_{DD} = -C_L \frac{dV_U}{dt}$ Abbiamo che:

$$-\frac{C_L}{T} \int_{V_U(T/2)=V_{DD}}^{V_U(T)=0} V_U \frac{dV_U}{dt} dt = \dots = \boxed{\frac{C_L}{T} \frac{V_{DD}^2}{2}}$$

Quindi: $\tilde{P}_L = \frac{C_L}{T} V_{DD}^2$

Si puó notare che la potenza dissipata non dipende dai parametri dei transitori (β non compare nell' espressione)

Siccome quello che mi serve é caricare il condensatore, devo spendere un energia doppia rispetto a quella che ...

Se cambia β cambia solo il tempo in cui si carica/scarica il condensatore, β non influisce sull'energia

$$\frac{1}{T} = f \Rightarrow f C_L V_{DD}^2$$

Questa che é una potenza dinamica, aumenta con la frequenza → devo caricare e scaricare il condensatore piú volte

In P_{CC} Compare il rapporto $\frac{t_R}{T}$, supponendo di essere capaci di far andare piú veloce il circuito, il rapporto tende a rimanere costante → Ridurre il periodo aumenta la potenza associata a carica-scarica, ma ha un effetto limitato sulla potenza di cortocircuito

La frequenza sicuramente cresce perche siamo sicuri di riuscire a fare dispositivi piú veloci, ma fare dispositivi piú piccoli, lo scopo della riduzione delle geometrie non é fare lo stesso circuito piú piccolo, ma per poter mettere piú "roba" all'interno dello stesso chip.

Viene sfruttata la possibilità di mettere piú componenti nello stesso spazio, la frequenza di clock dipende anche dall'architettura e da come é fatto il circuito

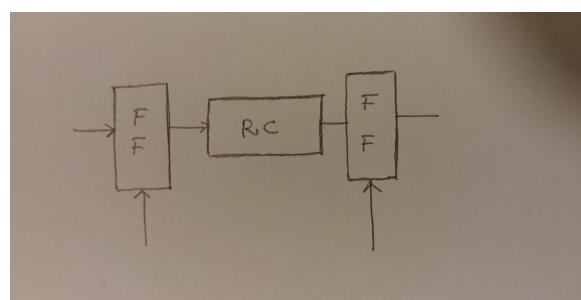


Figure 4: Esempio di clock

Rete sincrona é piu robusta e piu sicura al problema delle Aleee, il periodo di clock deve garantire che tutta la rete combinatoria, abbia il tempo di completare il suo lavoro.

La possibilità di integrare circuiti piú complessi viene sfruttata per implementare architetture con maggiori prestazioni, es. Circuiti in Parallello

Siccome abbiamo scoperto che la frequenza di clock impatta direttamente sulla frequenza associata al carico, e tende ad aumentare con la riduzione delle dimensioni, comporta al fatto che, se tutto il resto rimanesse costante, tutto va piú veloce e consuma di piú perche va piu veloce: Utilizzo architetture con maggiore prestazione a cui é associato un maggiore consumo

Circuiti c-mos caratterizzato da un basso consumo di potenza statico, ma un alto consumo dinamico

Differenza fondamentale con la logica RTL era che quella consumava sia che lavorasse, sia che non lavorasse Logica di tipo **ratioless**: Le dimensioni del transistore non impattano sulla funzionalità

38 Lezione del Wed 22 May 2019 03:45:35 PM CEST

38.1 Immunità ai disturbi in sistemi analogici

Principale differenza tra elettronica analogica e digitale é che é in grado di distinguere il segnale dal rumore.

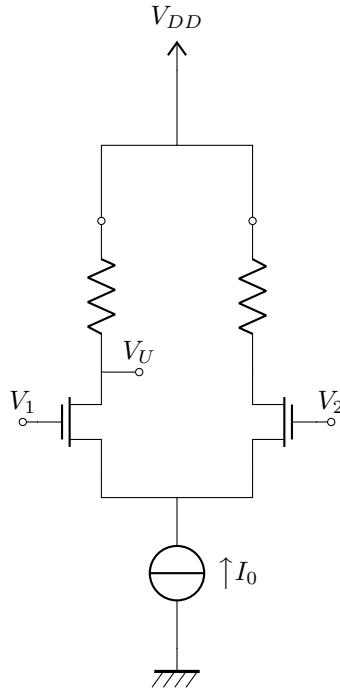


Figure 5: Amplificatore Differenziale

Osservazioni su Figura 5:

- Per Kirkoff $I_1 + I_2 = I_0$
 - Siccome la somma delle correnti é non nulla, i due transistori (M_1 e M_2), non possono essere spenti allo stesso tempo
- $$I_{D\text{sat}} = \frac{\beta}{2}(V_{GS} - V_T)^2$$
- La caratteristica del generatore di corrente sul piano Tensione-Corrente é che é costante \Rightarrow la tensione V_X é incognita
 - Per Kirkoff: $V_1 - V_{GS1} + V_{GS2} - V_2 = 0 \Rightarrow V_1 - V_2 = V_{GS1} - V_{GS2}$

Supponendo che per ipotesi: M_1 se acceso é saturo e M_2 se acceso é saturo, e, supponendo che $V_1 = V_2$, allora:

$$V_1 - V_2 = 0 \Rightarrow V_{GS2} - V_{GS1} = 0 \Rightarrow V_{GS1} = V_{GS2}$$

Siccome la corrente dipende solo da V_{GS} , se le tensini sono uguali, le correnti sono uguali $\xrightarrow{SAT} I_1 = I_2$

$$\text{Siccome } I_1 + I_2 = 0 \Rightarrow I_1 = \frac{I_0}{2}, I_2 = \frac{I_0}{2}$$

$$V_{U1} = V_{DD} - RI_1 = V_{DD} - R \frac{I_0}{2}$$

$$V_{U2} = V_{DD} - RI_2 = V_{DD} - R \frac{I_0}{2}$$

Il valore di uscita non dipende dall'ingresso, se V_1 e V_2 sono uguali tra di loro, l'uscita non dipende da loro
(Se lavoriamo in regione di saturazione)

Questo tipo di circuito non vede il rumore, siccome entra uguale in entrambi gli ingressi

Supponendo ora che V_1 e V_2 siano **diversi**, (es $V_1 > V_2$):

$$V_1 - V_2 > 0 \Rightarrow V_{GS1} - V_{GS2} > 0 \Rightarrow V_{GS1} > V_{GS2}$$

$$V_{GS1} > V_{GS2} \Rightarrow I_1 > I_2$$

Dato che la somma delle correnti è limitata ($I_1 + I_2 = I_0$), la corrente I_1 continua a crescere, mentre I_2 diminuisce, fino a quando la corrente I_0 gira unicamente su un ramo. La corrente non può diventare negativa perché andrebbe contro le condizioni del transistore.

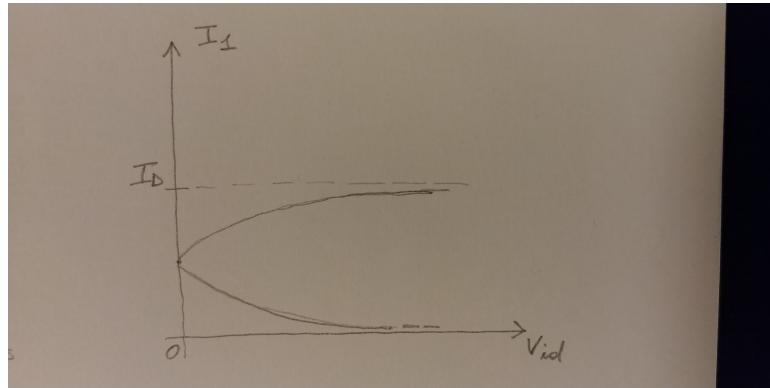
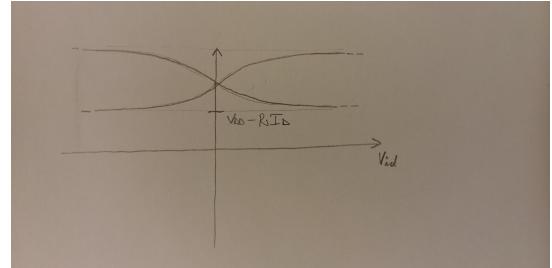


Figure 6: Grafico I_0 , V_{id}

Chiamata V_{id} la tensione differenziale, posso tracciare l'andamento di I_1 (Figura 6), il quale satura al valore I_0

$$\begin{cases} V_{u1} = V_{DD} - RI_1 \\ V_{u2} = V_{DD} - RI_2 \end{cases}$$



Comportamento radicalmente diverso se i segnali variano simultaneamente o non; Quelle non simultanee vengono amplificate

Segnale d'ingresso di modo differenziale

$$\begin{cases} V_{id} = V_1 - V_2 \\ V_{ic} = \frac{V_1 + V_2}{2} \end{cases} \Rightarrow \begin{cases} V_1 = V_{ic} + \frac{V_{id}}{2} \\ V_2 = V_{ic} + \frac{V_{id}}{2} - V_{id} = V_{ic} - \frac{V_{id}}{2} \end{cases}$$

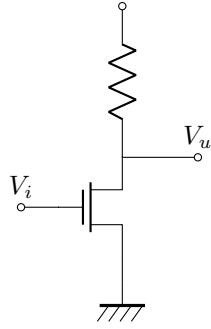
Qualunque coppia di segnali è suddivisibile in un segnale di modo comune ed un segnale differenziale, questo circuito cancella il segnale di modo comune, mentre il segnale di modo differenziato viene amplificato.

È utile per distinguere quale segnale contribuisce all'uscita

Se mettessi in ingresso due volte lo stesso segnale all'amplificatore differenziale (Figura 5):

$$V_{ic} = \frac{V_{i0} + V_m \sin wt + V_{i0} - V_m \sin wt - V_{i0}}{2} = V_{i0}$$

$$V_m = \sqrt{V_{i0}^2 + V_m^2} + V_m \sin wt - \sqrt{V_{i0}^2 + V_m^2} + V_m \sin wt = 2V_m \sin wt$$



38.2 Generatore di corrente

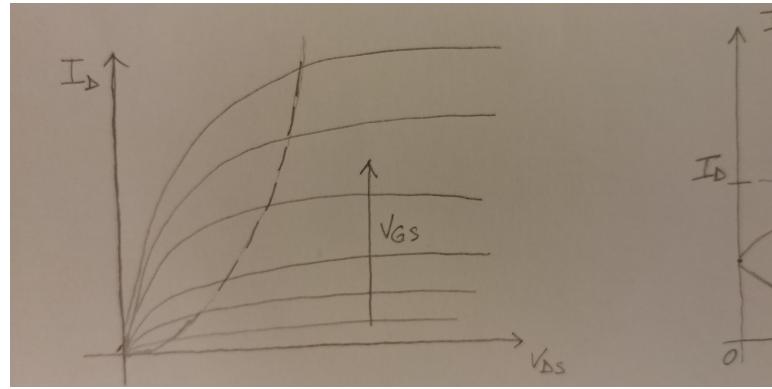


Figure 7: Grafico con linee orizzontali

Un transistore che lavora in saturazione, genera un'uscita costante

Applicando una tensione costante, il transistore è saturo e la corrente vale $I_D = \frac{\beta}{2}(V_{GG} - V_T)^2$
Per tensioni sufficientemente grandi: $V_{GS} < V_{DS} + V_T \Rightarrow V_x > V_{GG} - V_T$ lavora in saturazione

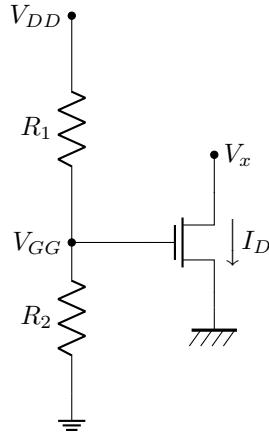


Figure 8: Disegno transitore allungato

Per partitore di tensione:

$$V_{GG} = V_{DD} \frac{R_1}{R_1 + R_2} = V_{DD} \frac{1}{1 + \frac{R_2}{R_1}} \leftarrow \text{Compare ancora il rapporto tra fattori di forma}$$

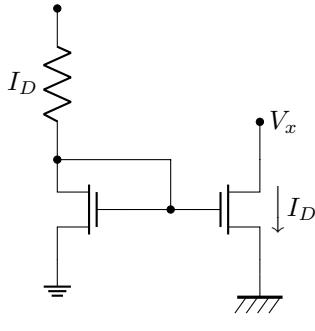


Figure 9: Disegno transitore allungato 2

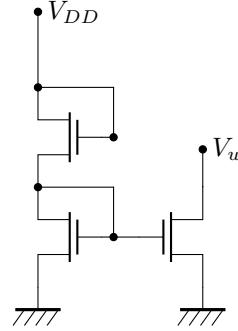


Figure 10: Figura Dubbia

Avendo connesso il gate del transistore al Drain $\Rightarrow V_{GS2} = V_{DS2} \xrightarrow{V_T > 0} V_{GS2} < V_{DS2} + V_t$
 M_2 SAT M_1 SAT

$$\left. \begin{aligned} I_{D2} &= \frac{\beta}{2}(V_{GS2} - V_t)^2 \\ I_{D1} &= \frac{\beta}{2}(V_{GS1} - V_t)^2 \end{aligned} \right\} \Rightarrow I_{D1} = I_{D2}$$

$$\left. \begin{aligned} I_D &= I_{D2} \\ I_R &= \frac{V_{DD} - V_{GS2}}{R} \end{aligned} \right\} \Rightarrow \frac{V_{DD} - V_{GS2}}{R} = \frac{\beta}{2}(V_{GS2} - V_T)^2$$

$$I_{D3} = \frac{\beta_3}{2}(v_{GS3} - V_t)^2$$

Da cui:

$$\begin{aligned} \frac{\beta_2}{2}(V_{GS2} - V_T)^2 &= \frac{\beta_3}{2}(V_{GS2} - V_T)^2 \\ \sqrt{\frac{\beta_2}{2}(V_{GS2} - V_T)^2} &= \sqrt{\frac{\beta_3}{2}(V_{GS2} - V_T)^2} \\ &\dots \\ V_{GS2} &= \frac{V_{DD} + V_T(\theta - 1)}{\theta + 1} \quad \left(\theta := \sqrt{\frac{\beta_2}{\beta_3}} \right) \end{aligned}$$

Ricordiamo che é vero solamente se entrambi i transistori lavorano in **saturazione**:

$$\begin{aligned} M_1 \text{ Saturo} \Rightarrow V_{GS1} &< V_{DS1} + V_T \\ V_1 - V_x &< V_{u1} - V_x + V_T \rightarrow \boxed{V_{u1} > V_1 - V_T} \\ M_2 \text{ Saturo} \dots &\Rightarrow \boxed{V_{U2} > V_2 - V_T} \end{aligned}$$

Siccome voglio che queste due condizioni siano verificate sempre, il prodotto RI_0 é costante, Fissato V_{DD} , se non devo scendere troppo, vuol dire che impone un vincolo sul valore massimo RI_0

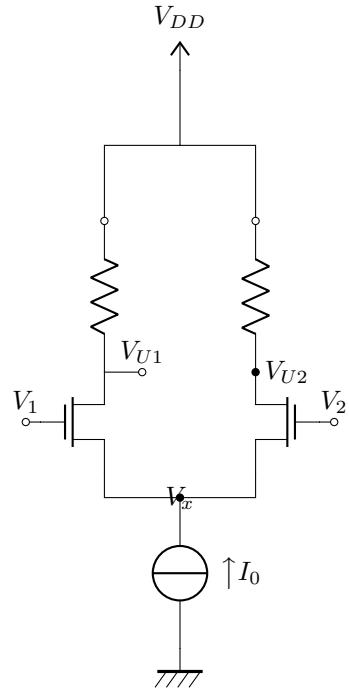
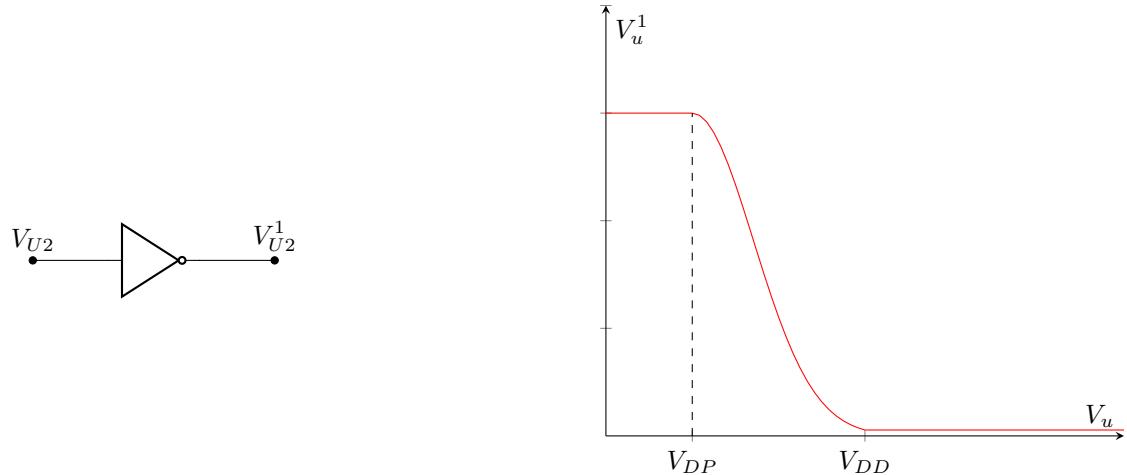


Figure 11: Amplificatore Differenziale

$$\begin{cases} V_{id} = V_1 - V_2 \\ V_{ic} = \frac{V_1 + V_2}{2} \end{cases}$$

40 Amplificatore Operazionale



Caratteristica a 3 rami:

Figure 12: Grafico invertitore

- un ramo estremamente ripido
- due rami costanti

Cambiando il modo comune V_{ic} l'uscita differenziale non cambia

Doppio ingresso ed uscita singola, posso un segnale in ingresso differenziale, V_{id} ed un segnale in ingresso in modo comune V_{ic} (Grafico)

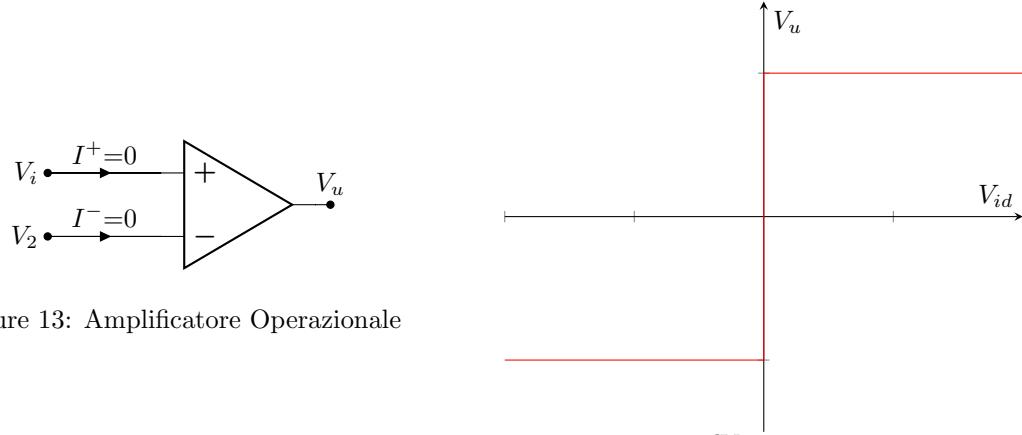


Figure 13: Amplificatore Operazionale

Penso definire la pendenza della retta passante per l'origine come $A_d = \frac{dV_U}{dV_{id}} \rightarrow \infty$

Lo chiamo guadagno differenziale perché è il guadagno dell'uscita riferito all'ingresso differenziale

All'altro modo posso definire anche $A_c = \frac{dV_U}{dV_{ic}} \rightarrow 0$

Possiamo introdurre un parametro di qualità: *CCMR: Common Mode Rejection Ratio*

$$\text{CMMR} = \left| \frac{A_d}{A_c} \right|$$

Idealmente $CMRR \rightarrow \infty$

Chiamata **Regione di alto guadagno (AG)** La retta quasi verticale passante per l'origine abbiamo che AG

$$V_{id} = 0$$

$$-V_n < V_{id} < +V_n$$

Abbiamo poi due altre regioni, in cui il guadagno è nullo, chiamandole rispettivamente ...

SAT+: $V_u = V_M$, $V_{id} > 0$

SAT-: $V_u = -V_M$, $V_{id} < 0$

Aggiungendo un criterio di idealità, suppongo che la tensione di uscita V_u non è funzione della corrente di uscita I_u

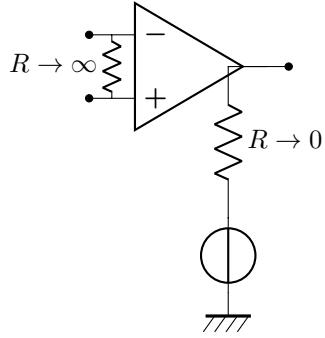
Cioé $V_u \neq f(I_u)$

→ Si comporta come generatore di tensione ideale

Le caratteristiche di questo amplificatore sono:

- corrente di ingresso nulla sui morsetti
- tensione d'uscita indipendente dalla corrente

Per ricordare, tra i due ingressi posso immaginare una resistenza che li collega con $R \rightarrow \infty$
poi un generatore ideale collegato a di corrente per I_u



40.1 Utilizzi

Quello che voglio è tracciare la caratteristica di trasferimento V_u in funzione di V_i
Inizio dalla regione di Autoguadagno:

$$V_{id} = 0 \\ V_{id} = V^+ - V^- \rightarrow V^- = -V_{id}$$

Applicando Kirkoff

$$\left. \begin{aligned} I_u &= \cancel{V_i} + I_2 \\ I_1 &= \frac{V_i - \cancel{V_i}}{R_1} = \frac{V_i}{R_i} \\ I_2 &= \frac{V^- - V_u}{R_2} \end{aligned} \right\} \Rightarrow \frac{V_i}{R} = -\frac{V_u}{R_2} \rightarrow V_u = -\frac{R_2}{R_1} V_i$$

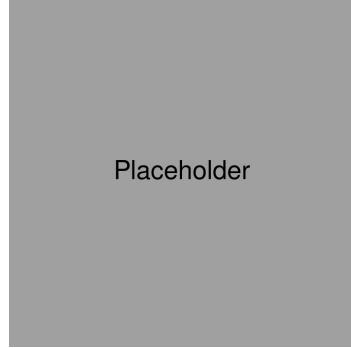


Figure 14: Grafico

$$V_u = \cancel{\frac{R_2}{R_1}} V_i = \cancel{V_M}$$

Nella zona di SAT+:

$$\begin{aligned} V_u &= +V_M \\ V_{id} &> 0 \\ V_{id} &= V^+ - V^- \end{aligned}$$

$$\left. \begin{aligned} I_1 &= \frac{V_i - V^-}{R_1} \\ I_2 &= \frac{V^- - V_u}{R_2} \end{aligned} \right\} \Rightarrow \frac{V_i - V^-}{R_1} = \frac{V^- - V_M}{R_2} \Rightarrow \dots \Rightarrow V^- = \frac{R_2 V_i + R_1 V_M}{R_1 + R_2} < 0$$

$$R_2 V_i + R_1 V_M < 0 \Rightarrow \boxed{V_i < -\frac{R_1}{R_2} V_M}$$

La retta è lineare → è un buon amplificatore perché non distorce il segnale

Un altro aspetto importante è che quella curva non dipende dai parametri operazionali, dipende unicamente dalle resistenze, è totalmente indipendente dalla qualità dell'amplificatore stesso

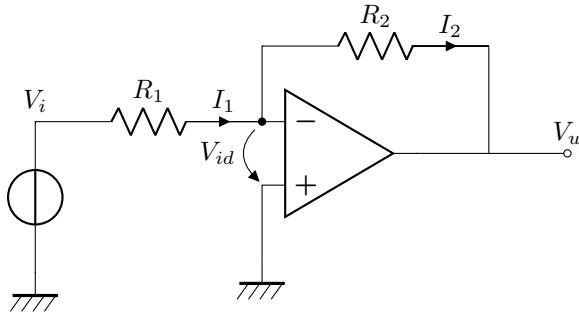


Figure 15: Amplificatore invertente

Principio di cortocircuito virtuale: non è cortocircuito dal punto di vista della corrente, ma la tensione risulta virtualmente a terra

AG

$$\left. \begin{array}{l} V_{id} = 0 \\ V_{id} = V^+ - V^- \\ I_1 = \frac{0 - V^-}{R_1} \\ I_2 = \frac{V^- - V_U}{R_2} \\ I_1 = I_2 + V' \end{array} \right\} \Rightarrow \left. \begin{array}{l} V^+ = V^- \rightarrow V^- = V_i \\ \frac{V_i}{R_1} = -\frac{V_u}{R_2} \Rightarrow V_u = \frac{R_2}{R_1} V_i \end{array} \right\}$$

per $-V_M < V_U < +V_M$

SAT+

$$V_u = +V_M$$

$$\left. \begin{array}{l} V_{id} > 0 \\ V_{id} = V^+ - V^- \end{array} \right\} \rightarrow V^+ > V^-$$

$$\left. \begin{array}{l} I_1 = \frac{0 - V^-}{R_1} \\ I_2 = \frac{V^- - V_u}{R_2} \end{array} \right\} \rightarrow -\frac{V^-}{R_1} = \frac{V^- - V_M}{R_2} \rightarrow V^- \left(\frac{1}{R_2} + \frac{1}{R_1} \right) = \frac{V_M}{R_2}$$

$$V^- = \frac{R_1}{R_1 + R_2} V_M < V_i \Rightarrow \boxed{V_M < V_i \frac{R_1 + R_2}{R_1}}$$

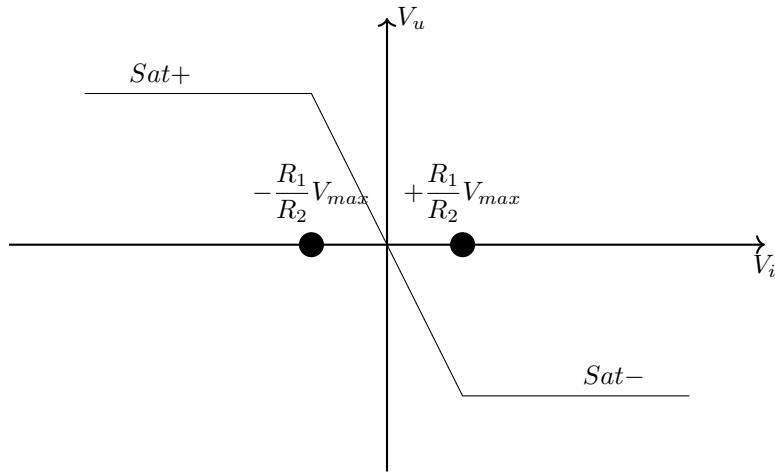


Figure 16: Grafico

\Rightarrow Tratto orizzontale

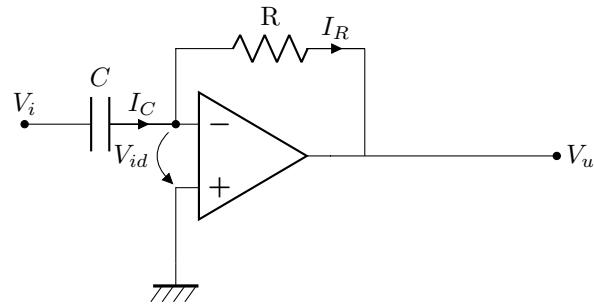


Figure 17: Circuito derivatore

AG

$$V_{id} \rightarrow V^+ - V^- = 0 \rightarrow V^- = 0$$

$$\left. \begin{aligned} I_c &= \cancel{V} + I_R \\ I_c &= C \frac{d(V_i - \cancel{V})}{dt} \\ I_R &= \frac{\cancel{V} - V_u}{R} \end{aligned} \right\} \rightarrow C \frac{dV_i}{dt} = -\frac{V_u}{R} \rightarrow V_u(t) = -RC \frac{dV_i}{dt}$$

41 Integrazione di un segnale

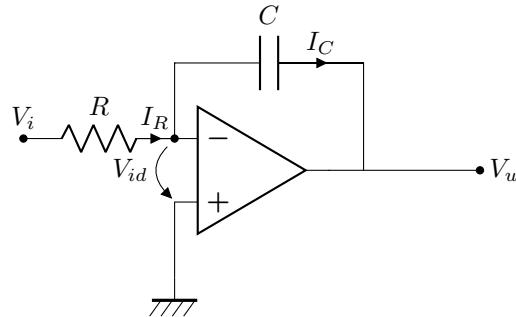


Figure 18: Circuito integratore invertente

In AG:

$$V_{Id} = 0 \rightarrow V^- = V^+ = 0$$

$$\left. \begin{aligned} I_R &= \frac{V_i - V^-}{R} \\ I_C &= C \frac{d(V^- - V_u)}{dt} \\ -I_r &= \cancel{I_c} + I_c \end{aligned} \right\} \Rightarrow \frac{V_i}{R} = -C \frac{dV_u}{dt} \Rightarrow \frac{dV_u}{dt} = -\frac{V_i}{RC} \rightarrow \int_0^t \frac{dV_u}{dt} dt = \int_0^t -\frac{V_i(t)}{RC} dt$$

$$V_u(t) - V_u(0) = -\frac{1}{RC} \int_0^t V_i(t) dt$$

$$V_u(t) = V_u(0) - \frac{1}{RC} \int_0^t V_i(t) dt$$

Tutto questo vale finchè la tensione di uscita rimane compresa fra $\pm V_M$
A Differenza del derivatore, questo circuito ha memoria

41.1

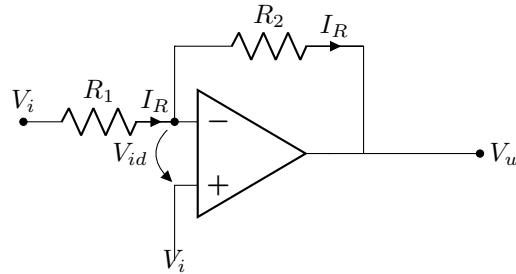


Figure 19: Circuito integratore invertente

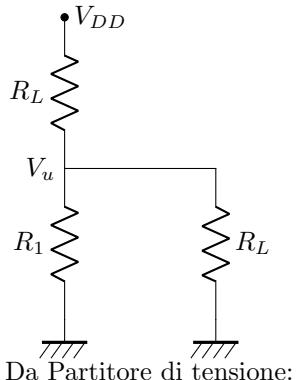
AG

$$\left. \begin{array}{l} V^- = V_i \\ I_1 = \frac{0 - V^-}{R_1} \\ I_2 = \frac{V^- - V_u}{R_1} \\ I_2 = I' + I_c \end{array} \right\} \frac{V_i}{R_1} = \frac{V_i - V_u}{R_2}$$

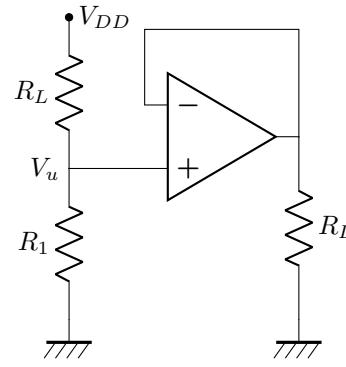
$$-V_i \left(\frac{1}{R_1} + \frac{1}{R_2} \right) = -\frac{V_u}{R_2}$$

$$V_u = \left(\frac{1}{R_1} - \frac{1}{R_2} \right) R_2 V_i$$

$$V_u = \left(1 + \frac{R_2}{R_1} \right) V_i \xrightarrow{R_2 \rightarrow 0} V_u = V_i$$



Da Partitore di tensione:



$$V_u = \frac{R_1}{R_1 R_2} V_{DD} = \frac{1}{1 + \frac{R_2}{R_1}} V_{DD}$$

$$V_u = \frac{1}{1 + \frac{R_2}{R_1 \parallel R_L}} V_{DD} \quad R_1 \parallel R_L < R_1$$

41.2 Circuito con piu ingressi

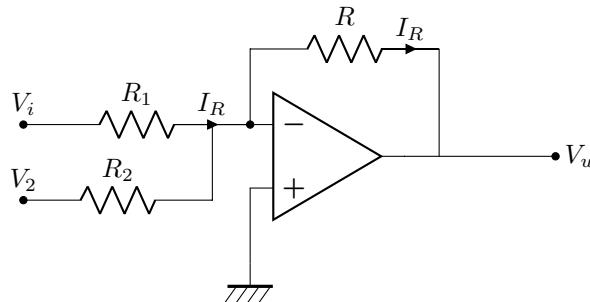


Figure 20: Circuito sommatore analogico

AG

$$V_i d = 0 \rightarrow V^- = V^+ = 0$$

Applicando Kirkoff

$$\left. \begin{array}{l} I_1 + I_2 = I^- + I_R \\ I_1 = \frac{V_1 - V_u}{R_1} \\ I_2 = \frac{V_2 - V_u}{R_2} \\ I_R = \frac{V^- - V_u}{R} = -\frac{V_u}{R} \end{array} \right\} \frac{V_1}{R_1} + \frac{V_2}{R_2} = -\frac{V_u}{R} \rightarrow V_u = -R \left(\frac{V_1}{R_1} + \frac{V_2}{R_2} \right) \xrightarrow{R_1=R_2=R^*} V_u = -\frac{R}{R^*}(V_1 + V_2)$$

Questo circuito permette di calcolare direttamente in maniera analogica una combinazione lineare di ingressi
Provando a progettare un sommatore di tipo digitale:

(X: Grafico con sommatoria)

ADC: Analog Digital converter

DAC: Digital Analog Converter

Blocco Sommatore: Es 3 + 6

$$\begin{array}{r} 1 \quad 1 \\ 0 \quad 0 \quad 1 \quad 1 \quad + \\ 0 \quad 1 \quad 1 \quad 0 \quad = \\ \hline 1 \quad 0 \quad 0 \quad 1 \end{array}$$

(X: Grafico sommatore a propagazione di riporto) (RCA: Ripple Carry Adder)

Dal circuito possiamo distinguere un HA (Half Adder) e 3 FA (Full Adder)

In questo caso aggiungere bit vuol dire aggiungere ritardo, siccome è tutto in cascata. Nel caso analogico è tutto in parallelo. Quindi aggiungere altri bit non comporta ritardo

a	b	c_H	S_H
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

1^a mappa k

	00	01	11	10
0	0	0	1	0
1	0	1	1	1

$$C_{out} = ab + C_{in}(a + b) =$$

ricordando che $a + b = ab + \bar{a}b + a\bar{b}$ (Dalla tabella dell'or)

$$ab(\cancel{a + C_{in}}) + C_{in}(a\bar{b} + \bar{a}b) = C_H + +C_{in} \cdot S_H$$

2^a mappa k

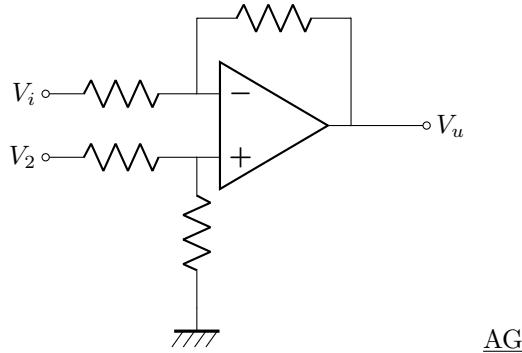
	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$S = \bar{C}_{in}\bar{a}\bar{b} + \bar{C}_{in}a\bar{b} + C_{in}\bar{a}\bar{b} + C_{in}ab$$

$$S = \bar{C}_{in}(a\bar{b} + \bar{a}b) + C_{in}(ab + \bar{a}\bar{b}) = \bar{C}_{in}S_H + C_{in}\bar{S}_H = C_{in} \oplus S_H$$

La porta analogica è più veloce e meno ingombrante di quella digitale, ma non è immune al disturbo

42 Circuito Sottrattore

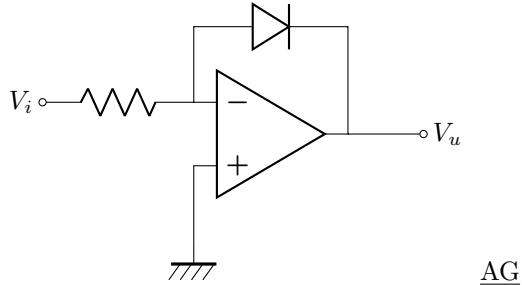


$$\left. \begin{array}{l} V_{id} = 0 \rightarrow V^+ = V^- \\ I_1 = I_2 + \cancel{I} \\ I_1 = \frac{V_2 - V^+}{R} \\ I_2 = \frac{V^+}{R} \end{array} \right\} \rightarrow \frac{V_2 + V^+}{R} = \frac{V^+}{R} \rightarrow V_2 = 2V^+ \rightarrow V^+ = \frac{V_2}{2}$$

$$\left. \begin{array}{l} V^- = \frac{V_2}{2} \\ I_3 = I_4 + \cancel{I} \\ I_3 = \frac{V_1 - V^-}{R} \\ I_4 = \frac{V^- - V_u}{R} \end{array} \right\} \rightarrow \frac{V_1 - \frac{V_2}{2}}{R} = \frac{\frac{V_2}{2} - V_u}{R}$$

$V_u = V_2 - V_1$

43 Amplificatore logaritmico



$$\left. \begin{array}{l} V_{id} = 0 \rightarrow V^+ = V^- = 0 \\ I_R = I_D + \cancel{I} \\ I_R = \frac{V_i - V^-}{R} I_D = I_S \left(e^{\frac{(V^- - V_u)}{V_T}} - 1 \right) \end{array} \right\} \rightarrow \frac{V_i}{R I_S} = \left(e^{\frac{(V^- - V_u)}{V_T}} - 1 \right)$$

$$e^{\frac{(V^- - V_u)}{V_T}} = \frac{V_i}{R I_S} + 1 \xrightarrow{\ln} \ln \left(e^{-\frac{V_u}{V_T}} \right) = \ln \left(\frac{V_i}{R I_S} + 1 \right)$$

$$V_u = -V_T \ln \left(\frac{V_i}{R I_S} + 1 \right)$$

(Grafico: Amplificatore logaritmico)

44 Amplificatore esponenziale/Anti-logaritmico

AG

$$\left. \begin{array}{l} V_{id} = 0 \rightarrow V^+ = V^- = 0 \\ I_D = I_R + \cancel{I} \\ I_D = I_S \left(e^{\frac{V_i - V^-}{V_T}} - 1 \right) \\ I_R = \frac{V^- - V_u}{R} \end{array} \right\} \rightarrow I_S \left(e^{\frac{V_i}{V_T}} - 1 \right) = -\frac{V_u}{R} = -R I_S \left(e^{\frac{V_i}{V_T} - 1} \right)$$

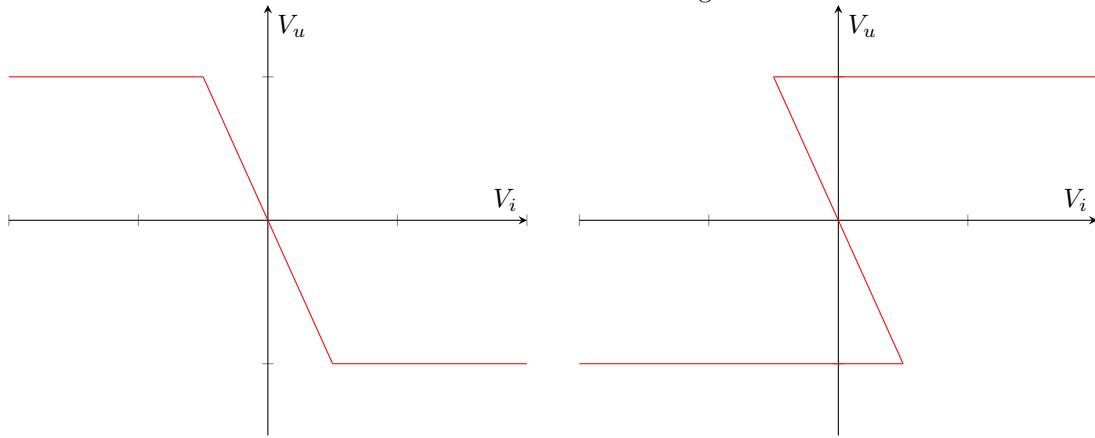
Amplificatore antilogaritmico

Ricordando che

$$\ln(A + B) = \ln(A) \cdot \ln(B)$$

(X: Circuito Sommatore)

Non é un caso che il ramo in retroazione sia sul morsetto negativo:



AG

$$\left. \begin{array}{l} V_{id} = 0 \rightarrow V^+ = V^- = 0 \\ I_1 = I_2 + \cancel{I} \end{array} \right\} \frac{V_i}{R_1} = -\frac{V_u}{R_2} \rightarrow V_u = -\frac{R_2}{R_1} V_i \quad \text{Per } -V_M < V_u < V_M$$

SAT +

$$\left. \begin{array}{l} V_{id} > 0, \quad V_u = +V_M \\ V_{id} = V^+ - V^- \end{array} \right\} \rightarrow V^+ > 0 \left\{ \begin{array}{l} \frac{V_i - V^+}{R_1} = \frac{V^+ - V_u}{R_2} \\ V^+ \left(\frac{1}{R_2} + \frac{1}{R_1} \right) = \frac{V_i}{R_1} + \frac{V_M}{R_2} \\ V^+ \left(\frac{R_1 + R_2}{R_1 R_2} \right) = \frac{V_i R_2 + V_M R_1}{R_1 R_2} \\ V^+ = \frac{R_2 V_i + R_1 V_M}{R_1 + R_2} > 0 \\ \cancel{R_2} V_i > -\frac{R_1 V_M}{R_2} \end{array} \right.$$

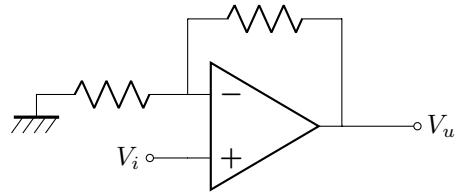
SAT -

$$\left. \begin{array}{l} V_{id} < 0 \rightarrow V^+ - V^- < 0 \rightarrow V^+ < 0 \\ V_u = -V_M \end{array} \right\} \dots \rightarrow V^+ = \frac{R_2 V_i - R_1 V_M}{R_1 + R_2} < 0 \Rightarrow \cancel{R_2} V_i < \frac{R_1}{R_2} V_M$$

Se il guadagno d'anello é maggiore di 1 in modulo si é rischio di stabilitá

Guadagno amplificatore operazionale $\rightarrow \infty$ in alto guadagno

45 Circuito Bistabile (Circuiti Schmitt trigger)



AG

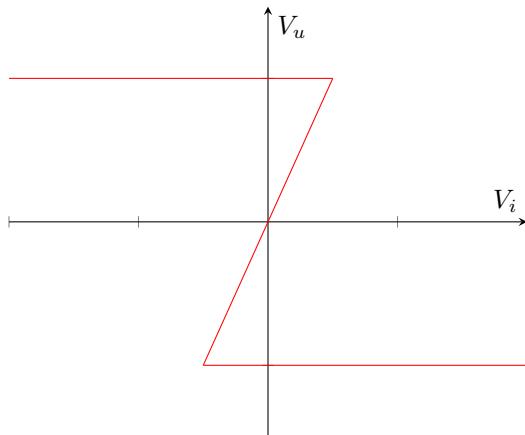
$$\left. \begin{array}{l} V_{id} = 0 \rightarrow V^+ = V^- = V_i \\ I_1 = I_2 + I' \\ 0 - V^+ = \frac{V^+ - V_u}{R_L} \end{array} \right\} - \frac{V_i}{R_1} = \frac{V_i - V_u}{R_2} \rightarrow -V_i \left(\frac{R_2}{R_1} + 1 \right) = V_u \Rightarrow V_u = V_i \left(1 + \frac{R_1}{R_2} \right)$$

$$V_M = V_i^* \left(1 + \frac{R_2}{R_1} \right) \rightarrow V_i^* = \frac{V_M}{1 + \frac{R_2}{R_1}}$$

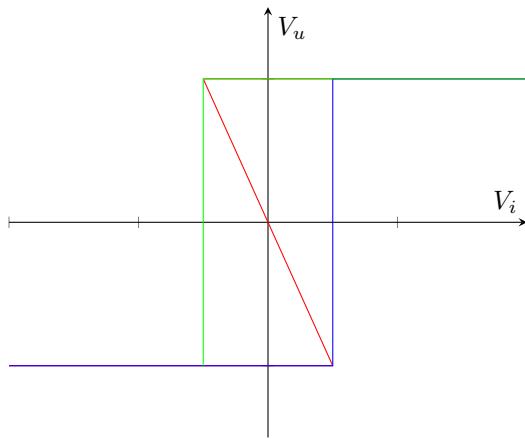
SAT +

$$\left. \begin{array}{l} V_u = +V_M \\ V_{id} > 0 \rightarrow V^+ > V^- = V_i \\ I_1 = I_2 + I' \\ 0 - V^+ = \frac{V^+ - V_u}{R_2} \\ V^+ \left(\frac{R_1 + R_2}{R_1 R_2} \right) = \frac{V_M}{R_2} \end{array} \right\} \rightarrow -\frac{V^+}{R_1} = \frac{V^+ - V_M}{R_2} \rightarrow -V^+ \left(\frac{1}{R_1} + \frac{1}{R_2} \right) = -\frac{V_M}{R_2} \left. \right\} V_i < \frac{V_M}{1 + \frac{R_2}{R_1}}$$

45.1 Trigger invertente



45.2 Trigger non invertente



Aumentando il valore della tensione di ingresso (da V_a) continuo a rimanere nello stesso tratto di curva, senza salti

Se sono al valore basso $-V_M$, per passare al valore alto devo applicare una tensione di ingresso che é almeno V^* . Se sono al valore alto, per passare al valore basso devo applicare una tensione che é minore di $-V^*$

Nella fascia di ambiguitá se sono al valore basso rimango al valore basso, se sono a quallo alto rimango in quello alto

Viene percorso un **Ciclo di isteresi**

Questo circuito é Molto piú resistente al rumore rispetto ad un circuito a soglia per la fascia di ambiguitá. Applicando prima un segnale molto positivo, e riportando il segnale a 0 l'uscita rimane positiva. L'uscita del valore in 0, dipende dalla 'storia' del circuito. Questo circuito si ricorda se l'ultimo valore applicato é positivo o negativo (é una Cella di memoria).

É in grado di mantenere fin tanto che é acceso un valore binario in memoria → Passaggio da reti combinatorie a reti sequenziali

46 Circuito Astabile

(X: Circuito 1)

$$\begin{aligned} V_i(0) &= 0 \\ V_u(0) &= V_M \rightarrow \text{SAT } +? \rightarrow V_{id} > 0? \end{aligned}$$

La condizione di alto guadagno del circuito abbiamo già visto che è sospetta (instabile), Possiamo presupporre che sia più facile trovarsi in una delle due altre regioni

Ipotizzo inizialmente che la tensione all'inizio sia V_M (in saturazione positiva)

Posso dire, svolgendo calcoli analoghi ai precedenti:

$$\left. \begin{aligned} V_i &= V^- = 0 \\ V^+ &= V_M \frac{R_1}{R_1 + R_2} = \frac{V_M}{1 + \frac{R_2}{R_1}} > 0 \end{aligned} \right\} V_{id} = V^+ - V^- > 0 \rightarrow \text{È in saturazione positiva!}$$

$$\left. \begin{aligned} I_R &= \frac{V_i - V_u}{R} \\ V_u &= V_M \\ I_C &= C \frac{dV_i}{dt} \\ I_C &= -I_R \end{aligned} \right\} C \frac{dV_i}{dt} = -\frac{V_i - V_M}{R}$$

Siccome V_i inizialmente è uguale a 0, V_M è positivo, vuol dire che il condensatore si sta caricando

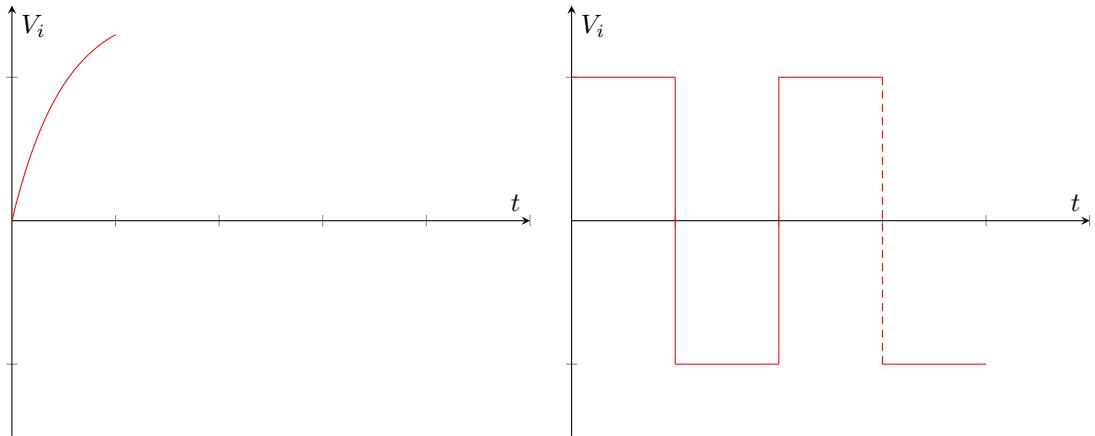
$$\begin{aligned} \frac{dV_i}{V_i - V_M} &= -\frac{dt}{RC} \\ \int_{V_i(0)=0}^{V_i(t)} \frac{dV_i}{V_i - V_M} &= \int_0^t -\frac{dt}{RC} \\ -\frac{t}{RC} &= -\ln \frac{V_i(t) - V_M}{-V_M} \xrightarrow{\text{exp}} e^{-\frac{t}{RC}} = \frac{V_i(t) - V_M}{-V_M} \\ V_i(t) &= V_M - V_M e^{-\frac{t}{RC}} = V_M \left(1 - e^{-\frac{t}{RC}}\right) \end{aligned}$$

Questo vale fino a quando $V_i < V_i^*$

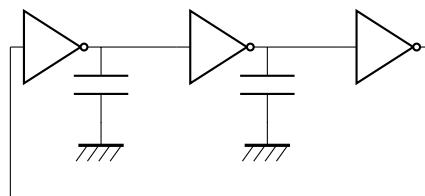
Osservando il condensatore nel momento $V_i = V_i^*$ (Il momento in cui cado nel ramo di saturazione negativa):

$$\left. \begin{aligned} V_i^* &> 0 \\ V_u &= -V_M \\ V^- &= V_i \\ V^+ &= -V_M \frac{R_1}{R_2} = -\frac{V_M}{1 + \frac{R_2}{R_1}} \end{aligned} \right\} V_{id} = V^+ - V^- < 0 \rightarrow \text{Saturazione negativa}$$

$$\left. \begin{aligned} I_R &= \frac{V_i - V_u}{R} > 0 \\ I_R &= -I_C \end{aligned} \right\} I_C < 0$$



Continua ad oscillare, la frequenza dipende da RC

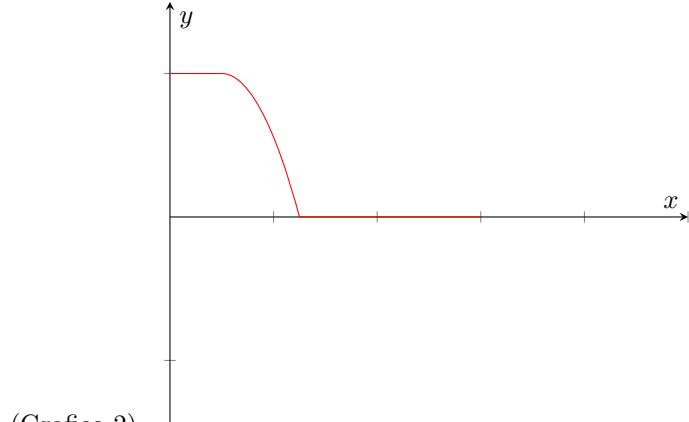


Attraversando una serie di porte logiche di questo tipo posso rigenerare il segnale (Qualità rigenerativa delle logiche digitali)

Per controllare il ritardo del segnale basta metter in cascata più invertitori

Per controllare la frequenza dell'onda quadra, basta che aumenti il numero di ritardi? (Domanda Felice)

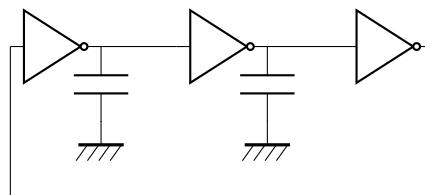
Dopo un numero pari di inversioni, se in ingresso si ha un valore alto, in uscita avrà lo stesso valore → Circuito bistabile



(Grafico 2)

Questo circuito ha memoria; Se sono in grado di scrivere un valore alto o basso su quel nodo, l'uscita in 0 rimane salvata

(X: Circuito porte 2)



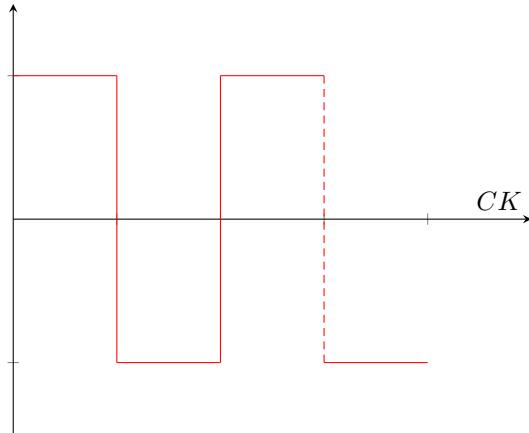
Nel caso l'interruttore sia attaccato: $Q = D$, altrimenti $Q^1 = Q$

Se voglio cambiare il valore memorizzato basta aprire l'anello ed applicare un valore dall'esterno
Utilizzando un segnale di clock al posto del segnale di scrittura, questo circuito alterna nel tempo una fase di scrittura e di lettura. Circuito Trasparente

$CK = 1 \rightarrow Q = D \rightarrow$ Fase di valutazione dell'ingresso, EVALUATION

$CK = 0 \rightarrow Q^1 = Q \rightarrow$ Fase di mantenimento, HOLD

Questo circuito non é ancora un *Flip Flop*, ma un *Latch*. Quando siamo a 0 l'uscita é bloccata all'ultimo segnale



(X: Grafici clock)

(X: Altro grafico) Dall'ultimo grafico si puó vedere che non é un comportamento da rete sincron. Quello che posso fare é aggiungere a questo oggetto un secondo stadio, passando ad un circuito di tipo Master-Slave
Chiamo questo circuito *p-latch*

(X: Circuiti n-latch, caso duale dell' n-latch)

Per creare un circuito di tipo master-slave basta che metto in cascata un circuito *n-latch* con uno *p-latch*.

(X: Foto 1) (X: Grafici ambigui dopo foto)

Lo slave legge solo un valore: Quello alla fine dello stato di valutazione del master \rightarrow Il valore dell'uscita puó essere aggiornato solo nei fronti di discesa del clock. \rightarrow *Flip flop* sincrono

(X: Immagine flip flop, (post grefici ambigui))

Per un flip flop Positive triggered (Campionato sul fronte positivo): Scambiare p ed n latch; Prima il P dopo N latch

46.1 Multiplexer

s-ab	00	01	11	00
0	0	1	1	0
1	0	0	1	1

$\Rightarrow y = as + b\bar{s}$

(X: Or ingressi negati)

$z = \bar{x} + \bar{y} = \bar{x}\bar{y}$ (NAND)

MUX mi costa 12 transistori +2. Per fare un latch utilizzo altri 2 transistori \rightarrow Latch utilizza 16 (+2) transistori Per la configurazione master-slave (*Flip Flop di tipo D*) ne servono altri 16

47 Appunti Tue 04 Jun 2019 02:57:14 PM CEST

Multiplexer $y = sa + \bar{s}b \Rightarrow \bar{y} = sa + \bar{s}b$

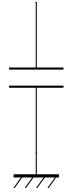
(X: Figura con transistori)

Non é un problema se il segnale y torna invertito, lo devo utilizzare invertito nel circuito master-slave ugualmente

Per fare il multiplexer, prima servivano 16 transistori, ora nella figura siamo passati a 10. prima il segnale per andare dall'ingresso all'uscita deve attraversare due strati di nand e due di not, ($\times 2$ con master slave), nel nuovo circuito deve attraversarne solo 2.

È possibile implementare il mux anche con due interruttori; L'idea diventa quindi sostituire ai due interruttori due transistori controllati da una corrente (Da 8 a 2 transistori). (*Pass Transistor*)

Questo é il primo caso dove la corrente d'ingresso $I \neq 0$



Caso $t < 0$

M off

$$\left. \begin{array}{l} I_D = 0 \\ I_D = I_c \end{array} \right\} \rightarrow I_c = 0 \rightarrow I_C = C \frac{dV_u}{dt} = 0 \rightarrow V_u = \text{cost}$$

Se l'ingresso é 0, l'uscita puó trovarsi in un'uscita in condizioni di alta imedenza. Il valore si mantiene dentro al condensatore

DRAM: Memoria dinamica associata ad un condensatore questo circuito ha 3 tipi d'uscita

1. alta
2. bassa
3. alta impedenza

Nel momento in cui si accende il transistore i casi possibili sono:

V_i	V_u	
V_L	V_L	-
V_L	V_H	* $V_u : V_H \rightarrow 0$
V_H	V_L	** $V_u : 0 \rightarrow V_{DD} - V_T$
V_H	V_H	-

Studio il primo dei due fenomeni (*):

il nodo V_u ha sempre potenziale più alto rispetto all'ingresso, di conseguenza é il Drain, mentre V_I é il source

$$\left. \begin{array}{l} I_D = -I_C \\ I_D \geq 0 \\ I_C = C \frac{dV_u}{dt} \end{array} \right\} C \frac{dV_u}{dt} < 0$$

Derivata negativa, la carica del condensatore si sta esaurendo

Esattamente quello scritto quando abbiamo calcolato il tempo di scarica del condensatore cmos

Il transitorio termina quando la derivata si annulla \rightarrow la corrente si annulla $\rightarrow V_{DS} = V_u$ si annulla

Tende ad assumere asintoticamente il valore nullo

Studiando il caso (**) Drain e Source sono invertiti

$$\left. \begin{array}{l} I_D = I_C \\ I_D \geq 0 \\ I_C = C \frac{dV_u}{dt} \end{array} \right\} C \frac{dV_u}{dt} \geq 0$$

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 = 0$$

$$V_{DD} - V_i \rightarrow V_u = V_{DD} - V_T$$

Questo pass transistor é capace di trasferire uno *0 Forte* ed un *1 Debole*. Supponendo ora di avere lo stesso caso di prima (Alto in ingresso e basso in uscita che voglio portare alto) → Transitorio di carica di un invertitore cmos, inizialmente saturo fino a quando la tensione di uscita $> V_{TP}$, poi va in lineare

Quindi sappiamo già che l'uscita si porta da al valore V_{DD}

$$\text{SAT} \rightarrow I_D = \frac{\beta_D}{2} (V_{SG} - |V_{TP}|)^2 = 0 \rightarrow V_{SG} = V_u = |V_{TP}|$$

La rete di pulldown non é capace di scaricare completamente il transistore, si ferma una soglia prima

$$\begin{array}{c} V_u : V_H \rightarrow V_L \\ \text{n 0 forte} \\ \text{p 0 debole } (|V_{TP}|) \\ \hline V_u : V_L \rightarrow V_H \\ \text{n 1 debole } (V_{DD} - V_T) \\ \text{p 1 forte} \end{array}$$

Metto insieme p ed n mos per migliorare le prestazioni

$$\begin{aligned} V_u : 0 &\xrightarrow{nSAT\ pSAT} |V_{TP}| \xrightarrow{nSAT\ pLIN} V_{DD} - V_{TN} \xrightarrow{OFF, LIN} V_{DD} \\ V_u : V_{DD} &\xrightarrow{nSAT\ pSAT} V_{DD} - V_{TN} \xrightarrow{LIN\ SAT} |V_{TP}| \xrightarrow{LIN, OFF} 0 \end{aligned}$$

Un oggetto di questo tipo si chiama *transmission gate*

Passando attraverso due invertitori, il valore d'uscita viene rigenerato

Questo multiplexer non é immune ai disturbi, il meglio che posso sperare é che il segnale esce ridotto al massimo di quanto ci aspettiamo

a	b	y
0	0	0
0	1	0
1	0	0
1	1	1

$$y = \begin{cases} a & \text{se } a = 0 \\ b & \text{se } a = 1 \end{cases}$$

Segnale a é usato come selettore

Difetto: non abbiamo margine con l'immunità ai disturbi

(X : Circuito and con multiplexer e transistor)

OR

a	b	y
0	0	0
0	1	1
1	0	1
1	1	1

(X: Circuito or con multiplexer transistor)

Mentre connettendo stadi cmos, la corrente di gate é nulla, in questo caso (pass transistor) la corrente che circola non é nulla. Il tempo di propagazione dipende dal tempo di carica e scarica delle capacità parassita

Nel pass transistor le capacità parassita sono caricate dalla corrente che entra in ingresso. In questo caso devo caricare una maggiore capacità con a disposizione una corrente più debole. Aumentare il numero degli stadi vuol dire aumentare la capacità da caricare e la resistenza

48 Appunti Thu 06 Jun 2019 02:42:48 PM CEST

Bit Line:

Wired line

Meccanismo di indirizzamento attraverso un decoder

Decoder si frammenta in una struttura gerarchica id più righe e decoder

Rimane da capire cosa c'e' in un incrocio

R/W segnale di controllo che specifica lettura e scrittura

Memorie a sola lettura: Più semplice ed economica rispetto ad una memoria RW.

Classificazione tra memorie:

- ROM: Read Only Memory; Il contenuto rimane invariato, si pone il problema di definire una volta per tutte il contenuto:
 - (MP) Rom (Mask Programmable); Programmate in fabbrica
 - **FP ROM** (Field Programmable ROM); Programmata dall'utente
 - Genericamente chiamata (PROM: Rom Programmabile)
- RWM: Read Write Memory
 - Volatile RWM: Perde i dati quando manca l'alimentazione (RAM: Random Access Memory, Memoria ad accesso Arbitrario). Il tempo d'accesso all'informazione non dipende dalla posizione del dato (indirizzo).
 - * Dato Memorizzato in maniera Statica (SRAM: Static Ram)
 - * Dato Memorizzato in maniera Dinamica (DRAM: Dynmic RAM)
 - Non Volatile RWM: Permanente una volta che è stato scritto un dato, esso rimane nel tempo indefinitamente
 - * EPROM
 - * E^2 PROM
 - * FLASH EPROM
 - * ...

La sigla ROM indica che l'operazione di lettura e di scrittura sono radicalmente diverse (tempi, tensioni applicate, *ldots*), sono progettate per essere lette frequentemente e programmate o scritte non così spesso.

Chiamate Memorie a Prevalente Lettura (*Read Mostly Memory*)

Come progettare L'incrocio con la memoria ROM

Ogni colonna di questa matrice è implementabile come la tabella di verità alimentata dal decoder.

Per avere l'uscita negata basta che inverta la logica del circuito

NOR-BASED

Se sulla tabella di verità leggo uno → transistore nella rispettiva *word?* line. Anziché invertire l'uscita, basta invertire se mettere o no il transistore in ingresso

Per programmare la memoria:

- Nel caso in cui la programmi il fabbricante, sceglie se mettere o no il transistore, non è molto pratico, siccome la costruzione dei transistori è una delle prime fasi.

Quello che si può fare è invece che agire sulle fasi iniziali della progettazione, agiamo sulle fasi finali: Costruisco una matrice, dove i transistori ci sono tutti; Ma siccome ogni transistore è collegato alla linea di bit, vuol dire che li devo connettere fisicamente alla linea metallica del segnale della bitline.

Ovverso scelgo se collegare o no il transistore alla bitline. Se non lo collego, si comporta come se non ci fosse. È molto più costoso differenziare i progetti, piuttosto che produrre qualche transistore in più.

Rimane vero che il costo di questa operazione è elevato, si giustifica solamente per volumi di produzione sufficientemente grandi (MPROM)

- Programmazione sul campo, connetto tutti i transistori, attraverso un interconnessione particolare, rappresentabile impropriamente come un fusibile (tratto di circuito a resistenza elevata, se si scalda a sufficienza interrompe il circuito).

La pista del fusibile non si fonde quando leggo, ma quando scrivo: Corrente di fusione di programmazione é piú alta,

Fondere dove ho bisogno di un 1 nella tabella di veritá

- Un altro metodo é scegliere la tensione di soglia V_T dei transistori. É necessario modificare la tensione di soglia dinamicamente. Per non riportare il problema alla fabbricazione Tensione di soglia: Tensione da applicare al gate per far sì che si formi sotto al gate un canale conduttivo, che corrisponde ad una certa densità di elettroni.

Se all'interno dell'ossido é intrappolata una carica negativa: Neutralizza una parte della carica positiva di Gate: La tensione di soglia si alza: É necessaria piú carica di gate per avere la stessa tensione di soglia

Transistore a Doppio Gate

Transistore a doppio gate: Ha dimensioni estremamente ridotte, quindi per *Effetto tunnel* é possibile con probabilitá $\neq 0$ che un elettrone entri dentro lo strato isolato. Accelerando i portatori di canale posso fare sì che una parte degli elettroni di canale entrino dentro e rimangano intrappolati dentro a questo *Floating Gate*

In questo modo posso modificare la tensione di soglia variando le correnti di canale

Voglio che la velocità degli elettroni (Energia cinetica) di quando leggo e quando scrivo siano diverse (Piú basse durante la lettura, piú alte durante la programmazione). Segue che la lettura é molto piú rapida
La probabilitá di effetto tunnel é molto ridotta per fare in modo che i dati non vengano variati durante la lettura.

A lungo andare é molto probabile che elettroni entrino dentro all'ossido, rimanendo permanentemente intrappolati. *Fenomeno di Invecchiamento del transistore*. Il numero di volte che posso cancellare e programmare la memoria, non é infiito.

Vuol dire che posso leggere la memoria, un numero infinito di volte, ma posso scriverla solo un numero finito di volte. Non é utilizzabile come memoria centrale per un Computer. (Se ci voglio scrivere con una velocità di 1 GHz sarebbe esaurita in 1 secondo)

Chiamiamo queste memorie EEPROM e EEPROM (*Electrically Eraseable Programmable Read Only Memory*)

48.1 Memorie Voltatili

Se connetto la cella alla bit line, la bit line influisce la cella: necessita distinzione tra lettura e scrittura.

Bistabile + Faccio competere con una rete forte se voglio scrivere ed una rete debole se voglio leggere (dalla cella): SRAM 5T(transistori)

Alternativa: Condensatore isolato (Problema con capacità parassita della bitline) (DRAM 1T), le operazioni di lettura sono molto piú complicate). Si dice che la lettura é distruttiva.

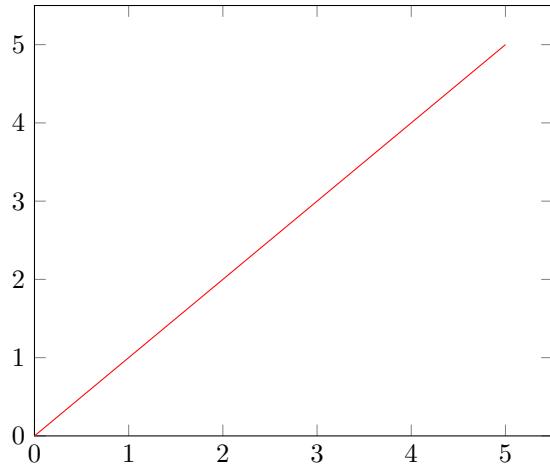
Un altro problema é che se carico la cella, il condensatore é imperfetto, e poco alla volta perde carica. Periodicamente devo rigenerare i valori nelle celle (Operazione di Refresh). Questo rallenta le operazioni
Per questo motivo, le memorie di tipo statico sono significativamente piú veloci delle memorie di tipo dinamico.

48.2 Conversione ADC/DAC

Ci limitiamo ad enunciare i principi (come nelle memorie) senza entrare nel dettaglio.

Convertitore ADC, entra un segnale esce una n-upla di bit, é implicita una perdita di informazione.

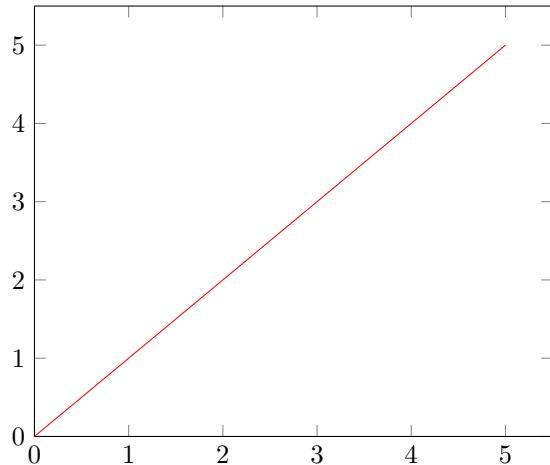
Immaginando che il segnale d'ingresso V_{in} vari da 0 a V_{SF} . Posso rappresentare in funzione dell'ingresso V_{in} la rappresentazione decimale equivalente.



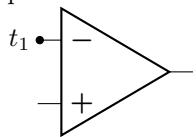
Assegno i possibili valori d'ingresso a rispettivi valori binari per gli $a_0 \dots a_n$: Processo di Quantizzazione

$$\frac{V_{FS}}{2^n} = Q$$

Se scelgo questo tipo di quantizzazione l'errore massimo è Q



In questo caso, tralasciando, l'ultimo intervallo l'errore massimo che ho è $\frac{Q}{2}$. Tutto questo funziona fino a quando non entro negli intervalli segnati.



Serve un circuito in grado di leggere le soglie d'ingresso (Comparatore elementare)

$$V_id = V_{i0} - t_1 > 0 \rightarrow V_{in} > t_1 \rightarrow V_u = V_M$$

Siccome devo osservare 3 soglie: 3 Amplificatori operazionali
Codice a 3 monitor
(V_{FS} Tensione di fondoscala)

- Generare i valori di riferimento: Siccome entra una corrente nulla nell'operazionale basta un partitore.
(Per riprodurre le tensioni basta mettere resistenze proporzionali)

- ABC è già un uscita digitale: Convertire il codice termometro in un codice binario

A	B	C	a_1	a_0
0	0	0	0	0
0	0	1	0	1
0	1	0	-	-
0	1	1	1	0
1	0	0	-	-
1	0	1	-	-
1	1	0	-	-
1	1	1	1	1

A/BC	00	01	11	10
0	0	0	1	-
1	-	-	1	-

A/BC	00	01	11	10
0	0	1	0	-
1	-	-	1	-

Convertitore di tipo Flash

Numero decimale che rappresenta l'n-upla di bit posso scriverlo come

$$A = \sum_{i=0}^{n-1} a_i 2^i = 2^n \sum_{i=0}^{n-1} a_i 2^{i-n}$$

$$\sum_{i=0}^{n-1} a_i 2^{i-n} \approx 1$$

$$\sum_{i=0}^{n-1} a_i 2^{i-n} V_{FS} = a_{n-1} \frac{V_{FS}}{2} + a_{n-2} \frac{V_{FS}}{4} \dots a_0 \frac{V_{FS}}{2^n}$$

Ho ricondotto il problema ad una somma di tensioni proporzionale a V_{FS} : Basta un circuito sommatore

$$V_u = - \left(\frac{R}{R_1} V_1 + \frac{R}{R_2} V_2 \right)$$

$$V_u = a_1 \frac{V_{FS}}{2} + a_0 \frac{V_{FS}}{4}$$

Immaginando di applicare il principio di sovrapposizione degli effetti

$$a_1 a_0 = 01 \quad V_u = - \left(\frac{R}{R_1} V_1 + \frac{R}{R_2} V_2 \right)$$

$$R_2 = 4R \frac{V_H}{V_{FS}}$$

Altro caso $a_1 a_0 = 10$

$$V_u = - \cancel{\left(\frac{R}{R_1} V_1 + a_0 \cancel{\frac{V_{FS}}{4}} \right)} = - \frac{R}{R_1} V_H \rightarrow R_1 = 2R \frac{V_H}{V_{FS}}$$