

Universidad de Costa Rica

Facultad de Ingeniería

Escuela de Ingeniería Eléctrica

IE-0624 – Laboratorio de Microcontroladores

III Ciclo 2022

Laboratorio 2:  
GPIOs, Timers y FSM.

Profesor:

MSc. Marco Villalta Fallas

Estudiantes:

Raquel Sofía Corrales Marín B92378

Alexa Carmona Buzo B91643

24 de enero de 2023

# 1. Introducción/Resumen

El presente laboratorio tiene por objetivo la implementación y comprensión de *GPIOs*, *interrupciones*, *timers* y *FSM*. Para este caso en específico, el diseño gira en torno al microcontrolador *ATtiny4313*, con el cual se desarrolla el juego de memoria, *Simon dice*, utilizando leds, botones y otro componentes necesarios para el funcionamiento de estos últimos.

Respecto al funcionamiento del juego, se cuenta con 4 botones que corresponden a 4 leds de colores distintos, la idea principal consiste en memorizar una secuencia aleatoria de luces para reproducirla posteriormente. Al inicio del juego se van encendiendo unos leds en un orden específico y el o la jugadora debe memorizar los leds que se han encendido para reproducir la secuencia.

La dificultad del juego va en aumento, debido a que conforme se va avanzando de modo que al principio se empieza por memorizar cuatro led y posteriormente se va incrementando el número de leds a memorizar, también, la dificultad incrementa a través del tiempo que duran los leds encendidos, al inicio cada led debe durar 2 segundos encendidos, posteriormente por cada incremento de la secuencia se debe reducir este tiempo en 200ms. La forma de iniciar el juego es presionando cualquier botón y como indicación para el usuario, se parpadean todos los leds 2 veces. El juego finaliza cuando el usuario se equivoca en la secuencia, momento en el cual aparece una indicación que consiste en el parpadeo de todos los leds 3 veces.

Se incluye el enlace al repositorio en la plataforma GitHub.

<https://github.com/alebuzo/microcontroladores-lab-2.git>

## 2. Nota Teórica

El ATtiny4313 es un microcontrolador de 8 bits de arquitectura RISC con 120 instrucciones. Con respecto a la memoria, este posee 2/4 kB de memoria flash con 10 mil ciclos de escritura/borrador, 128/256 bytes de memoria EEPROM con 100 mil ciclos de escritura/borrado y 128/256 bytes de SRAM. Con respecto a los periféricos, este posee un temporizador de 8 bits y uno de 16 bits con preescalador y modo de comparación cada uno; también tiene cuatro canales PWM, un comparador analógico y watchdog timer. Tal como ya se mencionó, el microcontrolador empleado en este laboratorio es el ATtiny2313, a continuación, se incluyen las características generales de este dispositivo.

### 2.1. Características generales y eléctricas del ATtiny4313.

En la figura 1 se incluye el diagrama general del microcontrolador ATtiny2313 con los respectivos pines, recordar que este cuenta con 20 pines, donde 18 corresponden a puertos I/O agrupados en 3 puertos (A, B y D) y los dos restantes corresponden a  $V_{CC}$  y  $GND$ .

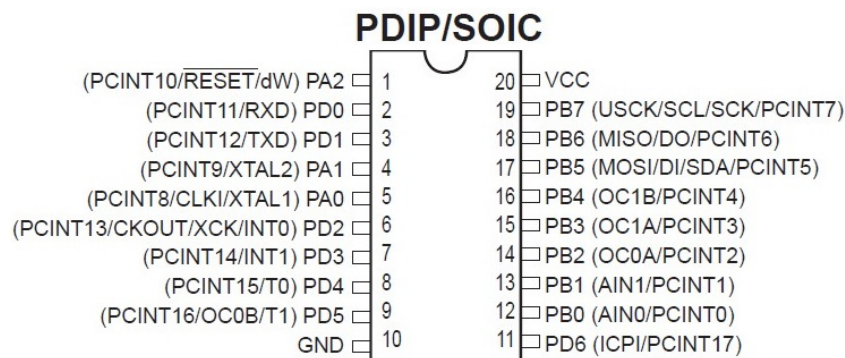


Figura 1: Diagrama de pines del microcontrolador ATtiny2313 [1].

En la figura 2 se observa el diagrama de bloques del microcontrolador.

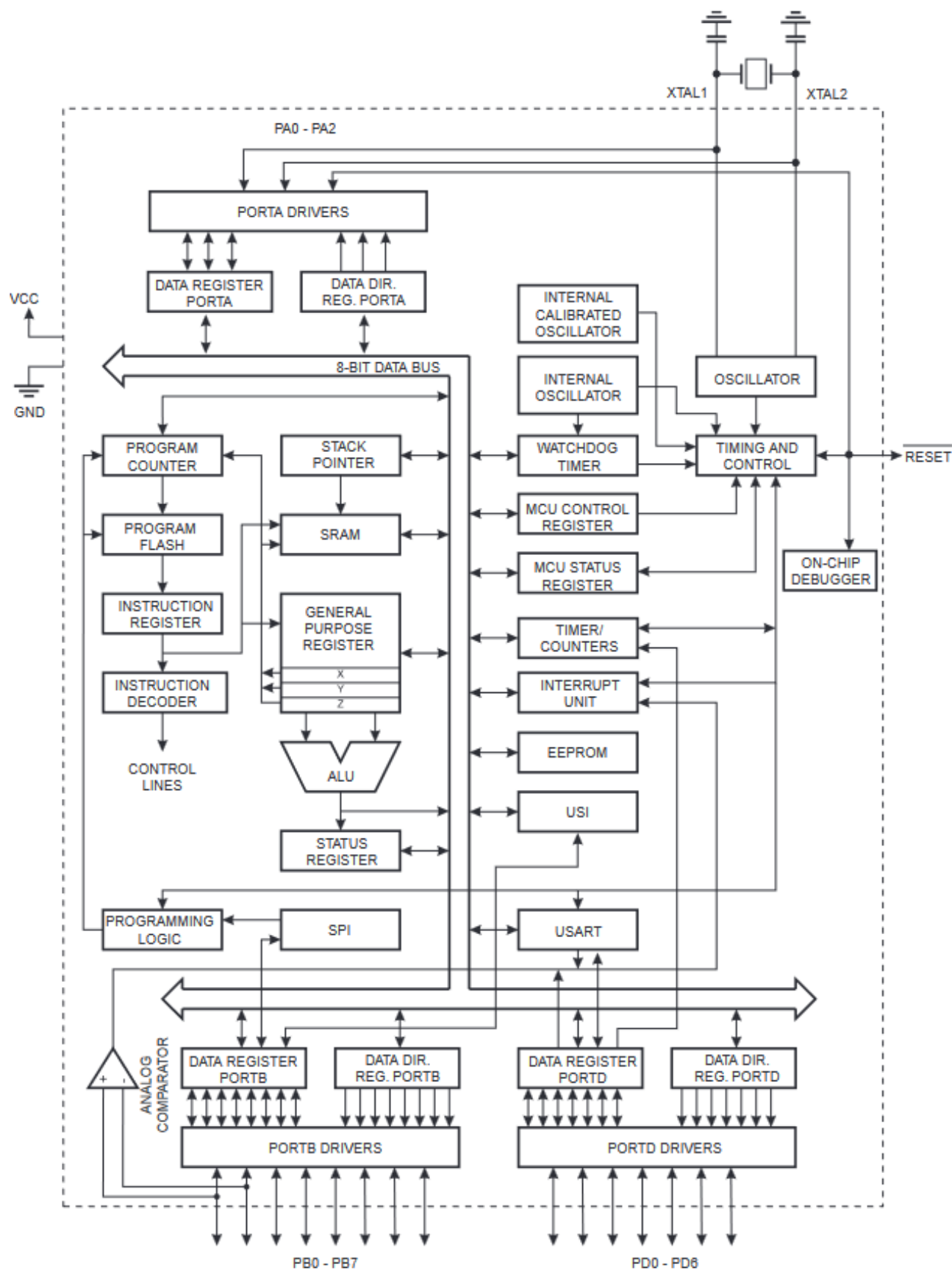


Figura 2: Diagrama de bloques del microcontrolador ATtiny2313 [1].

La siguiente tabla muestra los valores máximos para las características eléctricas del microcontrolador.

Parámetro	Valor
Temperatura de operación	$-55^{\circ}C a +125^{\circ}C$
Temperatura de almacenamiento	$-65^{\circ}C a +150^{\circ}C$
Tensión en cualquier pin con respecto a tierra excepto RESET	$-0,5V a V_{CC} + 0,5V$
Tensión en RESET con respecto a tierra	6.0V
Corriente DC por pin I/O	40 mA
Corriente DC en pines $V_{CC}$ y GND	200 mA

Tabla 1: Características eléctricas del microcontrolador ATtiny2313 [1].

## 2.2. Periféricos y registros utilizados.

A continuación, se incluye la descripción de los registros utilizados, todos estos utilizados para el manejo de puertos I/O, así como para el manejo de interrupciones.

### 2.2.1. DDRx, Data Direction Register.

Tal como su nombre lo indica, es el registro de información de dirección, donde el bit en el registro selecciona la dirección del pin, esto quiere decir que en el caso de que sea un 1 lógico el pin es configurado como una salida, caso contrario, si este es un 0 lógico, el pin será configurado como una entrada [1]. En la figura 3, se muestra en detalle las configuraciones de este registro para los distintos grupos (A, B y D) en los que se agrupan los pines de este microcontrolador.

#### DDRA – Port A Data Direction Register

Bit	7	6	5	4	3	2	1	0	
0x1A (0x3A)	–	–	–	–	–	DDA2	DDA1	DDA0	DDRA
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

#### DDRB – Port B Data Direction Register

Bit	7	6	5	4	3	2	1	0	
0x17 (0x37)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

#### DDRD – Port D Data Direction Register

Bit	7	6	5	4	3	2	1	0	
0x11 (0x31)	–	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Figura 3: Registro DDRx [1].

### 2.2.2. PORTx, Data Register.

Este es otro de los registros que configuran a los pines, si el registro se escribe con un 1 lógico cuando el pin está configurado como un pin de entrada, la resistencia pull-up es activada. Para apagar la resistencia pull-up, el registro tiene que ser un cero lógico o el pin tiene que configurarse

como un pin de salida. Los pines del puerto están triestablecidos cuando la condición de reinicio se activa, incluso si no hay relojes funcionando [1].

Caso contrario, si se escribe un uno lógico en el registro cuando el pin está configurado como un pin de salida, el pin del puerto se activa en alto (uno lógico). Si el registro se escribe como un cero lógico cuando el pin está configurado como un pin de salida, el puerto estará en bajo (cero lógico) [1]. En la figura 4, se muestra en detalle las configuraciones de este registro para los distintos grupos (A, B y D) en los que se agrupan los pines de este microcontrolador.

#### PORTA – Port A Data Register

Bit	7	6	5	4	3	2	1	0	
0x1B (0x3B)	–	–	–	–	–	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

#### PORTB – Port B Data Register

Bit	7	6	5	4	3	2	1	0	
0x18 (0x38)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

#### PORTD – Port D Data Register

Bit	7	6	5	4	3	2	1	0	
0x12 (0x32)	–	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Figura 4: Registro PORTx [1].

### 2.2.3. GIMSK, General Interrupt Mask Register.

Este registro permite la configuración de las interrupciones, se cuentan con dos interrupciones externas, esto en los bits 6 y 7, cuando estos son puestos en un uno lógico, la interrupción externa de los pines asociados es habilitada, donde la actividad en el pin causará una solicitud de interrupción. Los bits del 3-5 corresponden a las interrupciones por cambio en los pines respectivos, cuando estos son puestos en un uno lógico, las interrupciones se encuentran habilitadas, de modo que cualquier cambio en estos pines, causarán una interrupción. Los bits 0-2 están reservados por defecto y siempre serán leídos como un cero [1].

En la figura 5, se muestra en detalle la configuración de este registro.

#### GIMSK – General Interrupt Mask Register

Bit	7	6	5	4	3	2	1	0	
0x3B (0x5B)	INT1	INT0	PCIE0	PCIE2	PCIE1	–	–	–	GIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	

Figura 5: Registro GIMSK[1].

### 2.2.4. PCMSK<sub>n</sub>, Pin Change Mask Register

Este registro es complementario al *General Interrupt Mask Register*, esto porque Cada bit PCINT selecciona si la interrupción de cambio de pin está habilitada en la pin I/O correspondiente. Si está configurado este registro con un uno lógico y este bit también está configurado en GIMSK, la interrupción de cambio estará habilitada en el pin correspondiente. Si no se coloca en este registro, la interrupción de cambio en el pin estará deshabilitada [1]. En la figura 6, se muestra en detalle las configuraciones de este registro.

#### PCMSK0 – Pin Change Mask Register 0

Bit	7	6	5	4	3	2	1	0	
0x20 (0x40)	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	PCMSK0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

#### PCMSK1 – Pin Change Mask Register 1

Bit	7	6	5	4	3	2	1	0	
0x04 (0x24)	–	–	–	–	–	PCINT10	PCINT9	PCINT8	PCMSK1
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

#### PCMSK2 – Pin Change Mask Register 2

Bit	7	6	5	4	3	2	1	0	
0x05 (0x25)	–	PCINT17	PCINT16	PCINT15	PCINT14	PCINT13	PCINT12	PCINT11	PCMSK2
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Figura 6: Registro PCMSK<sub>n</sub> [1].

### 2.2.5. TCCR0, Timer/Counter Control Register

Este registro, Timer0, utiliza los registros TCCR0A, TCCR0B, OCR0A, OCR0B, TIMSK y TIFR para ser operado. Se puede leer el estado por polling o con interrupciones. Existen dos registros específicos de esta modalidad, el A y el B.

El registro de control A para el contador 0, se puede controlar la funcionalidad del pin I/O conectado a OC0A y/o OC0B.

El registro de control B para el contador 0, con este se puede realizar una configuración forzada de comparación y además, selecciona la fuente de reloj para el Timer/Counter 0. En estos también se define el modo de operación, tales como normal, PWM o CTC, todas estas características en detalle en las hojas de datos del microcontrolador incluidas en el apéndice. En la figura 9, se muestra en detalle las configuraciones de este registro.

### TCCR0A – Timer/Counter Control Register A

Bit	7	6	5	4	3	2	1	0	
0x30 (0x50)	COM0A1	COM0A0	COM0B1	COM0B0	–	–	WGM01	WGM00	TCCR0A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

### TCCR0B – Timer/Counter Control Register B

Bit	7	6	5	4	3	2	1	0	
0x33 (0x53)	FOC0A	FOC0B	–	–	WGM02	CS02	CS01	CS00	TCCR0B
Read/Write	W	W	R	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Figura 7: Registro TCCR0 [1].

### 2.2.6. TCNT0, Timer/Counter Register

Este registro da acceso directo para escribir y leer operaciones sobre la unidad timer/counter contador de 8 bits. Escribir en el Registro TCNT0 bloquea (elimina) la comparación por match en el siguiente reloj temporizador.

### TCNT0 – Timer/Counter Register

Bit	7	6	5	4	3	2	1	0	
0x32 (0x52)	TCNT0[7:0]								TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Figura 8: Registro TCNT0 [1].

### 2.2.7. TIMSK, Timer/Counter Interrupt Mask Register

Este registro consiste en una máscara para habilitar las interrupciones, por ejemplo, el bit correspondiente a OCIE0B, es una salida que habilita la interrupción Compare Match B Interrupt. Para esta aplicación, se utiliza el bit 1, esto para habilitar la TOIE0 Timer/Counter0 Overflow Interrupt.

### TIMSK – Timer/Counter Interrupt Mask Register

Bit	7	6	5	4	3	2	1	0	
0x39 (0x59)	TOIE1	OCIE1A	OCIE1B	–	ICIE1	OCIE0B	TOIE0	OCIE0A	TIMSK
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Figura 9: Registro TIMSK [1].

## 2.3. Componentes electrónicos/digitales empleados.

En este proyecto es necesario utilizar 4 LEDs de color amarillo, azul, rojo y verde para la visualización de la selección de botones en la salida; en esta parte del circuito también es necesario añadir una resistencia en serie con cada LED para protegerlos de una sobre tensión. Estas resistencias tienen un valor de 150, 82, 150, 120 y 10  $\Omega$  respectivamente según la descripción

anterior. Además es necesario utilizar 4 botones, de 12 V y 50 mA normalmente abierto para poder recibir las interrupciones del usuario. Para cada entrada también es necesario utilizar una resistencia y un capacitor de manera que se tenga un filtro pasivo RC para tratar el efecto de bouncing creado por el uso de los botones; por lo tanto, se utiliza cuatro resistencias de 4.7 k $\Omega$  y cuatro capacitores de 1  $\mu F$ .

La lista de componentes necesarios se muestra en la siguiente tabla de costos del proyecto.

Cantidad	Componente	Precio total en colones
1	ATtiny4313	937
4	Resistencias de 47 k $\Omega$	276
2	Resistencia de 150 $\Omega$	50
1	Resistencia de 82 $\Omega$	85
1	Resistencia de 120 $\Omega$	25
1	Resistencia de 10 $\Omega$	25
4	Capacitor de 1 $\mu F$	1280
1	LED rojo	59
1	LED azul	250
1	LED verde	99
1	LED amarillo	75
4	Botón de 12 V 50 mA normalmente abierto	680

Tabla 2: Precios y cantidad de los componentes necesarios

## 2.4. Diseño

En la figura 10 se muestra el esquema del circuito diseñado.

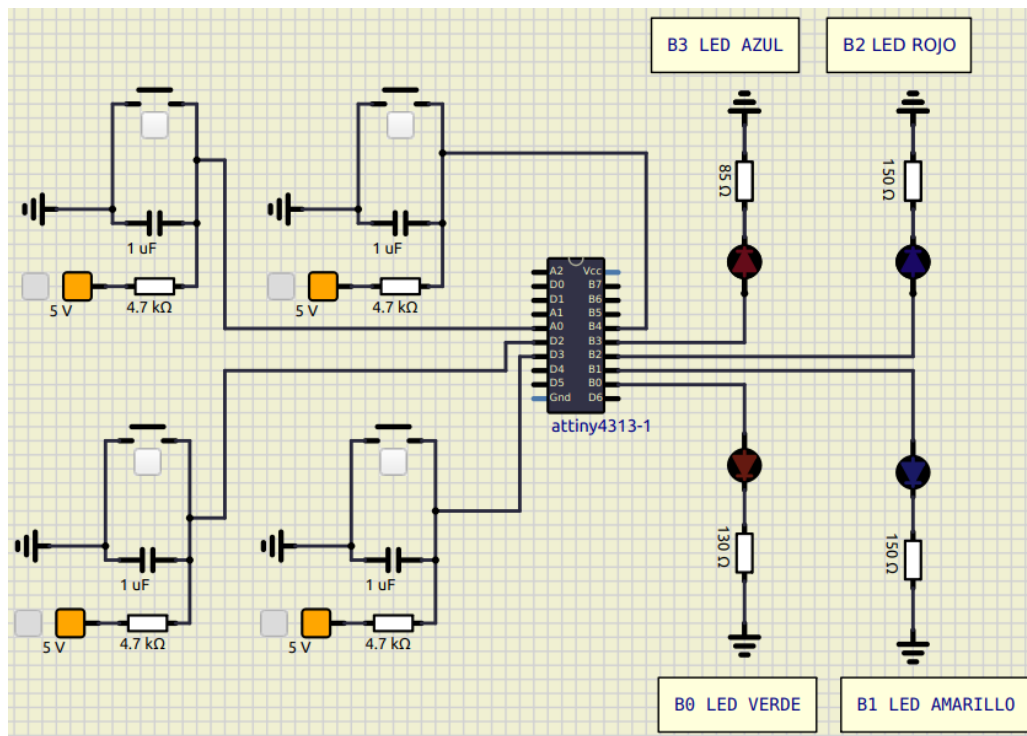


Figura 10: Esquema de circuito desarrollado.

En el diseño de entrada se cuenta con 4 botones de entrada, estos tienen por función a través del firmware de iniciar el juego y seleccionar la secuencia de cada nivel, estos son alimen-



tados con una fuente de 5V, es por ello que se utiliza un resistor antes de su conexión con el microcontrolador para limitar el paso de corriente hacia este y proteger el microcontrolador de sobrecargas; en la tabla 1 se definió que la corriente por pin I/O debe tener un valor máximo de 40 mA, de modo que se midió y la corriente sin resistor es de 62.5 mA de entrada en los pines de los botones.

Adicionalmente, se consideró que en la vida real los botones presentan problemas mecánicos que se traducen en rebotes en la señal, lo que puede desencadenar lecturas incorrectas de su estado, para este caso en específico se decidió proponer una solución a través del hardware del circuito. Se coloca un capacitor en paralelo al botón, haciendo que la señal de este adopte la forma de la señal de carga y descarga del capacitor, comportándose más estable (la señal de entrada cambia de valor solo hasta que el capacitor se cargue/descargue). Para el cálculo se toma en cuenta que la carga del capacitor ocurre al rededor de los  $5\tau$ , de modo que considerando una capacitancia pequeña de  $1\mu F$ , se obtiene un tiempo pequeño para la constante  $\tau$ , de modo que el tiempo final para que el capacitor se cargue está dado por:

$$5\tau = 5 \cdot R \cdot C = 5 \cdot 4,7K \Omega \cdot 1\mu F = 0,0235s \quad (1)$$

Tal como se indica en [2], los rebotes del interruptor entre los contactos se lleva a cabo a lo largo de unos cuantos milisegundos, de modo que tal como se obtuvo, el tiempo de carga del capacitor es suficiente para evitar los problemas de rebote en la señal que entra a los cuatro pines. Además, se busca que el capacitor solucione el problema de rebotes, para una capacitancia alta se podría entrar en problemas de lecturas erróneas porque el capacitor sigue en fases de carga o descarga mientras se sigue presionando, en el caso de la simulación esto no sucede, pero en la vida real sí es considerado un problema.

Y finalmente con una resistencia de  $4,7k\Omega$ , se limita la corriente que entra a los puertos a alrededor de 1 mA, cumpliendo con las especificaciones.

Para los circuitos de la salida, donde se debe tener 4 LEDs que muestren un patrón y que repliquen la respuesta del usuario, se necesitan 4 LEDs con sus respectivas resistencias de protección en serie para no quemar los LEDs por sobre tensión. Cada LED está conectado a una salida del puerto B, donde la tensión puede alcanzar un valor máximo de  $V_{CC} + 0,5V = 5,5V$  y la corriente  $I$  puede tener un valor máximo de  $40,0mA$ ; sin embargo, se trabajará con  $I = 20,0mA$  debido a que es la corriente máxima de los LEDs. El valor de tensión  $V_F$  varía de acuerdo con el color del LED.

El valor de la resistencia  $R$  se calcula por medio de la Ley de Kirchhoff como se muestra a continuación:

Azul:

$$R_{azul} = \frac{V_{CC} - V_F}{I_{max}} = \frac{5 - 3,3}{20mA} = 85\Omega$$

Rojo:

$$R_{rojo} = \frac{V_{CC} - V_F}{I_{max}} = \frac{5 - 2}{20mA} = 150\Omega$$

Amarillo:

$$R_{amarillo} = \frac{V_{CC} - V_F}{I_{max}} = \frac{5 - 2}{20mA} = 150\Omega$$

Verde:

$$R_{rojo} = \frac{V_{CC} - V_F}{I_{max}} = \frac{5 - 2,4}{20mA} = 130\Omega$$

En el caso de la resistencia de  $130\ \Omega$ , se utilizan dos resistencias en serie de  $120 + 10\ \Omega$ . En el caso de la resistencia de  $85\ \Omega$  se opta por utilizar una resistencia de  $82\ \Omega$  debido a la disponibilidad.

### 3. Desarrollo/Análisis de resultados

En la figura 11 se muestra en detalle el diagrama de bloques que ejemplifica el comportamiento de la aplicación implementada como solución al juego *Simon Dice*.

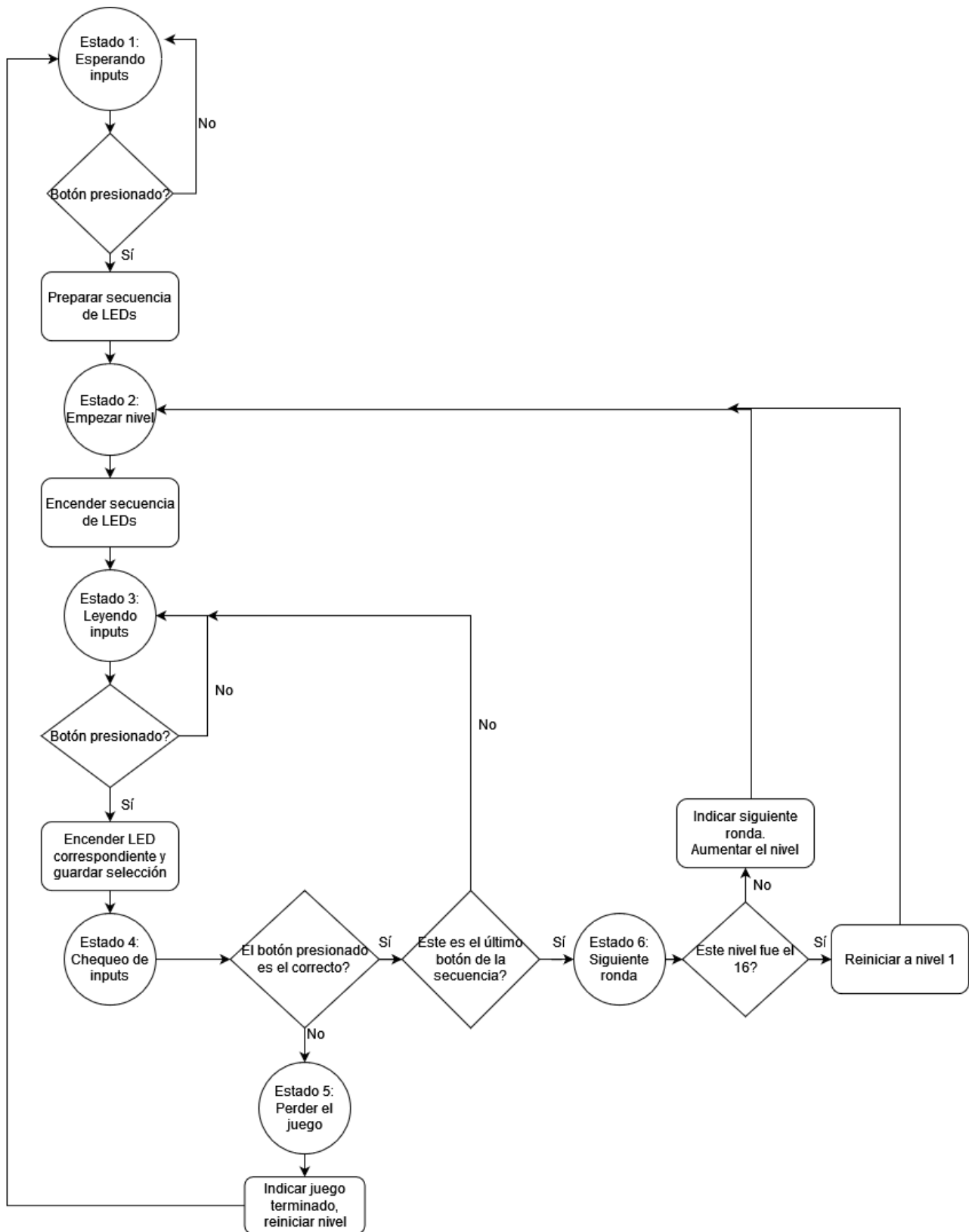


Figura 11: Diagrama de bloques de la solución implementada.

La aplicación implementada presenta el comportamiento mostrado en la figura 11, una máquina de estados, inicialmente el estado está esperando los cambios a través de los inputs, *waiting\_interrupt*, si uno de los cuatro botones es presionado, a través de las subrutinas de manejo de interrupciones se inicia el juego pasando al estado *start\_level* donde se prepara la secuencia de LEDs haciendo uso de un arreglo aleatorio de valores que define cuál de los LEDs debe ser encendido y mostrándolos.

Cuando se finaliza de mostrar la secuencia se pasa al estado de leer el patrón que ingresa el usuario, *reading\_inputs* esto comparando una bandera que indica la interrupción cuando se presiona el botón, en cada entrada se pasa al estado de revisión, *check*, acá se compara el arreglo aleatorio y el arreglo introducido, en caso de que la entrada no sea correcta inmediatamente se pasa al estado de *lost* donde se parpadean los LEDs 3 veces para indicar que se perdió, caso contrario si la entrada fue la correcta y no se han ingresado todos los valores del patrón se continúa leyendo las entradas, *reading\_inputs* si ya se ingresaron todos los LEDs del patrón y todos han sido correctos se pasa al estado de ganó el nivel, *won*. Si se ganó el nivel se vuelve al estado de empezar nivel donde se muestra un patrón con más entradas que el nivel anterior, *start\_level*. En casi de que se alcance el nivel 16, este se reiniciará luego de finalizar la ronda y volverá al estado *start\_level* con un patrón inicial de 4 LEDs.

En el siguiente enlace se muestra un video del comportamiento del juego, esto con dos etapas, una jugando para ganar donde se evidencia que el tiempo de encendido de los LEDs es menor cada vez que se sube de nivel y otra para perder, donde se muestra que en caso de que tan solo un LEDs introducido no sea igual a la secuencia mostrada, el juego va a indicar que se perdió. Recordar que cuando inicia el juego todos los LEDs parpadean 2 veces, cuando se gana un nivel todos parpadean 1 vez y finalmente, si se pierde el juego, los LEDs se parpadean 3 veces.

<https://youtu.be/ShwVGbxqTZY>

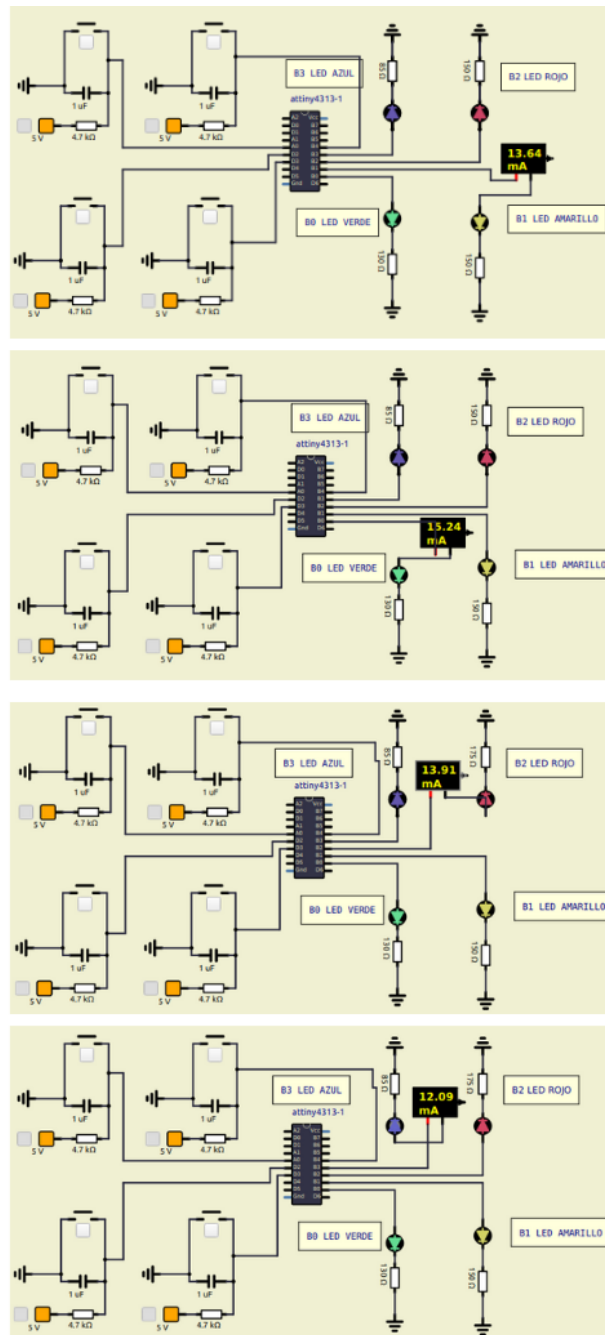


Figura 12: Medición de la corriente en cada LED

La figura 12 muestra las mediciones de corriente con el amperímetro en cada salida del circuito. Como se mencionó anteriormente, la tensión a la salida de los pines puede tener un valor máximo de 5.5 V; sin embargo, se registró una tensión de 4.5 V aproximadamente en cada pin. Lo anterior provoca que las corrientes medidas sean iguales a la corriente de diseño; no obstante, los valores registrados se encuentran en el rango esperado y permiten que los LEDs funcionen correctamente y tampoco se quemen ya que el valor máximo soportado por los LED es de 20 mA y el valor máximo alcanzado es de 15.24 mA por el LED verde.

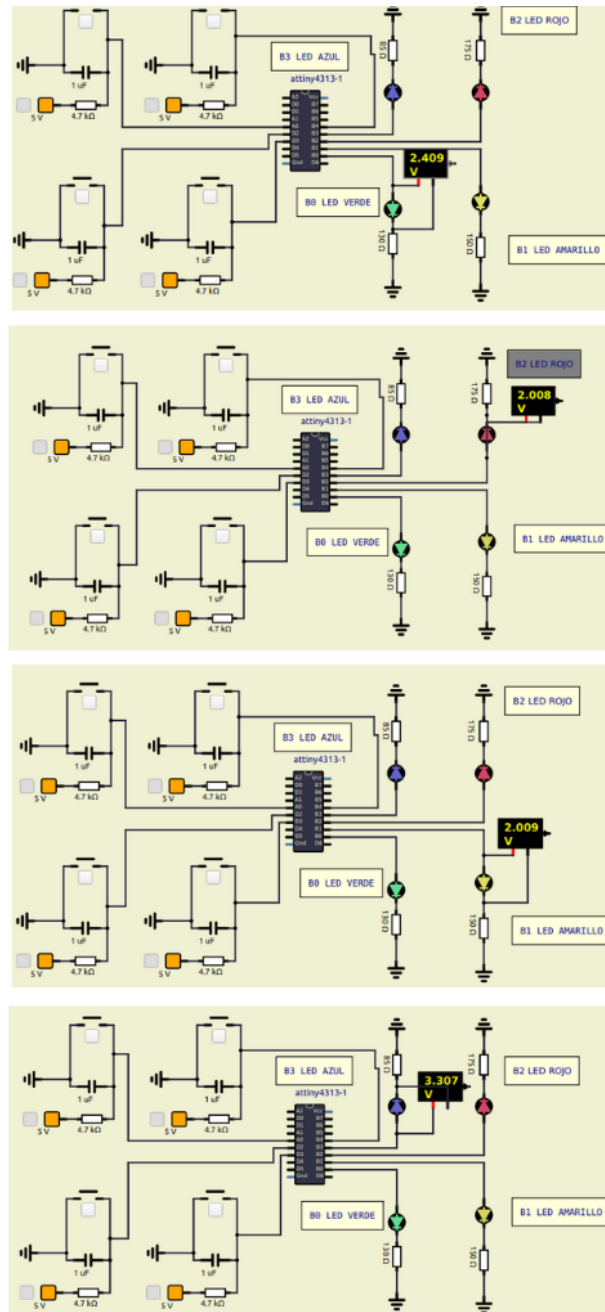


Figura 13: Medición de la tensión en cada LED

La figura 13 muestra las caídas de tensión en cada LED, donde se observa que los valores registrados son cercanos a los valores en las hojas de datos correspondientes. Con respecto a las entradas, se observó que la corriente en el pin es de  $888.2 \mu A$  cuando el botón no está presionado y que, en el momento en el que se presiona, la corriente pasa a ser 0 A. Estos valores demuestran que la entrada está protegida de sobre corrientes por la resistencia. En términos de tensión, cuando el botón no está presionado, el voltaje en el pin es de 5 V y se mantiene en este valor hasta el momento en el que se presione y la tensión baja a 1  $\mu V$ ; lo cual efectivamente genera un cambio lógico y por lo tanto, dispara la interrupción.

El funcionamiento del juego implica la utilización de interrupciones en los pines y en los contadores. Con respecto a las entradas, se utilizó 4 interrupciones para mantener el juego en el estado 1, similar a un estado 'idle' hasta el momento en el que el usuario iniciara el juego al presionar cualquier botón ya que esto generaba un cambio de tensión y disparaba la subrutina de atención de interrupciones. La estrategia consiste en utilizar las ISR para activar

o desactivar flags que a su vez desencadenan la construcción del arreglo de números random y el cambio al siguiente estado. Las interrupciones de los pines también fueron utilizadas para esperar y detectar el input del jugador, de manera que cada interrupción tenía un flag que indicaba cuál botón había sido presionado y a partir de esta se registraba la selección del jugador. A nivel de interrupciones de contadores, la estrategia inicial consistía en utilizar la ISR de los pines de entrada para sobrescribir el registro TCNT0 y empezar el contador en 0, de manera que una vez alcanzada la cuenta de 2 s, entonces se disparara la interrupción y esta se encargara de apagar los LEDs o generar el delay necesario para manejar los LEDs en funciones aparte. Sin embargo, una primera implementación demostró que la interrupción del contador no se estaba ejecutando a pesar de que los botones estaban siendo presionados. Debido a lo anterior, se decidió trabajar con otra característica de los contadores y detectar manualmente la interrupción por medio de la bandera OCF0A y el modo de comparación con el registro OCR0A. La estrategia implementada compara el valor en el contador con el valor en el registro OCR0A y cuando estos coinciden, entonces se activa la bandera OCF0A en el registro TIRF. Una vez esta bandera esté en alto, es posible generar un delay mediante una función que luego puede ser llamada en cada momento donde los LEDs deben encenderse. Además, los valores dentro de la función pueden actualizarse de manera que después de cada ronda es posible reducir el tiempo en el que los LEDs están encendidos.

## 4. Conclusiones y recomendaciones

Se logró implementar el juego *Simón Dice* con los criterios establecidos, sin embargo, tal como se mencionó con anterioridad, se realizó una variación en cómo hacer que el tiempo de encendido de los LEDs disminuyera y aumentara la dificultad de cada nivel, esto debido a que el haciendo uso de las interrupciones por overflow o comparación, no se logró el comportamiento esperado a pesar de chequear el código con el profesor.

Se concluye además, que las subrutinas de manejo de interrupciones son muy útiles ya que permiten desarrollar más funciones en las aplicaciones, controlando de una forma más simple los procesos que se pueden implementar en un microcontrolador.

A modo de recomendación, es importante desarrollar las aplicaciones propuestas paso a paso, así como ir probando la funcionalidad en el circuito, ya que esto permite obtener feedback de lo que realmente está haciendo el código y también facilita identificar fuentes de error.

Es importante además, comprender a profundidad cómo implementar las subrutina de atención de interrupciones, en este sentido resulta útil buscar videos-tutoriales disponibles en internet donde realizan aplicaciones funcionales ya que la documentación en las hojas de datos es más descriptiva y no se indican ejemplos funcionales o información más detallada.

## Referencias

- [1] Atmel Corporation. *ATtiny2313A/4313 Data Sheet*. 2011. URL: <https://ww1.microchip.com/downloads/aemDocuments/documents/OTH/ProductDocuments/DataSheets/8246S.pdf>.
- [2] J. Christoffersen. *Switch Bounce and How to Deal with It*. 2015. URL: <https://www.allaboutcircuits.com/technical-articles/switch-bounce-how-to-deal-with-it/>.



## 5. Apéndice

### Features

- High Performance, Low Power AVR<sup>®</sup> 8-Bit Microcontroller
- Advanced RISC Architecture
  - 120 Powerful Instructions – Most Single Clock Cycle Execution
  - 32 x 8 General Purpose Working Registers
  - Fully Static Operation
  - Up to 20 MIPS Throughput at 20 MHz
- Data and Non-volatile Program and Data Memories
  - 2/4K Bytes of In-System Self Programmable Flash
    - Endurance 10,000 Write/Erase Cycles
  - 128/256 Bytes In-System Programmable EEPROM
    - Endurance: 100,000 Write/Erase Cycles
  - 128/256 Bytes Internal SRAM
  - Programming Lock for Flash Program and EEPROM Data Security
- Peripheral Features
  - One 8-bit Timer/Counter with Separate Prescaler and Compare Mode
  - One 16-bit Timer/Counter with Separate Prescaler, Compare and Capture Modes
  - Four PWM Channels
  - On-chip Analog Comparator
  - Programmable Watchdog Timer with On-chip Oscillator
  - USI – Universal Serial Interface
  - Full Duplex USART
- Special Microcontroller Features
  - debugWIRE On-chip Debugging
  - In-System Programmable via SPI Port
  - External and Internal Interrupt Sources
  - Low-power Idle, Power-down, and Standby Modes
  - Enhanced Power-on Reset Circuit
  - Programmable Brown-out Detection Circuit
  - Internal Calibrated Oscillator
- I/O and Packages
  - 18 Programmable I/O Lines
  - 20-pin PDIP, 20-pin SOIC, 20-pad MLF/VQFN
- Operating Voltage
  - 1.8 – 5.5V
- Speed Grades
  - 0 – 4 MHz @ 1.8 – 5.5V
  - 0 – 10 MHz @ 2.7 – 5.5V
  - 0 – 20 MHz @ 4.5 – 5.5V
- Industrial Temperature Range: -40°C to +85°C
- Low Power Consumption
  - Active Mode
    - 190 µA at 1.8V and 1MHz
  - Idle Mode
    - 24 µA at 1.8V and 1MHz
  - Power-down Mode
    - 0.1 µA at 1.8V and +25°C



**8-bit AVR<sup>®</sup>  
Microcontroller  
with 2/4K Bytes  
In-System  
Programmable  
Flash**

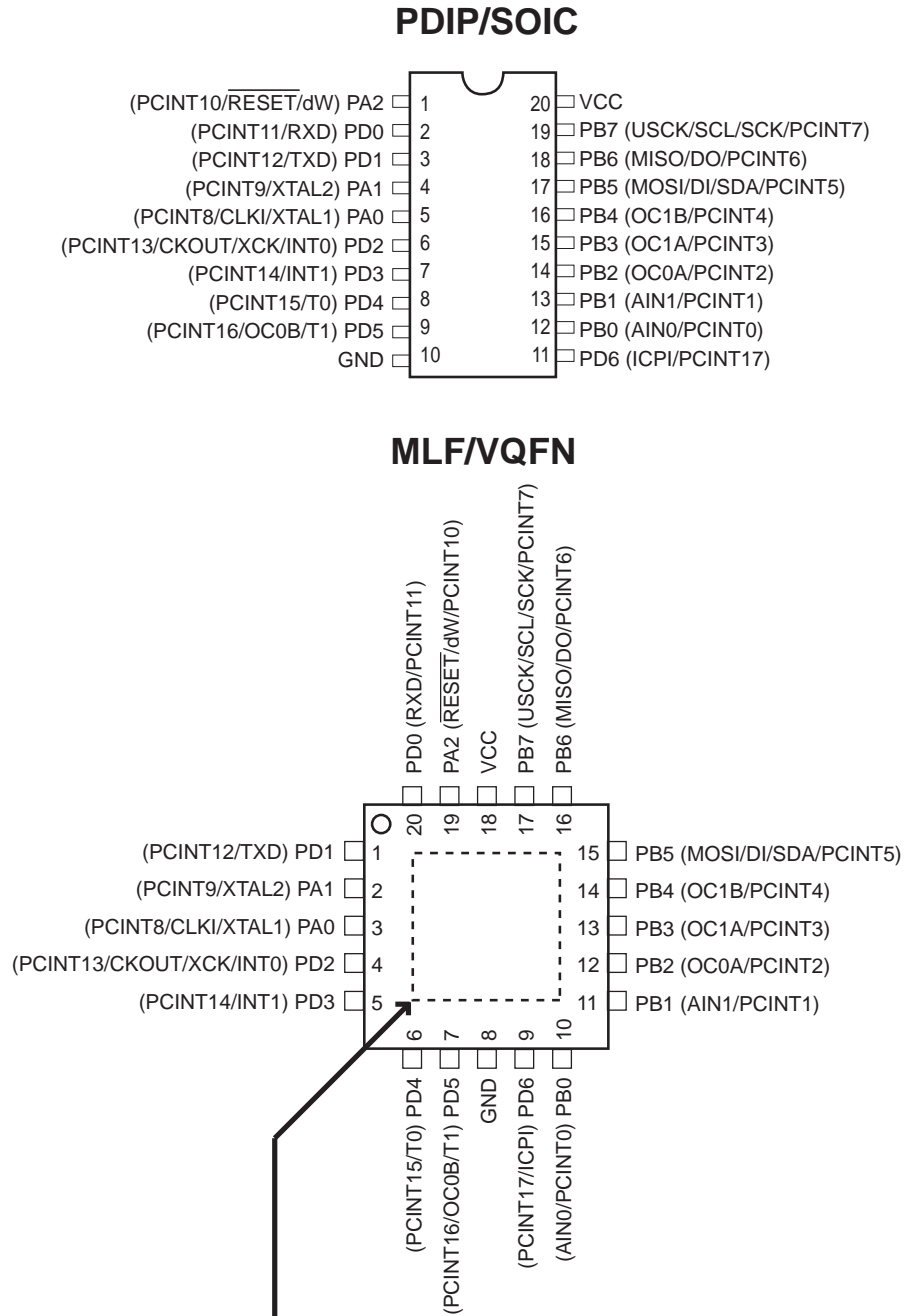
**ATtiny2313A  
ATtiny4313**

Rev. 8246B-AVR-09/11



## 1. Pin Configurations

Figure 1-1. Pinout ATtiny2313A/4313





### 9.3.2 GIMSK – General Interrupt Mask Register

Bit	7	6	5	4	3	2	1	0	
0x3B (0x5B)	INT1	INT0	PCIE0	PCIE2	PCIE1	–	–	–	GIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	

- **Bits 2..0 – Res: Reserved Bits**

These bits are reserved and will always read as zero.

- **Bit 7 – INT1: External Interrupt Request 1 Enable**

When the INT1 bit is set (one) and the I-bit in the Status Register (SREG) is set (one), the external pin interrupt is enabled. The Interrupt Sense Control bits (ISC11 and ISC10) in the External Interrupt Control Register A (EICRA) define whether the external interrupt is activated on rising and/or falling edge of the INT1 pin or level sensed. Activity on the pin will cause an interrupt request even if INT1 is configured as an output. The corresponding interrupt of External Interrupt Request 1 is executed from the INT1 Interrupt Vector.

- **Bit 6 – INT0: External Interrupt Request 0 Enable**

When the INT0 bit is set (one) and the I-bit in the Status Register (SREG) is set (one), the external pin interrupt is enabled. The Interrupt Sense Control bits (ISC01 and ISC00) in the External Interrupt Control Register A (EICRA) define whether the external interrupt is activated on rising and/or falling edge of the INT0 pin or level sensed. Activity on the pin will cause an interrupt request even if INT0 is configured as an output. The corresponding interrupt of External Interrupt Request 0 is executed from the INT0 Interrupt Vector.

- **Bit 5 – PCIE0: Pin Change Interrupt Enable 0**

When the PCIE0 bit is set (one) and the I-bit in the Status Register (SREG) is set (one), pin change interrupt 0 is enabled. Any change on any enabled PCINT7..0 pin will cause an interrupt. The corresponding interrupt of Pin Change Interrupt Request is executed from the PCIE0 Interrupt Vector. PCINT7..0 pins are enabled individually by the PCMSK0 Register.

- **Bit 4 – PCIE2: Pin Change Interrupt Enable 2**

When the PCIE2 bit is set (one) and the I-bit in the Status Register (SREG) is set (one), pin change interrupt 2 is enabled. Any change on any enabled PCINT17..11 pin will cause an interrupt. The corresponding interrupt of Pin Change Interrupt Request is executed from the PCIE2 Interrupt Vector. PCINT17..11 pins are enabled individually by the PCMSK2 Register.

- **Bit 3 – PCIE1: Pin Change Interrupt Enable 1**

When the PCIE1 bit is set (one) and the I-bit in the Status Register (SREG) is set (one), pin change interrupt 1 is enabled. Any change on any enabled PCINT10..8 pin will cause an interrupt. The corresponding interrupt of Pin Change Interrupt Request is executed from the PCIE1 Interrupt Vector. PCINT10..8 pins are enabled individually by the PCMSK1 Register.

## 9.3.3 GIFR – General Interrupt Flag Register

Bit	7	6	5	4	3	2	1	0	
0x3A (0x5A)	INTF1	INTF0	PCIF0	PCIF2	PCIF1	–	–	–	GIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	

- **Bits 2..0 – Res: Reserved Bits**

These bits are reserved and will always read as zero.

- **Bit 7 – INTF1: External Interrupt Flag 1**

When an edge or logic change on the INT1 pin triggers an interrupt request, INTF1 becomes set (one). If the I-bit in SREG and the INT1 bit in GIMSK are set (one), the MCU will jump to the corresponding Interrupt Vector. The flag is cleared when the interrupt routine is executed. Alternatively, the flag can be cleared by writing a logical one to it. This flag is always cleared when INT1 is configured as a level interrupt.

- **Bit 6 – INTF0: External Interrupt Flag 0**

When an edge or logic change on the INT0 pin triggers an interrupt request, INTF0 becomes set (one). If the I-bit in SREG and the INT0 bit in GIMSK are set (one), the MCU will jump to the corresponding Interrupt Vector. The flag is cleared when the interrupt routine is executed. Alternatively, the flag can be cleared by writing a logical one to it. This flag is always cleared when INT0 is configured as a level interrupt.

- **Bit 5 – PCIF0: Pin Change Interrupt Flag 0**

When a logic change on any PCINT7..0 pin triggers an interrupt request, PCIF becomes set (one). If the I-bit in SREG and the PCIE0 bit in GIMSK are set (one), the MCU will jump to the corresponding Interrupt Vector. The flag is cleared when the interrupt routine is executed. Alternatively, the flag can be cleared by writing a logical one to it.

- **Bit 4 – PCIF2: Pin Change Interrupt Flag 2**

When a logic change on any PCINT17..11 pin triggers an interrupt request, PCIF2 becomes set (one). If the I-bit in SREG and the PCIE2 bit in GIMSK are set (one), the MCU will jump to the corresponding Interrupt Vector. The flag is cleared when the interrupt routine is executed. Alternatively, the flag can be cleared by writing a logical one to it.

- **Bit 3 – PCIF1: Pin Change Interrupt Flag 1**

When a logic change on any PCINT10..8 pin triggers an interrupt request, PCIF1 becomes set (one). If the I-bit in SREG and the PCIE1 bit in GIMSK are set (one), the MCU will jump to the corresponding Interrupt Vector. The flag is cleared when the interrupt routine is executed. Alternatively, the flag can be cleared by writing a logical one to it.

## 9.3.4 PCMSK2 – Pin Change Mask Register 2

Bit	7	6	5	4	3	2	1	0	
0x05 (0x25)	–	PCINT17	PCINT16	PCINT15	PCINT14	PCINT13	PCINT12	PCINT11	PCMSK2
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7 – Res: Reserved Bit**

These bits are reserved and will always read as zero.



- **Bits 6..0 – PCINT17..11: Pin Change Enable Mask 17..11**

Each PCINT17..11 bit selects whether pin change interrupt is enabled on the corresponding I/O pin. If PCINT17..11 is set and the PCIE1 bit in GIMSK is set, pin change interrupt is enabled on the corresponding I/O pin. If PCINT17..11 is cleared, pin change interrupt on the corresponding I/O pin is disabled.

### 9.3.5 PCMSK1 – Pin Change Mask Register 1

Bit	7	6	5	4	3	2	1	0	
0x04 (0x24)	–	–	–	–	–	PCINT10	PCINT9	PCINT8	PCMSK1
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bits 7:3 – Res: Reserved Bits**

These bits are reserved and will always read as zero.

- **Bits 2..0 – PCINT10..8: Pin Change Enable Mask 10..8**

Each PCINT10..8 bit selects whether pin change interrupt is enabled on the corresponding I/O pin. If PCINT10..8 is set and the PCIE1 bit in GIMSK is set, pin change interrupt is enabled on the corresponding I/O pin. If PCINT10..8 is cleared, pin change interrupt on the corresponding I/O pin is disabled.

### 9.3.6 PCMSK0 – Pin Change Mask Register 0

Bit	7	6	5	4	3	2	1	0	
0x20 (0x40)	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	PCMSK0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bits 7..0 – PCINT7..0: Pin Change Enable Mask 7..0**

Each PCINT7..0 bit selects whether pin change interrupt is enabled on the corresponding I/O pin. If PCINT7..0 is set and the PCIE0 bit in GIMSK is set, pin change interrupt is enabled on the corresponding I/O pin. If PCINT7..0 is cleared, pin change interrupt on the corresponding I/O pin is disabled.

## 11.9 Register Description

### 11.9.1 TCCR0A – Timer/Counter Control Register A

Bit	7	6	5	4	3	2	1	0	
0x30 (0x50)	COM0A1	COM0A0	COM0B1	COM0B0	–	–	WGM01	WGM00	TCCR0A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bits 7:6 – COM0A1:0: Compare Match Output A Mode**

These bits control the Output Compare pin (OC0A) behavior. If one or both of the COM0A1:0 bits are set, the OC0A output overrides the normal port functionality of the I/O pin it is connected to. However, note that the Data Direction Register (DDR) bit corresponding to the OC0A pin must be set in order to enable the output driver.

When OC0A is connected to the pin, the function of the COM0A1:0 bits depends on the WGM02:0 bit setting. [Table 11-2](#) shows the COM0A1:0 bit functionality when the WGM02:0 bits are set to a normal or CTC mode (non-PWM).

**Table 11-2.** Compare Output Mode, non-PWM Mode

COM0A1	COM0A0	Description
0	0	Normal port operation, OC0A disconnected.
0	1	Toggle OC0A on Compare Match
1	0	Clear OC0A on Compare Match
1	1	Set OC0A on Compare Match

[Table 11-3](#) shows the COM0A1:0 bit functionality when the WGM01:0 bits are set to fast PWM mode.

**Table 11-3.** Compare Output Mode, Fast PWM Mode<sup>(1)</sup>

COM0A1	COM0A0	Description
0	0	Normal port operation, OC0A disconnected.
0	1	WGM02 = 0: Normal Port Operation, OC0A Disconnected. WGM02 = 1: Toggle OC0A on Compare Match.
1	0	Clear OC0A on Compare Match, set OC0A at TOP
1	1	Set OC0A on Compare Match, clear OC0A at TOP

Note: 1. A special case occurs when OCR0A equals TOP and COM0A1 is set. In this case, the Compare Match is ignored, but the set or clear is done at TOP. See [“Fast PWM Mode” on page 77](#) for more details.

Table 11-4 shows the COM0A1:0 bit functionality when the WGM02:0 bits are set to phase correct PWM mode.

**Table 11-4.** Compare Output Mode, Phase Correct PWM Mode<sup>(1)</sup>

COM0A1	COM0A0	Description
0	0	Normal port operation, OC0A disconnected.
0	1	WGM02 = 0: Normal Port Operation, OC0A Disconnected. WGM02 = 1: Toggle OC0A on Compare Match.
1	0	Clear OC0A on Compare Match when up-counting. Set OC0A on Compare Match when down-counting.
1	1	Set OC0A on Compare Match when up-counting. Clear OC0A on Compare Match when down-counting.

Note: 1. A special case occurs when OCR0A equals TOP and COM0A1 is set. In this case, the Compare Match is ignored, but the set or clear is done at TOP. See “Phase Correct PWM Mode” on page 79 for more details.

## • Bits 5:4 – COM0B1:0: Compare Match Output B Mode

These bits control the Output Compare pin (OC0B) behavior. If one or both of the COM0B1:0 bits are set, the OC0B output overrides the normal port functionality of the I/O pin it is connected to. However, note that the Data Direction Register (DDR) bit corresponding to the OC0B pin must be set in order to enable the output driver.

When OC0B is connected to the pin, the function of the COM0B1:0 bits depends on the WGM02:0 bit setting. Table 11-5 shows the COM0B1:0 bit functionality when the WGM02:0 bits are set to a normal or CTC mode (non-PWM).

**Table 11-5.** Compare Output Mode, non-PWM Mode

COM0B1	COM0B0	Description
0	0	Normal port operation, OC0B disconnected.
0	1	Toggle OC0B on Compare Match
1	0	Clear OC0B on Compare Match
1	1	Set OC0B on Compare Match

Table 11-6 shows the COM0B1:0 bit functionality when the WGM02:0 bits are set to fast PWM mode.

**Table 11-6.** Compare Output Mode, Fast PWM Mode<sup>(1)</sup>

COM0B1	COM0B0	Description
0	0	Normal port operation, OC0B disconnected.
0	1	Reserved
1	0	Clear OC0B on Compare Match, set OC0B at TOP
1	1	Set OC0B on Compare Match, clear OC0B at TOP

Note: 1. A special case occurs when OCR0B equals TOP and COM0B1 is set. In this case, the Compare Match is ignored, but the set or clear is done at TOP. See “Fast PWM Mode” on page 77 for more details.

Table 11-7 shows the COM0B1:0 bit functionality when the WGM02:0 bits are set to phase correct PWM mode.

**Table 11-7.** Compare Output Mode, Phase Correct PWM Mode<sup>(1)</sup>

COM0B1	COM0B0	Description
0	0	Normal port operation, OCR0B disconnected.
0	1	Reserved
1	0	Clear ORC0B on Compare Match when up-counting. Set OCR0B on Compare Match when down-counting.
1	1	Set OCR0B on Compare Match when up-counting. Clear OCR0B on Compare Match when down-counting.

Note: 1. A special case occurs when OCR0B equals TOP and COM0B1 is set. In this case, the Compare Match is ignored, but the set or clear is done at TOP. See “Phase Correct PWM Mode” on page 79 for more details.

• **Bits 3, 2 – Res: Reserved Bits**

These bits are reserved bits in the ATtiny2313A/4313 and will always read as zero.

• **Bits 1:0 – WGM01:0: Waveform Generation Mode**

Combined with the WGM02 bit found in the TCCR0B Register, these bits control the counting sequence of the counter, the source for maximum (TOP) counter value, and what type of waveform generation to be used, see Table 11-8. Modes of operation supported by the Timer/Counter unit are: Normal mode (counter), Clear Timer on Compare Match (CTC) mode, and two types of Pulse Width Modulation (PWM) modes (see “Modes of Operation” on page 76).

**Table 11-8.** Waveform Generation Mode Bit Description

Mode	WGM2	WGM1	WGM0	Timer/Counter Mode of Operation	TOP	Update of OCRx at	TOV Flag Set on <sup>(1)(2)</sup>
0	0	0	0	Normal	0xFF	Immediate	MAX
1	0	0	1	PWM, Phase Correct	0xFF	TOP	BOTTOM
2	0	1	0	CTC	OCR0A	Immediate	MAX
3	0	1	1	Fast PWM	0xFF	TOP	MAX
4	1	0	0	Reserved	–	–	–
5	1	0	1	PWM, Phase Correct	OCR0A	TOP	BOTTOM
6	1	1	0	Reserved	–	–	–
7	1	1	1	Fast PWM	OCR0A	TOP	TOP

Notes: 1. MAX = 0xFF  
2. BOTTOM = 0x00



## 11.9.2 TCCR0B – Timer/Counter Control Register B

Bit	7	6	5	4	3	2	1	0	
0x33 (0x53)	FOC0A	FOC0B	–	–	WGM02	CS02	CS01	CS00	TCCR0B
Read/Write	W	W	R	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7 – FOC0A: Force Output Compare A**

The FOC0A bit is only active when the WGM bits specify a non-PWM mode.

However, for ensuring compatibility with future devices, this bit must be set to zero when TCCR0B is written when operating in PWM mode. When writing a logical one to the FOC0A bit, an immediate Compare Match is forced on the Waveform Generation unit. The OC0A output is changed according to its COM0A1:0 bits setting. Note that the FOC0A bit is implemented as a strobe. Therefore it is the value present in the COM0A1:0 bits that determines the effect of the forced compare.

A FOC0A strobe will not generate any interrupt, nor will it clear the timer in CTC mode using OCR0A as TOP.

The FOC0A bit is always read as zero.

- **Bit 6 – FOC0B: Force Output Compare B**

The FOC0B bit is only active when the WGM bits specify a non-PWM mode.

However, for ensuring compatibility with future devices, this bit must be set to zero when TCCR0B is written when operating in PWM mode. When writing a logical one to the FOC0B bit, an immediate Compare Match is forced on the Waveform Generation unit. The OC0B output is changed according to its COM0B1:0 bits setting. Note that the FOC0B bit is implemented as a strobe. Therefore it is the value present in the COM0B1:0 bits that determines the effect of the forced compare.

A FOC0B strobe will not generate any interrupt, nor will it clear the timer in CTC mode using OCR0B as TOP.

The FOC0B bit is always read as zero.

- **Bits 5:4 – Res: Reserved Bits**

These bits are reserved bits in the ATtiny2313A/4313 and will always read as zero.

- **Bit 3 – WGM02: Waveform Generation Mode**

See the description in the [“TCCR0A – Timer/Counter Control Register A” on page 82](#).

- **Bits 2:0 – CS02:0: Clock Select**

The three Clock Select bits select the clock source to be used by the Timer/Counter. See [Table 11-9 on page 86](#).

**Table 11-9.** Clock Select Bit Description

CS02	CS01	CS00	Description
0	0	0	No clock source (Timer/Counter stopped)
0	0	1	$\text{clk}_{I/O}$ (No prescaling)
0	1	0	$\text{clk}_{I/O}/8$ (From prescaler)
0	1	1	$\text{clk}_{I/O}/64$ (From prescaler)
1	0	0	$\text{clk}_{I/O}/256$ (From prescaler)
1	0	1	$\text{clk}_{I/O}/1024$ (From prescaler)
1	1	0	External clock source on T0 pin. Clock on falling edge.
1	1	1	External clock source on T0 pin. Clock on rising edge.

If external pin modes are used for the Timer/Counter0, transitions on the T0 pin will clock the counter even if the pin is configured as an output. This feature allows software control of the counting.

### 11.9.3 TCNT0 – Timer/Counter Register

Bit	7	6	5	4	3	2	1	0	
0x32 (0x52)	TCNT0[7:0]								TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

The Timer/Counter Register gives direct access, both for read and write operations, to the Timer/Counter unit 8-bit counter. Writing to the TCNT0 Register blocks (removes) the Compare Match on the following timer clock. Modifying the counter (TCNT0) while the counter is running, introduces a risk of missing a Compare Match between TCNT0 and the OCR0x Registers.

### 11.9.4 OCR0A – Output Compare Register A

Bit	7	6	5	4	3	2	1	0	
0x36 (0x56)	OCR0A[7:0]								OCR0A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

The Output Compare Register A contains an 8-bit value that is continuously compared with the counter value (TCNT0). A match can be used to generate an Output Compare interrupt, or to generate a waveform output on the OC0A pin.

### 11.9.5 OCR0B – Output Compare Register B

Bit	7	6	5	4	3	2	1	0	
0x3C (0x5C)	OCR0B[7:0]								OCR0B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

The Output Compare Register B contains an 8-bit value that is continuously compared with the counter value (TCNT0). A match can be used to generate an Output Compare interrupt, or to generate a waveform output on the OC0B pin.

## 11.9.6 TIMSK – Timer/Counter Interrupt Mask Register

Bit	7	6	5	4	3	2	1	0	
0x39 (0x59)	TOIE1	OCIE1A	OCIE1B	–	ICIE1	OCIE0B	TOIE0	OCIE0A	TIMSK
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 4 – Res: Reserved Bit**

This bit is reserved bit in the ATtiny2313A/4313 and will always read as zero.

- **Bit 2 – OCIE0B: Timer/Counter0 Output Compare Match B Interrupt Enable**

When the OCIE0B bit is written to one, and the I-bit in the Status Register is set, the Timer/Counter Compare Match B interrupt is enabled. The corresponding interrupt is executed if a Compare Match in Timer/Counter occurs, i.e., when the OCF0B bit is set in the Timer/Counter Interrupt Flag Register – TIFR.

- **Bit 1 – TOIE0: Timer/Counter0 Overflow Interrupt Enable**

When the TOIE0 bit is written to one, and the I-bit in the Status Register is set, the Timer/Counter0 Overflow interrupt is enabled. The corresponding interrupt is executed if an overflow in Timer/Counter0 occurs, i.e., when the TOV0 bit is set in the Timer/Counter 0 Interrupt Flag Register – TIFR.

- **Bit 0 – OCIE0A: Timer/Counter0 Output Compare Match A Interrupt Enable**

When the OCIE0A bit is written to one, and the I-bit in the Status Register is set, the Timer/Counter0 Compare Match A interrupt is enabled. The corresponding interrupt is executed if a Compare Match in Timer/Counter0 occurs, i.e., when the OCF0A bit is set in the Timer/Counter 0 Interrupt Flag Register – TIFR.

## 11.9.7 TIFR – Timer/Counter Interrupt Flag Register

Bit	7	6	5	4	3	2	1	0	
0x38 (0x58)	TOV1	OCF1A	OCF1B	–	ICF1	OCF0B	TOV0	OCF0A	TIFR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 4 – Res: Reserved Bit**

This bit is reserved bit in the ATtiny2313A/4313 and will always read as zero.

- **Bit 2 – OCF0B: Output Compare Flag 0 B**

The OCF0B bit is set when a Compare Match occurs between the Timer/Counter and the data in OCR0B – Output Compare Register0 B. OCF0B is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, OCF0B is cleared by writing a logic one to the flag. When the I-bit in SREG, OCIE0B (Timer/Counter Compare B Match Interrupt Enable), and OCF0B are set, the Timer/Counter Compare Match Interrupt is executed.

- **Bit 1 – TOV0: Timer/Counter0 Overflow Flag**

The bit TOV0 is set when an overflow occurs in Timer/Counter0. TOV0 is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, TOV0 is cleared by writing a logic one to the flag. When the SREG I-bit, TOIE0 (Timer/Counter0 Overflow Interrupt Enable), and TOV0 are set, the Timer/Counter0 Overflow interrupt is executed.



The setting of this flag is dependent of the WGM02:0 bit setting. Refer to [Table 11-8, “Waveform Generation Mode Bit Description”](#) on page 84.

- **Bit 0 – OCF0A: Output Compare Flag 0 A**

The OCF0A bit is set when a Compare Match occurs between the Timer/Counter0 and the data in OCR0A – Output Compare Register0 A. OCF0A is cleared by hardware when executing the corresponding interrupt handling vector. Alternatively, OCF0A is cleared by writing a logic one to the flag. When the I-bit in SREG, OCIE0A (Timer/Counter0 Compare Match Interrupt Enable), and OCF0A are set, the Timer/Counter0 Compare Match Interrupt is executed.

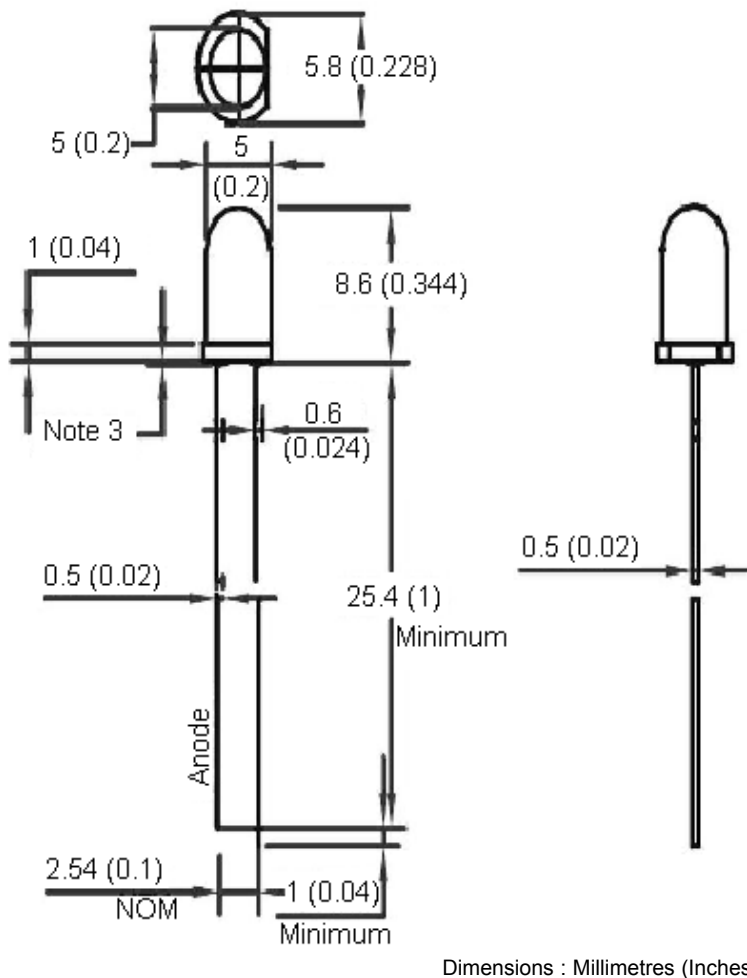
# Standard LED

## Red Emitting Colour

### Features:

- High intensity
- Standard T-1 3/4 diameter package
- General purpose leads
- Reliable and rugged

### Package Dimensions:



### Specification Table

Chip Material	Lens Colour	Source Colour	Part Number
AlGaAs	Diffused	Red	MV5754A

### Notes:

1. Tolerance is  $\pm 0.25$  mm (0.01") unless otherwise noted
2. Protruded resin under flange is 1 mm (0.04") maximum
3. Lead spacing is measured where the leads emerge from the package

# Standard LED

## Red Emitting Colour



### Absolute Maximum Ratings at $T_a = 25^\circ\text{C}$

Parameter	Maximum	Unit
Power Dissipation	80	mW
Peak Forward Current (1/10 Duty Cycle, 0.1 ms Pulse Width)	100	mA
Continuous Forward Current	20	
Derating Linear From $50^\circ\text{C}$	0.4	mA / $^\circ\text{C}$
Reverse Voltage	5	V
Operating Temperature Range	$-25^\circ\text{C}$ to $+80^\circ\text{C}$	
Storage Temperature Range	$-40^\circ\text{C}$ to $+100^\circ\text{C}$	
Lead Soldering Temperature (4 mm (0.157) Inches from Body)	260 $^\circ\text{C}$ for 5 s	

### Electrical Optical Characteristics at $T_a = 25^\circ\text{C}$

Parameter	Symbol	Minimum	Typical	Maximum	Unit	Test Condition
Luminous Intensity	$I_v$		40		mcd	$I_f = 20\text{ mA}$ (Note 1)
Viewing Angle	$2\theta_{1/2}$		25		Deg	(Note 2)
Peak Emission Wavelength	$\lambda_p$		640		nm	$I_f = 20\text{ mA}$
Dominant Wavelength	$\lambda_d$		635		nm	$I_f = 20\text{ mA}$ (Note 3)
Spectral Line Half-Width	$\Delta\lambda$		25		nm	$I_f = 20\text{ mA}$
Forward Voltage	$V_f$		2	2.5	V	$I_f = 20\text{ mA}$
Reverse Current	$I_R$	-	-	100	$\mu\text{A}$	$V_R = 5\text{ V}$

#### Notes:

1. Luminous intensity is measured with a light sensor and filter combination that approximates the CIE eye-response curve
2.  $\theta_{1/2}$  is the off-axis angle at which the luminous intensity is half the axial luminous intensity
3. The dominant wavelength ( $\lambda_d$ ) is derived from the CIE chromaticity diagram and represents the single wavelength which defines the colour of the device



**ATTENTION**  
OBSERVE PRECAUTIONS  
FOR HANDLING  
ELECTROSTATIC  
DISCHARGE  
SENSITIVE  
DEVICES

Part Number: L-9294QBC-D

Blue

### Features

- High luminous emission.
- Low power consumption.
- General purpose leads.
- Reliable and rugged.
- Long life - solid state reliability.
- RoHS compliant.

### Description

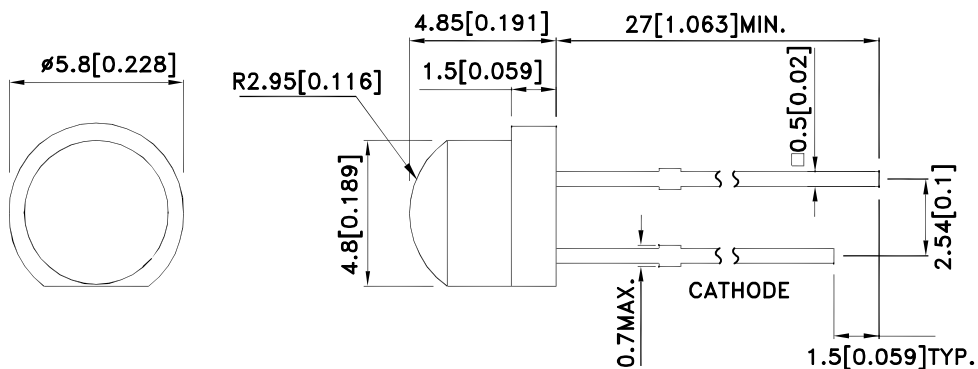
The Blue source color devices are made with InGaN Light Emitting Diode.

Static electricity and surge damage the LEDs.

It is recommended to use a wrist band or anti-electrostatic glove when handling the LEDs.

All devices, equipment and machinery must be electrically grounded.

### Package Dimensions



#### Notes:

1. All dimensions are in millimeters (inches).
2. Tolerance is  $\pm 0.25 (0.01")$  unless otherwise noted.
3. Lead spacing is measured where the leads emerge from the package.
4. The specifications, characteristics and technical data described in the datasheet are subject to change without prior notice.



## Selection Guide

Part No.	Dice	Lens Type	Iv (mcd) [2] @ 20mA		Viewing Angle [1]
			Min.	Typ.	2θ1/2
L-9294QBC-D	Blue (InGaN)	Water Clear	200	500	60°

### Notes:

1. θ1/2 is the angle from optical centerline where the luminous intensity is 1/2 of the optical peak value.
2. Luminous intensity/ luminous Flux: +/-15%.
3. Luminous intensity value is traceable to the CIE127-2007 compliant national standards.

## Electrical / Optical Characteristics at TA=25°C

Symbol	Parameter	Device	Typ.		Max.	Units	Test Conditions
λpeak	Peak Wavelength	Blue	468	*460		nm	IF=20mA
λD [1]	Dominant Wavelength	Blue	470	*465		nm	IF=20mA
Δλ1/2	Spectral Line Half-width	Blue	25			nm	IF=20mA
C	Capacitance	Blue	100			pF	VF=0V;f=1MHz
VF [2]	Forward Voltage	Blue	3.3		4	V	IF=20mA
IR	Reverse Current	Blue			50	uA	VR = 5V

### Notes:

- 1.Wavelength: +/-1nm.
  2. Forward Voltage: +/-0.1V.
- \*Wavelength value is traceable to the CIE127-2007 compliant national standards.

## Absolute Maximum Ratings at TA=25°C

Parameter	Blue	Units
Power dissipation	120	mW
DC Forward Current	30	mA
Peak Forward Current [1]	150	mA
Reverse Voltage	5	V
Operating/Storage Temperature	-40°C To +85°C	
Lead Solder Temperature [2]	260°C For 3 Seconds	
Lead Solder Temperature [3]	260°C For 5 Seconds	

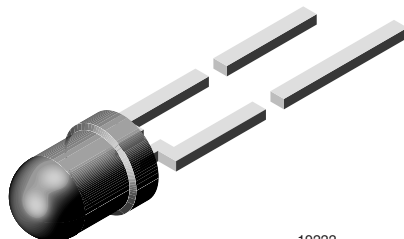
### Notes:

1. 1/10 Duty Cycle, 0.1ms Pulse Width.
2. 2mm below package base.
3. 5mm below package base.





## High Efficiency LED in Ø 3 mm Clear Package



### DESCRIPTION

The TLH.4900 series was developed for applications where high light output is required.

It is housed in a 3 mm clear plastic package. The small viewing angle of these devices provides a high brightness.

All LEDs are categorized in luminous intensity groups. The green and yellow LEDs are categorized additionally in wavelength groups.

That allows users to assemble LEDs with uniform appearance.

### PRODUCT GROUP AND PACKAGE DATA

- Product group: LED
- Package: 3 mm
- Product series: standard
- Angle of half intensity:  $\pm 16^\circ$

### FEATURES

- Choice of three bright colors
- Standard Ø 3 mm (T-1) package
- Small mechanical tolerances
- Suitable for DC and high peak current
- Very small viewing angle
- Luminous intensity categorized
- Yellow and green color categorized
- Material categorization: for definitions of compliance please see [www.vishay.com/doc?99912](http://www.vishay.com/doc?99912)



### APPLICATIONS

- Status lights
- Off / on indicator
- Background illumination
- Readout lights
- Maintenance lights
- Legend light

### PARTS TABLE

PART	COLOR	LUMINOUS INTENSITY (mcd)			at I <sub>F</sub> (mA)	WAVELENGTH (nm)			at I <sub>F</sub> (mA)	FORWARD VOLTAGE (V)			at I <sub>F</sub> (mA)	TECHNOLOGY
		MIN.	TYP.	MAX.		MIN.	TYP.	MAX.		MIN.	TYP.	MAX.		
TLHR4900	Red	6.3	25	-	10	612	-	625	10	-	2	3	20	GaAsP on GaP
TLHY4900 <sup>(1)</sup>	Yellow	10	26	-	10	581	-	594	10	-	2.4	3	20	GaAsP on GaP
TLHG4900	Green	16	37	-	10	562	-	575	10	-	2.4	3	20	GaP on GaP

#### Note

<sup>(1)</sup> Not for new designs

### ABSOLUTE MAXIMUM RATINGS (T<sub>amb</sub> = 25 °C, unless otherwise specified) TLHG4900, TLHR4900, TLHY4900

PARAMETER	TEST CONDITION	SYMBOL	VALUE	UNIT
Reverse voltage		V <sub>R</sub>	6	V
DC forward current	T <sub>amb</sub> ≤ 60 °C	I <sub>F</sub>	30	mA
Surge forward current	t <sub>p</sub> ≤ 10 μs	I <sub>FSM</sub>	1	A
Power dissipation	T <sub>amb</sub> ≤ 60 °C	P <sub>V</sub>	100	mW
Junction temperature		T <sub>j</sub>	100	°C
Operating temperature range		T <sub>amb</sub>	-40 to +100	°C
Storage temperature range		T <sub>stg</sub>	-55 to +100	°C
Soldering temperature	t ≤ 5 s, 2 mm from body	T <sub>sd</sub>	260	°C
Thermal resistance junction to ambient		R <sub>thJA</sub>	400	K/W

**OPTICAL AND ELECTRICAL CHARACTERISTICS** ( $T_{amb} = 25\text{ }^{\circ}\text{C}$ , unless otherwise specified)  
**TLHR4900, RED**

PARAMETER	TEST CONDITION	SYMBOL	MIN.	TYP.	MAX.	UNIT
Luminous intensity <sup>(1)</sup>	$I_F = 10\text{ mA}$	$I_V$	6.3	25	-	mcd
Dominant wavelength	$I_F = 10\text{ mA}$	$\lambda_d$	612	-	625	nm
Peak wavelength	$I_F = 10\text{ mA}$	$\lambda_p$	-	635	-	nm
Angle of half intensity	$I_F = 10\text{ mA}$	$\phi$	-	$\pm 16$	-	$^{\circ}$
Forward voltage	$I_F = 20\text{ mA}$	$V_F$	-	2	3	V
Reverse voltage	$I_R = 10\text{ }\mu\text{A}$	$V_R$	6	15	-	V
Junction capacitance	$V_R = 0\text{ V}$ , $f = 1\text{ MHz}$	$C_j$	-	50	-	pF

**Note**<sup>(1)</sup> In one packing unit  $I_{Vmin.}/I_{Vmax.} \leq 0.5$ **OPTICAL AND ELECTRICAL CHARACTERISTICS** ( $T_{amb} = 25\text{ }^{\circ}\text{C}$ , unless otherwise specified)  
**TLHY4900, YELLOW, NOT FOR NEW DESIGNS**

PARAMETER	TEST CONDITION	SYMBOL	MIN.	TYP.	MAX.	UNIT
Luminous intensity <sup>(1)</sup>	$I_F = 10\text{ mA}$	$I_V$	10	26	-	mcd
Dominant wavelength	$I_F = 10\text{ mA}$	$\lambda_d$	581	-	594	nm
Peak wavelength	$I_F = 10\text{ mA}$	$\lambda_p$	-	585	-	nm
Angle of half intensity	$I_F = 10\text{ mA}$	$\phi$	-	$\pm 16$	-	$^{\circ}$
Forward voltage	$I_F = 20\text{ mA}$	$V_F$	-	2.4	3	V
Reverse voltage	$I_R = 10\text{ }\mu\text{A}$	$V_R$	6	15	-	V
Junction capacitance	$V_R = 0\text{ V}$ , $f = 1\text{ MHz}$	$C_j$	-	50	-	pF

**Note**<sup>(1)</sup> In one packing unit  $I_{Vmin.}/I_{Vmax.} \leq 0.5$ **OPTICAL AND ELECTRICAL CHARACTERISTICS** ( $T_{amb} = 25\text{ }^{\circ}\text{C}$ , unless otherwise specified)  
**TLHG4900, GREEN**

PARAMETER	TEST CONDITION	SYMBOL	MIN.	TYP.	MAX.	UNIT
Luminous intensity <sup>(1)</sup>	$I_F = 10\text{ mA}$	$I_V$	16	37	-	mcd
Dominant wavelength	$I_F = 10\text{ mA}$	$\lambda_d$	562	-	575	nm
Peak wavelength	$I_F = 10\text{ mA}$	$\lambda_p$	-	565	-	nm
Angle of half intensity	$I_F = 10\text{ mA}$	$\phi$	-	$\pm 16$	-	$^{\circ}$
Forward voltage	$I_F = 20\text{ mA}$	$V_F$	-	2.4	3	V
Reverse voltage	$I_R = 10\text{ }\mu\text{A}$	$V_R$	6	15	-	V
Junction capacitance	$V_R = 0\text{ V}$ , $f = 1\text{ MHz}$	$C_j$	-	50	-	pF

**Note**<sup>(1)</sup> In one packing unit  $I_{Vmin.}/I_{Vmax.} \leq 0.5$ **LUMINOUS INTENSITY CLASSIFICATION**

GROUP	LUMINOUS INTENSITY (mcd)	
	MIN.	MAX.
Q	6.3	12.5
R	10	20
S	16	32
T	25	50
U	40	80
V	63	125

**Note**

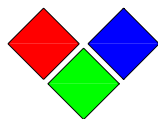
- The above type numbers represent the order groups which include only a few brightness groups. Only one group will be shipped on each reel or bulk (there will be no mixing of two groups on one reel/bulk). In order to ensure availability, single brightness groups will not be orderable. In a similar manner for colors where wavelength groups are measured and binned, single wavelength groups will be shipped on any one reel/bulk. In order to ensure availability, single wavelength groups will not be orderable

**COLOR CLASSIFICATION**

GROUP	DOM. WAVELENGTH (nm)			
	YELLOW		GREEN	
	MIN.	MAX.	MIN.	MAX.
0				
1	581	584		
2	583	586		
3	585	588	562	565
4	587	590	564	567
5	589	592	566	569
6	591	594	568	571
7			570	573
8			572	575

**Note**

- Wavelengths are tested at a current pulse duration of 25 ms



# 深圳市昱申科技有限公司

## CHINA YOUNG SUN LED TECHNOLOGY CO., LTD.

TEL: (86) 755-28079401 28079402 28079403 28079404 28079405  
FAX: (86) 755-28079407 E-mail: info@100LED.com Web: www.100LED.com

Model No.: YSL-R531Y3D-D2

### Applications:

- Decorations
- Bill Insperctor
- Inceticial Lights
- Medical Appliance

### Absolute Maximum Ratings: (Ta=25℃) .

ITEMS	Symbol	Absolute Maximum Rating	Unit
Forward Current	I <sub>F</sub>	20	mA
Peak Forward Current	I <sub>FP</sub>	30	mA
Suggestion Using Current	I <sub>su</sub>	16-18	mA
Reverse Voltage (V <sub>R</sub> =5V)	I <sub>R</sub>	10	uA
Power Dissipation	P <sub>D</sub>	105	mW
Operation Temperature	T <sub>OPR</sub>	-40 ~ 85	℃
Storage Temperature	T <sub>STG</sub>	-40 ~ 100	℃
Lead Soldering Temperature	T <sub>SOL</sub>	Max. 260℃ for 3 Sec. Max. (3mm from the base of the expoxy bulb)	

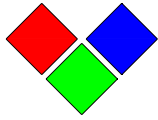
### Absolute Maximum Ratings: (Ta=25℃)

ITEMS	Symbol	Test condition	Min.	Typ.	Max.	Unit
Forward Voltage	V <sub>F</sub>	I <sub>F</sub> =20mA	1.8	---	2.2	V
Wavelenenth (nm) or TC(k)	Δ λ	I <sub>F</sub> =20mA	587	---	591	nm
*Luminous Intensity	I <sub>v</sub>	I <sub>F</sub> =20mA	150	---	200	mcd
50% Viewing Angle	2 θ 1/2	I <sub>F</sub> =20mA	40	---	60	deg

Address: 5/F, Building B, Anzhilong Indl., Qinghua East Road., Longhua Town, Shenzhen CHINA. 518109

www.100LED.com

ONE HUNDRED LED  
PERFECT LED



# 深圳市昱申科技有限公司

## CHINA YOUNG SUN LED TECHNOLOGY CO., LTD.

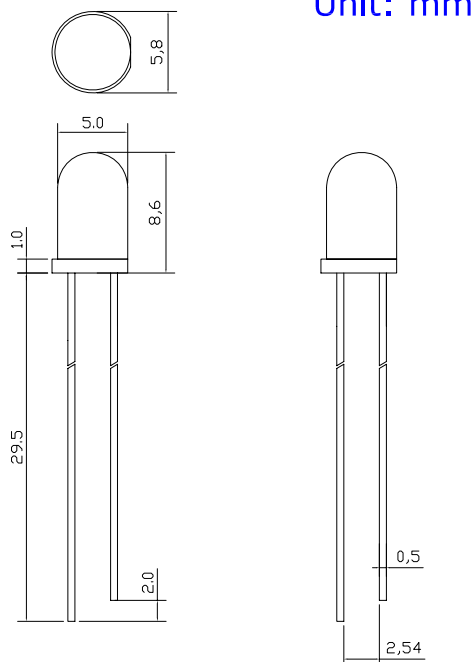
TEL: (86) 755-28079401 28079402 28079403 28079404 28079405  
FAX: (86) 755-28079407 E-mail: info@100LED.com Web: www.100LED.com

### Light Degradation in mcd: ( $I_F=20mA$ )

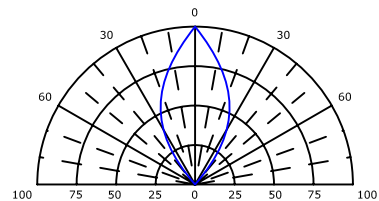
Colors	Light Degradation in mcd after Different Hours					
	216 Hrs	360 Hrs	792 Hrs	1104 Hrs	1992 Hrs	2328 Hrs
Red	1.52%	-1.22%	-3.10%	-4.68%	-5.72%	-8.27%
Yellow	-1.71%	-2.97%	-5.93%	-8.13%	-8.90%	-11.10%
Blue	3.13%	-0.33%	-3.84%	-8.23%	-21.32%	-24.92%
Green	-8.02%	-9.78%	-14.25%	-17.37%	-20.79%	-22.30%
Hours	48 Hrs	168 Hrs	336 Hrs	360Hrs	720 Hrs	1008 Hrs
Cool White	10.56%	6.72%	-2.29%	-7.68%	-17.32%	-22.48%
Pure White	13.66%	8.22%	-1.45%	-8.50%	-19.52%	-25.26%
Warm White	3.02%	-4.38%	-15.18%	-21.15%	-27.19%	-29.97%

### Mechanical Dimensions:

- All dimension are in mm, tolerance is  $\pm 0.2mm$  unless otherwise noted
- An epoxy meniscus may extend about 1.5mm down the leads.
- Burr around bottom of epoxy may be 0.5mm Maximum



Viewing Angle Drawing



Address: 5/F, Building B, Anzhilong Indl., Qinghua East Road., Longhua Town, Shenzhen CHINA. 518109

www.100LED.com

ONE HUNDRED LED  
PERFECT LED

## 1 Description

### 1.1 SMS/PMS Base module

Miniature push button switches with a low height of 4,55 - 4,95 mm for surface mounting (SMS) and PCB mounting (PMS).

The SMS has large flat surfaces on the top side as well as on the other sides, which are also parallel to each other. This makes the SMS a perfect switch for automatic mounting.

The SMS switch is suitable for the SMD soldering process "IR-Reflow".

The switch comes with the SMD-leads "Gullwing and J". With J-leads the switch can be lined up with a spacing of 1/2" in one coordinate direction, and with > 13,5 mm in the other coordinate direction. With Gullwing-leads, the switch can be arranged with a spacing of 1/2" in one coordinate direction, and in the other coordinate direction with > 17,5 mm.

A minimum spacing of 1/2" to 15 mm is necessary for the PCB version.

Basically, the SMS and PMS come in two basic versions concerning the degree of protection. Available are IP 40 and IP 67. According to the degree of protection the IP 40 version is not proof against fluxing and washing, whereas the IP 67 version is. Consequently, the IP 67 version can be exposed to the specified soldering and cleaning processes.

The miniature push button switches feature a very good tactile response with an actuation force of about 2N. SMS and PMS are also available with an elongated actuator. These variants serve as base modules for the SMS/PMS variable height version.



### 1.2 SMS/PMS Variable Height

The variable height SMS/PMS consists of the SMS/PMS base module with elongated actuator and a slip-on button with eight variable heights.

The PMS will be supplied with a mounted button. The button for the SMS has to be ordered separately. After soldering, the button must be put on the base module with elongated actuator.

Heights between 8,5 mm and 13,75 mm for the SMS and 8,35 mm and 13,60 mm for the PMS are available.

Depending on the base module being used, degree of protection for the variable height SMS/PMS is IP 40 or IP 67.



Changes that contribute to technical improvement are subject to alternations

Page	Production date:	Produced by:	Modification date:	Modified by:	Modification No.	Data sheet No.	Index
2 of 9	07.07.2005	Lickert	15.06.2006	M.Fischer	9235	105.9513	-

Print date: 6/15/2007 2:39:00 PM

## 2 Data and dimensional drawings

### 2.1 Technical Data SMS/PMS Base module/Variable Height

<b>Electrical data:</b>	<b>IP40</b>	<b>IP67</b>
Contact material	Gold ; Gold/Silver <sup>(1)</sup>	Gold
Switching voltage max.	30V AC/ 42V DC	30V AC/ 42V DC
Switching current max.	50 mA	50 mA
Rated breaking capacity	12 V/10 mA	12 V/10 mA
Lifetime (at 12V/10mA)	>1 x 10 <sup>6</sup> cycles	>1x10 <sup>6</sup> cycles
Lifetime (at 24V/80mA)	- ; >1x10 <sup>5</sup> <sup>(1)</sup>	-
Initial contact resistance new (IEC 512-2 mV-method)	<50 mOhm	<50 mOhm
Initial contact resistance after 1 x 10 <sup>6</sup> cycles	<150 mOhm	<150 mOhm
Insulation resistance (IEC 512-2)	> 1x 10 <sup>8</sup> Ohm	> 1x 10 <sup>8</sup> Ohm
Contact bounce time	typ. 0,15 ms	typ. 0,15 ms

<b>Mechanical data:</b>	<b>IP40</b>	<b>IP67</b>
Actuating force	1,8±0,4 N	2,2±0,4 N
Actuating travel	0,35±0,1 mm	0,35±0,1 mm
Mechanical strength (force axial, load 1 min.)	max. 100 N	max. 100 N
Lifetime (IEC 512-5. Test 9a. Actuating force 5N)	>1x 10 <sup>6</sup> cycles	>1x 10 <sup>6</sup>

<b>Soldering data:</b>	<b>SMS IP40/IP67</b>	<b>PMS IP40/IP67</b>
Soldering method	IR Reflow	Wave soldering
Soldering heat resistance	245 °C/5sec.	248,5 °C/1sec

<sup>(1)</sup> PMS Typ 1241.1652

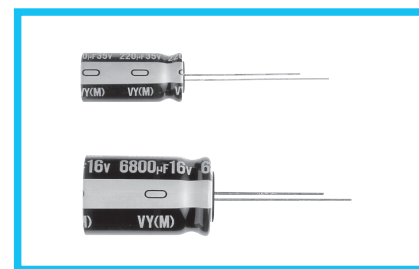
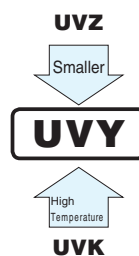
Changes that contribute to technical improvement are subject to alternations

**UVY** Wide Temperature Range



- One rank smaller case sizes than UVZ.
- Compliant to the RoHS directive (2011/65/EU).

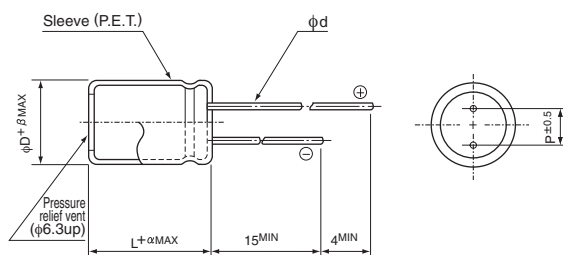
Values marked with an ※ in the dimension table are scheduled to be discontinued and are not recommended for new designs.



## Specifications

Item	Performance Characteristics											
Category Temperature Range	-55 to +105°C (6.3 to 100V), -40 to +105°C (160 to 400V), -25 to +105°C (450V)											
Rated Voltage Range	6.3 to 450V											
Rated Capacitance Range	0.47 to 68000μF											
Capacitance Tolerance	±20% at 120Hz, 20°C											
Leakage Current	Rated voltage (V)	6.3 to 100					160 to 450					
	_____	After 1 minute's application of rated voltage at 20°C, leakage current is not more than 0.03CV or 4 (μA), whichever is greater.  After 2 minutes' application of rated voltage at 20°C, leakage current is not more than 0.01CV or 3 (μA), whichever is greater.					After 1 minute's application of rated voltage at 20°C, CV ≤ 1000: I =0.1CV+40 (μA) or less  After 1 minute's application of rated voltage at 20°C, CV > 1000: I =0.04CV+100 (μA) or less					
Tangent of loss angle (tan δ)	For capacitance of more than 1000μF, add 0.02 for every increase of 1000μF. Measurement frequency : 120Hz at 20°C											
	Rated voltage (V)	6.3	10	16	25	35	50	63	100	160 to 250	350 to 450	
	tan δ (MAX.)	0.28	0.24	0.20	0.16	0.14	0.12	0.10	0.08	0.20	0.25	
Stability at Low Temperature	Measurement frequency : 120Hz											
	Rated voltage (V)		6.3	10	16	25	35 to 50	63 to 100	160 to 200	250 to 350	400	450
	Impedance ratio ZT / Z20 (MAX.)	Z-25°C / Z+20°C	5	4	3	2	2	2	3	4	6	15
		Z-40°C / Z+20°C	10	8	6	4	3	3	4	8	10	—
Endurance	The specifications listed at right shall be met when the capacitors are restored to 20°C after the rated voltage is applied for 1000 hours at 105°C.						Capacitance change		Within ±20% of the initial capacitance value			
							tan δ		200% or less than the initial specified value			
							Leakage current		Less than or equal to the initial specified value			
Shelf Life	After storing the capacitors under no load at 105°C for 1000 hours and then performing voltage treatment based on JIS C 5101-4 clause 4.1 at 20°C, they shall meet the specified values for the endurance characteristics listed above.											
Marking	Printed with white color letter on black sleeve.											

## Radial Lead Type

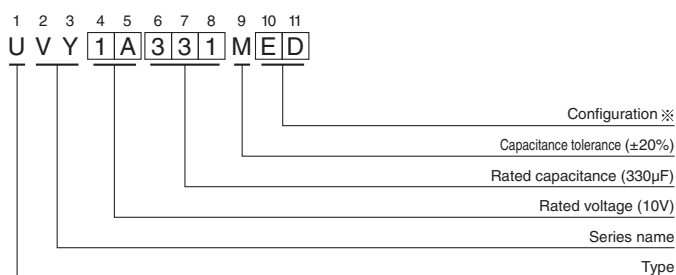


	φD	5	6.3	8	10	12.5	16	18	20	22	25
P	2.0	2.5	3.5	5.0	5.0	7.5	7.5	10.0	10.0	12.5	
φd	0.5	0.5	0.6	0.6	0.6	0.8	0.8	1.0	1.0	1.0	
β	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	1.0	1.0

α	(L < 20) 1.5
	(L ≥ 20) 2.0

- Please refer to page 20 about the end seal configuration.

## Type numbering system (Example : 10V 330µF)



### ※ Configuration

φ D	Pb-free leadwire Pb-free PET sleeve
5	DD
6.3	ED
8 · 10	PD
12.5 to 18	HD
20 to 25	RD

Please refer to page 20, 21, 22 about the formed or taped product spec.  
Please refer to page 4 for the minimum order quantity.

- Dimension table in next page.



UVY

## ■ Dimensions

V		6.3		10		16		25		35		50		63	
Cap.(μF)	Code	0J		1A		1C		1E		1V		1H		1J	
2.2	2R2											5 × 11	20		
3.3	3R3											5 × 11	25		
4.7	4R7											5 × 11	30		
10	100											5 × 11	46		
22	220											5 × 11	68	5 × 11	71
33	330											5 × 11	90	6.3 × 11	100
47	470									5 × 11	93	6.3 × 11	115	6.3 × 11	120
68	680									6.3 × 11	110	6.3 × 11	150	8 × 11.5	155
100	101							5 × 11	125	6.3 × 11	150	8 × 11.5	190	8 × 11.5	200
220	221			5 × 11	155	6.3 × 11	190	6.3 × 11	200	8 × 11.5	250	10 × 12.5	300	10 × 16	335
330	331			6.3 × 11	210	6.3 × 11	225	8 × 11.5	275	10 × 12.5	350	10 × 16	410	10 × 20	510
470	471			6.3 × 11	250	8 × 11.5	315	10 × 12.5	380	10 × 16	460	10 × 20	540	12.5 × 20	640
1000	102	8 × 11.5	390	10 × 12.5	460	10 × 12.5	500	10 × 16	610	12.5 × 20	810	12.5 × 25	950	16 × 25	930
2200	222	10 × 16	635	10 × 16	705	10 × 20	710	12.5 × 25	1090	16 × 25	1260	16 × 31.5	1410	18 × 35.5	1650
3300	332	10 × 20	840	12.5 × 20	1000	12.5 × 25	1170	16 × 25	1400	16 × 31.5	1500	18 × 35.5	1770	20 × 40	1950
4700	472	12.5 × 20	1090	12.5 × 25	1260	16 × 25	1500	16 × 25	1570	16 × 35.5	1780	20 × 40	2100	22 × 50	2450
6800	682	12.5 × 25	1350	16 × 25	1570	16 × 25	1600	16 × 35.5	1850	18 × 40	2000	22 × 50	2500	25 × 50	2800
10000	103	16 × 25	1650	16 × 31.5	1820	16 × 35.5	1930	18 × 40	2000	22 × 50	2650	25 × 50	2850		
15000	153	16 × 31.5	1820	16 × 35.5	2050	18 × 40	2210	22 × 50	2750	25 × 50	3100				
22000	223	18 × 35.5	2280	18 × 40	2420	22 × 40	2710	25 × 50	3250						
33000	333	20 × 40	2500	22 × 50	3210	25 × 50	3450								
47000	473	* 22 × 50	2780	* 25 × 50	3570										
68000	683	* 25 × 50	3070												
														Case size φ D × L (mm)	Rated ripple

V		100		160		200		250		350		400		450	
Cap.(μF)	Code	2A		2C		2D		2E		2V		2G		2W	
0.47	R47					6.3 × 11	11					6.3 × 11	8.5		
1	010					6.3 × 11	16					6.3 × 11	14		
2.2	2R2	5 × 11	21			6.3 × 11	25			6.3 × 11	21	8 × 11.5	27	8 × 11.5	20
3.3	3R3	5 × 11	29			6.3 × 11	30	6.3 × 11	28	8 × 11.5	30	8 × 11.5	34	10 × 12.5	28
4.7	4R7	5 × 11	32			6.3 × 11	35	6.3 × 11	35	8 × 11.5	39	10 × 12.5	42	10 × 12.5	32
10	100	5 × 11	50	8 × 11.5	41	8 × 11.5	57	10 × 12.5	71	10 × 12.5	64	10 × 16	64	10 × 20	56
22	220	6.3 × 11	93	10 × 12.5	92	10 × 16	105	10 × 20	105	12.5 × 20	105	12.5 × 25	140	12.5 × 25	100
33	330	8 × 11.5	130	10 × 16	125	10 × 20	140	10 × 20	140	12.5 × 25	170	16 × 25	170	16 × 25	125
47	470	8 × 11.5	140	10 × 20	150	12.5 × 20	195	12.5 × 20	190	16 × 25	210	16 × 25	200	16 × 31.5	155
68	680	10 × 12.5	190	12.5 × 20	250	12.5 × 25	250	16 × 25	270	16 × 25	285	16 × 31.5	240	18 × 35.5	185
100	101	10 × 16	240	12.5 × 25	310	16 × 25	320	16 × 25	310	18 × 35.5	370	18 × 35.5	310	18 × 40	200
220	221	12.5 × 20	390	16 × 31.5	410	16 × 35.5	500	18 × 35.5	485	22 × 50	540	22 × 50	460	25 × 50	250
330	331	12.5 × 25	540	18 × 35.5	570	18 × 40	675	20 × 40	710	25 × 50	710				
470	471	16 × 25	715	18 × 40	855	22 × 40	925	22 × 50	1000						
1000	102	18 × 35.5	960	25 × 50	1350										
2200	222	22 × 50	1750												
3300	332	25 × 50	2070												
														Case size φ D × L (mm)	Rated ripple

Rated ripple current (mA rms) at 105°C 120Hz

## ● Frequency coefficient of rated ripple current

V	Cap.(μF)	Frequency	50Hz	120Hz	300Hz	1 kHz	10 kHz or more
6.3 to 100	2.2 to 68		0.75	1.00	1.35	1.57	2.00
	100 to 470		0.80	1.00	1.23	1.34	1.50
	1000 to 68000		0.85	1.00	1.10	1.13	1.15
160 to 450	0.47 to 220		0.80	1.00	1.25	1.40	1.60
	330 to 1000		0.90	1.00	1.10	1.13	1.15



**Features:**

- General purpose resistor ideal for commercial/industrial applications
- Flame retardant coatings standard
- Flameproof version available as CFF and CFFM
- Panasert available on selected sizes - contact Stackpole
- Auto sequencing/insertion compatible
- CFM (mini) ideal choice when size constraints apply
- Cut and formed product is available on select sizes - contact Stackpole
- Standard lead wire for CF and CFM is copper plated steel, with 100% tin over plate
- 100% tin plate on copper wire is available as type CFQ and CFQM
- 100% RoHS compliant and lead free without exemption
- Halogen free
- REACH compliant



**Electrical Specifications - CF**

Type/Code	Size	Power Rating (W) @ 70°C	Maximum Working Voltage (V) <sup>(1)</sup>	Maximum Overload Voltage (V)	Dielectric Withstanding Voltage (V)	TCR (ppm/°C) per Ohmic Range	Ohmic Range (Ω) and Tolerance	
							2%	5%
CF, CFQ	18	0.125	250	500	350	$< 10 \Omega = \pm 400 \text{ ppm/}^\circ\text{C}$ $10 \Omega \text{ to } 9.99\text{K} \Omega = 0 \sim -400 \text{ ppm/}^\circ\text{C}$ $10 \text{K} \Omega \text{ to } 99\text{K} \Omega = 0 \sim -500 \text{ ppm/}^\circ\text{C}$ $100 \text{K} \Omega \text{ to } 999\text{K} \Omega = 0 \sim -850 \text{ ppm/}^\circ\text{C}$ $1\text{M} \Omega \text{ and above} = 0 \sim -1500 \text{ ppm/}^\circ\text{C}$	10 - 1M	1 - 22M
CF, CFQ, PCF	14	0.25	350	600	350		1 - 1M	1 - 22M
CF, CFQ	12	0.5	350	700	600		10 - 1M	1 - 22M
CF, CFQ	1	1	500	1000	600		1 - 1M	1 - 10M
CF, CFQ	2	2	500	1000	600		1 - 1M	1 - 10M

(1) Lesser of  $\sqrt{P \cdot R}$  or maximum working voltage.

**Electrical Specifications - CFM**

Type/Code	Size	Power Rating (W) @ 70°C	Maximum Working Voltage (V) <sup>(1)</sup>	Maximum Overload Voltage (V)	Dielectric Withstanding Voltage (V)	TCR (ppm/°C) per Ohmic Range	Ohmic Range (Ω) and Tolerance	
							2%	5%
CFM, CFQM	14	0.25	250	500	350	< 10 Ω = ±400 ppm/°C 10 Ω to 9.99K Ω = 0 ~ -400 ppm/°C 10 K Ω to 99K Ω = 0 ~ -500 ppm/°C 100 K Ω to 999K Ω = 0 ~ -850 ppm/°C 1M Ω and above = 0 ~ -1500 ppm/°C	1 - 1M	1 - 10M
CFM, CFQM, PCFM	12	0.5	350	600	350		1 - 1M	1 - 10M
CFM, CFQM	1	1	600	1000	600		1 - 1M	1 - 10M

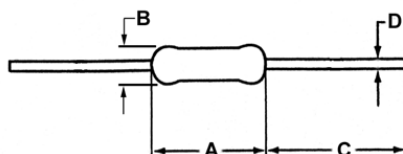
(1) Lesser of  $\sqrt{P \cdot R}$  or maximum working voltage.

**Electrical Specifications – CFF/CFFM**

Type/Code	Size	Power Rating (W) @ 70°C	Maximum Working Voltage (V) <sup>(1)</sup>	Maximum Overload Voltage (V)	Dielectric Withstanding Voltage (V)	TCR (ppm/°C) per Ohmic Range	Ohmic Range (Ω) and Tolerance	
							2%, 5%	
CFF	18	0.166	200	400	300	$< 10 \Omega = \pm 400 \text{ ppm/}^\circ\text{C}$ $10 \Omega \text{ to } 9.99\text{K} \Omega = 0 \sim -400 \text{ ppm/}^\circ\text{C}$ $10 \text{K} \Omega \text{ to } 99\text{K} \Omega = 0 \sim -500 \text{ ppm/}^\circ\text{C}$ $100 \text{K} \Omega \text{ to } 999\text{K} \Omega = 0 \sim -850 \text{ ppm/}^\circ\text{C}$ $1\text{M} \Omega \text{ and above} = 0 \sim -1500 \text{ ppm/}^\circ\text{C}$	1 - 2.2M	
	14	0.25	300	600	500		1 - 5.1M	
	12	0.5	350	700	500			
CFFM	14	0.25	250	500	300		1 - 2.2M	
	12	0.5	300	600	500			

(1) Lesser of  $\sqrt{P \cdot R}$  or maximum working voltage.

### Mechanical Specifications



Type/Code	Size	A Body Length	B Body Diameter	C Lead Length (Bulk)	D - Lead Diameter	Unit
CF	18	0.130 ± 0.012	0.067 ± 0.012	1.102 ± 0.118 28.00 ± 3.00	0.016 ± 0.003	inches
CFQ		3.30 ± 0.30	1.70 ± 0.30		0.40 ± 0.08	mm
CFF	18	0.126 ± 0.008	0.073 ± 0.008		0.018 ± 0.003	inches
CF, CFF, CFQ, PCF		3.20 ± 0.20	1.85 ± 0.20		0.45 ± 0.08	mm
CFFM	14	0.236 ± 0.012	0.091 ± 0.012		0.018 ± 0.002	inches
CFM		6.00 ± 0.30	2.30 ± 0.30		0.45 ± 0.05	mm
CFQM		0.126 ± 0.008	0.073 ± 0.008		0.022 ± 0.003	inches
		3.20 ± 0.20	1.85 ± 0.20		0.55 ± 0.08	mm
CF	12	0.335 ± 0.039	0.106 ± 0.020		0.018 ± 0.002	inches
CFF, CFQ		8.50 ± 1.00	2.70 ± 0.50		0.45 ± 0.05	mm
CFM, CFQM, CFFM		0.236 ± 0.012	0.091 ± 0.012		0.016 ± 0.003	inches
	1	6.00 ± 0.30	2.30 ± 0.30		0.40 ± 0.08	mm
CF, CFQ		0.433 ± 0.039	0.177 ± 0.020	1.181 ± 0.118	0.018 ± 0.003	inches
CFM, CFQM		11.00 ± 1.00	4.50 ± 0.50	30.00 ± 3.00	0.45 ± 0.08	mm
	2	0.354 ± 0.020	0.138 ± 0.020	1.102 ± 0.118	0.028 ± 0.004	inches
		9.00 ± 0.50	3.50 ± 0.50	28.00 ± 3.00	0.70 ± 0.10	mm
		0.591 ± 0.039	0.197 ± 0.020	1.339 ± 0.157	0.022 ± 0.003	inches
		15.00 ± 1.00	5.00 ± 0.50	34.00 ± 4.00	0.55 ± 0.08	mm
					0.031 ± 0.004	inches
					0.80 ± 0.10	mm

### Performance Characteristics

Test	Test Method	Typical Result			Test Limit		
Current Noise	MIL-STD 202, Method 308	1Ω ~ 91KΩ	100KΩ ~ 910KΩ	1MΩ ~ 22MΩ	1Ω ~ 91KΩ	100KΩ ~ 910KΩ	1MΩ ~ 22MΩ
		0.15μ V/V	0.32μ V/V	0.54μ V/V	0.2μ V/V	0.4μ V/V	0.6μ V/V
Short Time Overload	JIS C5201-1, IEC60115-1, 4.13	< ± 0.25%			≤ ± (0.75% + 0.05Ω)		
Resistance to Soldering Heat	JIS C5201-1, IEC60115-1, 4.18	< ± 0.3%			≤ ± (0.5% + 0.05Ω)		
Rapid Change of Temperature	JIS C5201-1, IEC60115-1, 4.19	< ± 0.3%			≤ ± (1% + 0.05Ω)		
Endurance at 70°C	JIS C5201-1, IEC60115-1, 4.25.1	< ± 1%			R < 100KΩ: ≤ ± (2% + 0.05Ω) R ≥ 100KΩ: ≤ ± (3% + 0.05Ω)		
Terminal Strength	MIL-STD 202, Method 211	< ± 0.2%			≤ ± (0.5% + 0.05Ω)		
Damp Heat (Steady state)	JIS C5201-1, IEC60115-1, 4.24	< ± 1.5%			R < 100KΩ: ≤ ± (3% + 0.05Ω) R ≥ 100KΩ: ≤ ± (5% + 0.05Ω)		

Operating temperature range is -55°C to +155°C