




Gowin SPI Master and Slave IP User Guide

IPUG510-1.5E,08/11/2021

Copyright © 2021 Guangdong Gowin Semiconductor Corporation. All Rights Reserved.

GOWIN, , Gowin, и GOWINSEMI являются торговыми марками Guangdong Gowin Semiconductor Corporation, зарегистрированными в Китае, Патентном и товарном знаке США, а также в других странах. Все остальные слова и логотипы, идентифицированные как товарные знаки или знаки обслуживания, являются собственностью их владельцев. Никакая часть данного документа не может быть воспроизведена или передана в какой-либо форме или любыми средствами — электронными, механическими, фотокопированием, записью или иным способом — без предварительного письменного согласия GOWINSEMI.

Отказ от ответственности

GOWINSEMI не несет ответственности и не предоставляет никаких гарантий (явных или подразумеваемых) и не отвечает за любой ущерб, нанесенный вашему оборудованию, программному обеспечению, данным или имуществу, в результате использования материалов или интеллектуальной собственности, кроме как в рамках, указанных в Условиях продажи GOWINSEMI. Вся информация, содержащаяся в этом документе, должна рассматриваться как предварительная. GOWINSEMI может вносить изменения в этот документ в любое время без предварительного уведомления. Любое лицо, использующее данную документацию, должно обращаться в GOWINSEMI за актуальной версией документации и исправлениями ошибок.

Revision

Дата	Редакция	Описание
24.12.2018	1.0E	Опубликована начальная версия.
28.03.2019	1.1E	Обновлен список поддерживаемых устройств.
08.05.2019	1.2E	Интерфейс AXI заменен на интерфейс SRAM.
17.07.2019	1.3E	Добавлена конфигурация интерфейса.
29.09.2019	1.4E	SPI Master выпущен в виде IP; SPI Slave выпущен как эталонный проект с открытым исходным кодом.
08/11/2021	1.5E	<ul style="list-style-type: none">● Обновлено описание регистров IP.● Добавлено время взаимодействия интерфейса SRAM.

Содержание

Содержание	i
Список рисунков	iii
Список таблиц	iv
1 Об этом руководстве	1
1.1. Цель	1
1.2. Связанные документы	1
1.3. Терминология и аббревиатуры	1
1.4. Техническая поддержка и обратная связь	2
2 Введение в функциональность	3
2.1. Обзор	3
2.2. Особенности	3
2.2.1. Gowin SPI Master IP	3
2.2.2. Gowin SPI Slave	3
3 Принцип работы	4
3.1. Схема системы 	4
3.2. Регистры Gowin SPI Master IP	4
3.2.1. Регистр RX	5
3.2.2. Регистр TX	5
3.2.3. Статусный регистр	6
3.2.4. Регистры управления	6
3.2.5. Регистры флага выбора slave	7
3.2.6. Время взаимодействия интерфейса SRAM	8
3.3. Реализация Gowin SPI Slave	9
4 Определение сигналов	10
4.1. Gowin SPI Master IP	10
4.1.1. Сигналы интерфейса SRAM	10
4.1.2. Сигналы SPI	10
4.2. Gowin SPI Slave	11
5. Определение параметров	12
5.1. Определение параметров SPI Master	12
5.2. Определение параметров SPI Slave	13

6 Конфигурация интерфейса.....	13
6.1. Интерфейс ядра SPI MASTER IP.....	14
6.2. Проект эталонного дизайна SPI Slave.....	15
6.3. Генерация файла битстрима.....	15
7 Эталонный дизайн.....	16

Список рисунков

Рисунок 3-1. Схема системы	4
Рисунок 3-2. Время взаимодействия интерфейса SRAM	8
Рисунок 3-3. Блок-схема реализации SPI Slave	9
Рисунок 6-1. Интерфейс конфигурации SPI Master	14
Рисунок 6-2. Интерфейс конфигурации SPI Slave	15

Список таблиц

Таблица 1-1. Термины и аббревиатуры	1
Таблица 3-1. Регистры Gowin SPI Master IP	4
Таблица 3-2. Регистр RX	5
Таблица 3-3. Регистр RX	5
Таблица 3-4. Регистр TX	5
Таблица 3-5. Регистр TX	5
Таблица 3-6. Статусный регистр	6
Таблица 3-7. Статусный регистр	6
Таблица 3-8. Регистр управления	6
Таблица 3-9. Регистр управления	7
Таблица 3-10. Регистр флага выбора slave	7
Таблица 3-11. Регистр флага выбора slave	8
Таблица 4-1. Определение сигналов интерфейса SRAM	10
Таблица 4-2. Определение сигналов SPI	10
Таблица 4-3. Определение сигналов SPI Slave	11
Таблица 5-1. Параметры SPI Master	12
Таблица 5-2. Параметры SPI Slave	1

1 О данном руководстве

1.1 Цель

Руководство пользователя Gowin SPI Master и Slave IP включает введение в функциональность, принцип работы, определение сигналов, конфигурацию интерфейсов и другие аспекты, которые помогут вам быстро понять возможности и использование Gowin SPI Master IP и эталонного дизайна Slave.

1.2 Связанные документы

Актуальные руководства доступны на веб-сайте Gowin. Ознакомьтесь со следующими документами на www.gowinsemi.com:

- [DS100: Техническая спецификация продуктов серии GW1N FPGA](#)
- [DS821: Техническая спецификация продуктов серии GW1NS FPGA](#)
- [DS117: Техническая спецификация продуктов серии GW1NR FPGA](#)
- [DS861: Техническая спецификация продуктов серии GW1NSR FPGA](#)
- [DS102: Техническая спецификация продуктов серии GW2A FPGA](#)
- [DS226: Техническая спецификация продуктов серии GW2AR FPGA](#)
- [SUG100: Руководство пользователя программного обеспечения Gowin](#)

1.3 Терминология и аббревиатуры

Терминология и аббревиатуры, используемые в этом руководстве, приведены в таблице 1-1 ниже.

Таблица 1-1. Терминология и аббревиатуры

Термин и аббревиатура	Термин и аббревиатура
FPGA	Полевая программируемая вентильная матрица
SRAM	Статическая память с произвольным доступом
SPI	Последовательный периферийный интерфейс

1.1 Техническая поддержка и обратная связь

Gowin Semiconductor предоставляет своим клиентам всестороннюю техническую поддержку. Если у вас есть вопросы, комментарии или предложения, пожалуйста, не стесняйтесь обращаться к нам напрямую, используя приведённую ниже контактную информацию.

URL: www.gowinsemi.com

E-mail: support@gowinsemi.com

2

Введение в функциональность

2.1 Обзор

Шина SPI (Serial Peripheral Interface) — это синхронная высокоскоростная двусторонняя шина передачи данных. Она обеспечивает последовательную связь и обмен данными между микроконтроллером (MCU) и различными периферийными устройствами. Шина использует всего четыре сигнальных линии, что экономит контакты микросхемы и место на плате. Благодаря простоте использования шины SPI, этот протокол связи интегрирован во всё большее количество микросхем. Gowin SPI Master IP представляет собой контроллер SPI Master с синхронным интерфейсом SRAM. Эталонный проект Gowin SPI Slave следует протоколу шины SPI и выполняет функцию приёма и передачи данных, в основном используемую для связи с SPI Master.

2.2 Особенности

2.2.1 Gowin SPI Master IP

- Полудуплексная синхронная передача данных по последовательному каналу.
- Поддержка работы как в режиме мастера, так и в режиме slave.
- Генерация соответствующих сигналов прерывания в зависимости от состояния работы SPI.
- Конфигурируемая частота серийного тактового сигнала, генерируемого SPI.
- Поддержка конфигурируемой полярности и фазы тактового сигнала.
- Регистр данных для приёма и передачи данных (RX и TX) можно настроить на ширину 8-32 бита.
- Возможность выбирать, передавать ли младшие или старшие биты данных.

2.2.2 Gowin SPI Slave

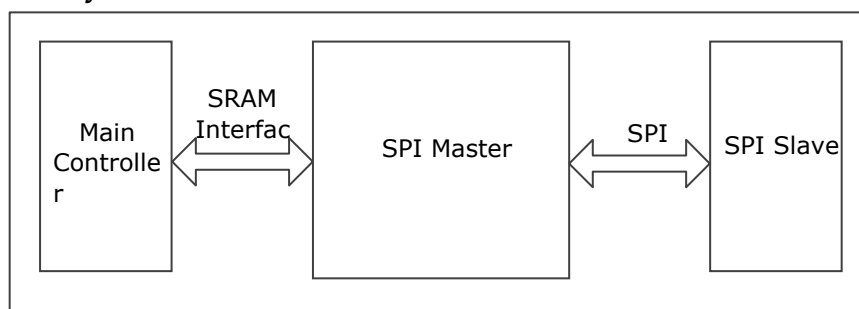
- Полудуплексная синхронная передача данных по последовательному каналу.
- Поддержка конфигурируемой полярности и фазы тактового сигнала.
- Возможность выбирать, передавать ли младшие или старшие биты данных.
- Регистр данных для приёма и передачи данных (RX и TX) можно настроить на ширину 8-32 бита.

3 Принцип работы

3.1 Схема системы

Главный контроллер передает команду или данные в SPI Master IP через синхронный интерфейс SRAM, затем SPI Master IP передает данные в SPI Slave через SPI; или передает данные от SPI Slave в главный контроллер через синхронный интерфейс SRAM, как показано на рисунке 3-1.

Рисунок 3-1. Схема системы



3.2 Регистры Gowin SPI Master IP

Gowin SPI Master IP имеет 5 регистров:

- Регистр RX
- Регистр TX
- Статусный регистр
- Регистр управления
- Регистр флага выбора slave

Таблица 3-1. Регистры Gowin SPI Master IP

Регистр	Адрес	Ширина бит	Тип	Описание
Регистр RX	0x00	8	Только чтение	Регистр RX
Регистр TX	0x01	8	Чтение/Запись	Регистр TX
Статусный регистр	0x02	8	Только чтение	Статусный регистр
Регистр управления	0x04	8	Чтение/Запись	Регистр управления
Регистр	Адрес	Ширина бит	Тип	Описание

Регистр флага выбора slave	Регистр флага выбора slave	Регистр флага выбора slave	Регистр флага выбора slave	Регистр флага выбора slave
----------------------------	----------------------------	----------------------------	----------------------------	----------------------------

3.2.1 Регистр RX

В пути получения данных данные MISO из SPI-шины отправляются в сдвиговый регистр RX. Когда сдвиговый регистр RX заполняется, данные передаются в регистр RX, и сигнал RRDY (готовность приёма) устанавливается в 1. Данные в регистре RX могут быть считаны через синхронный интерфейс SRAM. Когда регистр RX читается, сигнал RRDY сбрасывается в 0. Если сигнал RRDY равен 1, это означает, что новые данные поступили в регистр RX, и данные в регистре перезаписываются новыми, при этом сигнал ROE (ошибка переполнения приёма) устанавливается в 1.

Таблица 3-2. Регистр RX

N-1	reg_rxddata (DN-1 - D0)	0
-----	-------------------------	---

Таблица 3-3. Регистр RX

Бит	Имя	Тип	Описание	Примечания
(N-1) - 0	reg_rxddata (DN-1 - D0)	Только чтение	N может быть 8, 16 или 32.	-

3.2.2 Регистр TX

В пути передачи данных данные из синхронного интерфейса SRAM передаются в регистр TX. При записи данных в регистр TX бит TRDY (готовность передачи) в статусном регистре устанавливается в 0. Если в этот момент нет передачи данных по шине, данные из регистра TX передаются в сдвиговый регистр TX, и TRDY устанавливается в 1. Если TRDY равен 0, это означает, что новые данные передаются в регистр TX, и сигнал TOE (ошибка переполнения передачи) устанавливается в 1.

Таблица 3-4. Регистр TX

N-1	Reg_txddata (DN-1 - D0)	0
-----	-------------------------	---

Таблица 3-5. Регистр TX

Бит	Имя	Тип	Описание	Примечания
(N-1) - 0	Reg_txddata (DN-1 - D0)	Чтение/ Запись	N может быть 8, 16 или 32.	-

3.2.3 Статусный регистр

SPI с синхронным интерфейсом SRAM включает статусные и управляющие регистры, которые используются для запуска и сброса прерываний. Статусный регистр используется для проверки состояния работы SPI с синхронным интерфейсом SRAM. Он отображает, были ли ошибки переполнения приёма или передачи данных, пуст ли сдвиговый регистр и готовы ли передача и приём данных.

Таблица 3-6. Статусный регистр

31	8	7	6	5	4	3	2	1:0
		E	RRDY	TRDY	TMT	TOE	ROE	Reserved

Таблица 3-7. Статусный регистр

Бит	Имя	Номер бита	Описание
Reserved	1:0	Резерв	-
ROE	2	Ошибка переполнения приёма 1: Ошибка, переполнение приёма, т.е. данные записываются во время чтения регистра RX. Если возникает ROE, при записи '1' в этот бит можно выполнить очистку ROE и прерывания IROE.	-
TOE	3	Ошибка переполнения передачи 1: Ошибка, переполнение передачи данных, т.е. когда данные из регистра TX передаются в сдвиговый регистр TX, новые данные поступают в регистр TX. При возникновении TOE, при записи '1' в этот бит выполняется очистка TOE и прерывания ITOE.	-
TMT	4	Пусто, т.е. сдвиговый регистр TX пуст.	-
TRDY	5	Регистр TX готов к передаче данных.	-
RRDY	6	Регистр RX готов к приему данных.	-
E	7	Ошибка, логика или операция ROE и TOE.	-

3.2.4 Регистр управления

Регистр управления SPI с синхронным интерфейсом SRAM используется для установки сигнала разрешения прерываний, при этом выходной сигнал

прерывания O_SPI_INT в интерфейсе Gowin SPI Master IP генерируется после обработки сигналов IROE, ITOE, ITRDY, IRRDY.

Таблица 3-8 Регистр Управления

31	8	7	6	5	4	3	2	1	0
		SSO	Reserved	IE	IRRDY	ITRDY	Reserved	ITOE	IROE

Таблица 3-9 Регистр Управления

Бит	Имя	Номер бита	Описание
IROE	0	Разрешить запрос прерывания ROE <ul style="list-style-type: none"> 1: Разрешить; 0: Не разрешать 	-
ITOE	1	Разрешить запрос прерывания TOE <ul style="list-style-type: none"> 1: Разрешить; 0: Не разрешать 	-
Reserved	2	Резерв	-
ITRDY	3	Разрешить запрос прерывания TRDY <ul style="list-style-type: none"> 1: Разрешить; 0: Не разрешать. Прерывание ITRDY автоматически сбрасывается, когда пользователь записывает данные в регистр TX. 	-
IRRDY	4	Разрешить запрос прерывания RRDY <ul style="list-style-type: none"> 1: Разрешить; 0: Не разрешать. Прерывание IRRDY автоматически сбрасывается, когда пользователь читает данные из регистра RX. 	-
IE	5	Разрешить запрос прерывания (только TOE или ROE)	-
Reserved	6	Резерв	-
SSO	7	В режиме мастера используется для выбора slave. Если установлено в 1, данные после инвертирования регистров reg_ssmask назначаются на SS_N_MASTER для определения выбранного slave.	-

3.2.5 Регистр флага выбора slave

В режиме мастера этот регистр используется для выбора slave и выполнения передачи данных. Регистр флага выбора slave имеет бит

данных для каждого выхода SS_N, и определённый бит в этом регистре устанавливается в 1 для активации соответствующего SS_N (низкий уровень). Например, если двоичные данные в регистре флага выбора slave равны 00000001, это означает, что SS_1 активен, и master выбирает соответствующее slave SS_1 для связи. Кроме того, SPI с синхронным интерфейсом SRAM позволяет одновременно активировать несколько сигналов выбора slave, но необходимо соблюдать осторожность, чтобы избежать конфликтов на шине MISO.

В режиме slave SPI с синхронным интерфейсом SRAM не может инициировать передачу данных самостоятельно, и передача данных возможна только тогда, когда вход SS_N находится в низком уровне.

Таблица 3-10. Регистр флага выбора Slave

31	N
Резерв	Выбор slave

Таблица 3-11. Регистр флага выбора Slave

Бит	Имя	Номер бита	Описание
Выбор slave	[N-1] - 0	-	Активный низкий уровень, N по умолчанию ≤ 8
Резерв	31 - N	-	Резерв

3.2.6 Время взаимодействия интерфейса SRAM

SPI Master IP может получать команды или данные от главного контроллера через синхронный интерфейс SRAM и также может передавать данные обратно главному контроллеру.

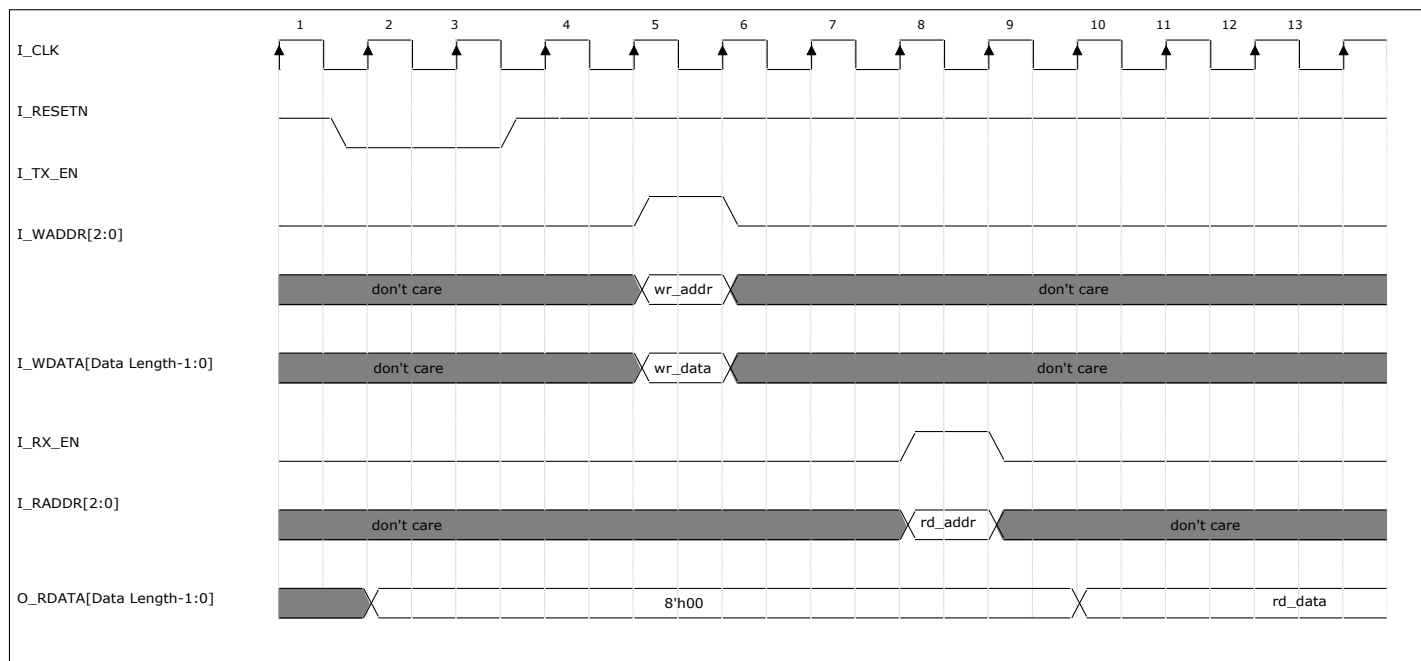
Если главный контроллер выполняет операцию записи через синхронный интерфейс SRAM, он должен поднять сигнал I_TX_EN как минимум на один тактовый цикл I_CLK и одновременно ввести сигналы I_WADDR и I_WDATA.

Если главный контроллер выполняет операцию чтения через синхронный интерфейс SRAM, он должен поднять сигнал I_RX_EN как минимум на один тактовый цикл I_CLK и одновременно ввести сигнал I_RADDR. Когда интерфейс обнаружит запрос на чтение на восходящем фронте одного тактового цикла

I_CLK, он подождет хотя бы один цикл, прежде чем вернуть соответствующие данные, и затем прочитает данные с действительного адреса за один тактовый цикл I_CLK.

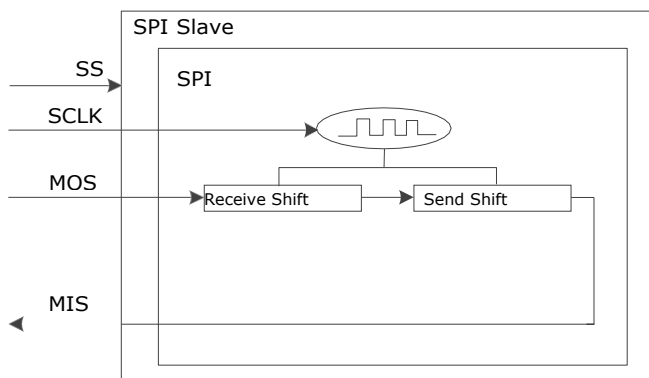
Время операции записи/чтения через синхронный интерфейс SRAM для SPI Master IP показано на рисунке 3-2.

Рисунок 3-2. Время взаимодействия интерфейса SRAM



3.3 Реализация Gowin SPI Slave

Figure 3-3 SPI Slave Implementation Block Diagram



Эталонный проект SPI Slave включает в себя модуль приёма (rx) и модуль передачи (tx).

1. Приём данных

Данные MOSI передаются в сдвиговый регистр приёма побитно с помощью сигнала тактового импульса SCLK. В зависимости от конфигурируемого параметра **SHIFT_DIRECTION** определяется, будут ли данные в сдвиговом регистре передаваться от старшего бита к младшему (MSB → LSB) или от младшего к старшему (LSB → MSB). Ширина сдвигового регистра приёма определяется конфигурируемым параметром **DATA_LENGTH**.

2. Передача данных

Данные в сдвиговом регистре передачи передаются в MISO побитно с помощью сигнала тактового импульса SCLK. В зависимости от конфигурируемого параметра **SHIFT_DIRECTION** порядок передачи данных определяется как MSB → LSB или LSB → MSB. Ширина сдвигового регистра передачи определяется параметром **DATA_LENGTH**. Когда количество битов передачи (tx) или приёма (rx) достигает значения, заданного параметром **DATA_LENGTH**, данные из сдвигового регистра приёма передаются в сдвиговый регистр передачи, что позволяет осуществить обмен данными между Master и Slave.

4 Определение сигналов

4.1 Gowin SPI Master IP

4.1.1 Сигналы интерфейса SRAM

Таблица 4-1 Определение сигналов интерфейса SRAM

No.	Название	Описание	Значение	Описание
1	I_CLK	I	Рабочий тактовый сигнал, сэмплирование на восходящем фронте	-
2	RESETN	I	Сигнал сброса	-
3	I_TX_EN	I	Сигнал разрешения записи	Сигнал канала записи в SRAM
4	I_WADDR[2:0]	I	Сигнал адреса записи	
5	I_WDATA[Data Length -1:0]	I	Сигнал данных для записи	
6	I_RX_EN	I	Сигнал разрешения чтения	Сигнал канала чтения из SRAM
7	I_RADDR[2:0]	I	Сигнал адреса чтения	
8	O_RDATA[Data Length -1:0]	O	Сигнал данных для чтения	

4.1.2 Сигнал SPI

Таблица 4-2 Определение сигналов SPI

No.	Название	Описание	Значение	Описание
1	SCLK_MASTER	выход	Последовательный тактовый сигнал	Master режим
2	SS_N_MASTER	выход	Сигнал выбора slave, активен при низком уровне	

3	MOSI_MASTER	выход	Master выход, slave вход.	
4	MISO_MASTER	вход	Master вход, slave выход.	
5	SCLK_SLAVE	вход	Последовательный тактовый сигнал	Slave режим
6	SS_N_SLAVE	вход	Сигнал выбора slave, активен при низком уровне	
7	MOSI_SLAVE	вход	Master выход, slave вход.	
8	MISO_SLAVE	выход	Master вход, slave выход.	
9	O_SPI_INT	выход	Сигнал прерывания	

4.2 Gowin SPI Slave

Таблица 4-3 Определение сигналов SPI Slave

No.	Название	Описание	Значение	Описание
1	SCLK	Вход	Сигнал тактового импульса	-
2	SS	Вход	Сигнал выбора slave	-
3	MOSI	Вход	Master выход, slave вход	-
4	MISO	Выход	Master вход, slave выход.	-

5

Определение параметров

5.1 Определение параметров SPI Master

Таблица 5-1 Параметры SPI Master

No.	Название	Описание	Значение
1	Master	Определяет, работает ли SPI в режиме master mode or slave mode <ul style="list-style-type: none"> 0: Slave mode 1: Master mode 	0/1
2	Slave Number	Определяет количество поддерживаемых slaves	1-32
3	Data Length	Определяет битовую ширину серийных данных	8-32
4	Shift Direction	Specifies the most significant bit (MSB) or least significant bit (LSB) of the priority transmission data <ul style="list-style-type: none"> 0: Priority to transfer MSB 1: Priority to transfer LSB 	0/1
5	Clock Phase	Определяет фазу тактового сигнала SPI <ul style="list-style-type: none"> 0: Данные действительны на первом фронте SCLK 1: Данные действительны на втором фронте SCLK 	0/1
6	Clock Polarity	Определяет полярность тактового сигнала SPI <ul style="list-style-type: none"> 0: SCLK активен при высоком уровне 1: SCLK активен при низком уровне 	0/1
7	Clkcnt Width	Определяет диапазон счётчика тактов, ширина бита должна быть достаточной для работы с SCLK	1-32
8	Clock Sel	Определяет множитель для генерации SCLK из I_CLK. Формула: $I_CLK/(2*(CLOCK_SEL+1))$	0- 2clkcnt _width-1

9	Delay Time	Определяет время задержки до передачи первого бита данных после активации сигнала SS_N. Формула: $\text{Delay} = \text{DELAY_TIME} * (\text{SCLK})$	0-63
10	Interval Length	Указывает количество циклов SCLK, которые сигнал SS_N ожидает после запроса на передачу SPI.	0-63

5.2 Определение параметров SPI Slave

Table 5-2 Параметры SPI Slave

No.	Название	Описание	Значение	Описание
1	Shift Direction	Указывает, какой бит данных передавать в приоритетном порядке: старший бит (MSB) или младший бит (LSB). <ul style="list-style-type: none"> 0: Приоритет передачи старшего бита (MSB). 1: Приоритет передачи младшего бита (LSB). 	0/1	-
2	Clock Phase	Указывает фазу тактового сигнала SPI: <ul style="list-style-type: none"> 0: Данные действительны на первом фронте SCLK. 1: Данные действительны на втором фронте SCLK. 	0/1	-
3	Clock Polarity	Указывает полярность тактового сигнала SPI: <ul style="list-style-type: none"> 0: SCLK активен на высоком уровне. 1: SCLK активен на низком уровне. 	0/1	-
4	Data Length	Указывает битовую ширину серийных данных.	8-32	-

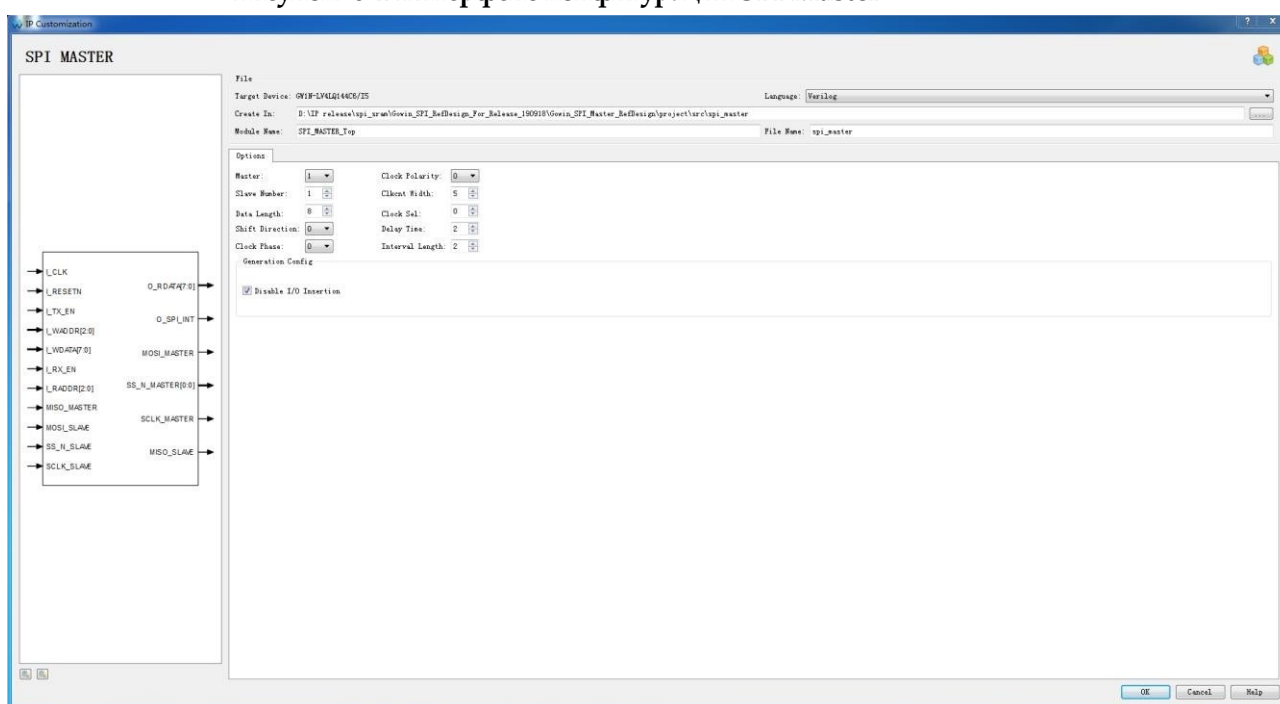
6

Конфигурация интерфейса

Вы можете использовать инструмент генератора IP-ядра в IDE для вызова и настройки Gowin SPI Master IP.

6.1 Интерфейс ядра SPI MASTER IP

Рисунок 6-1 Интерфейс конфигурации SPI Master



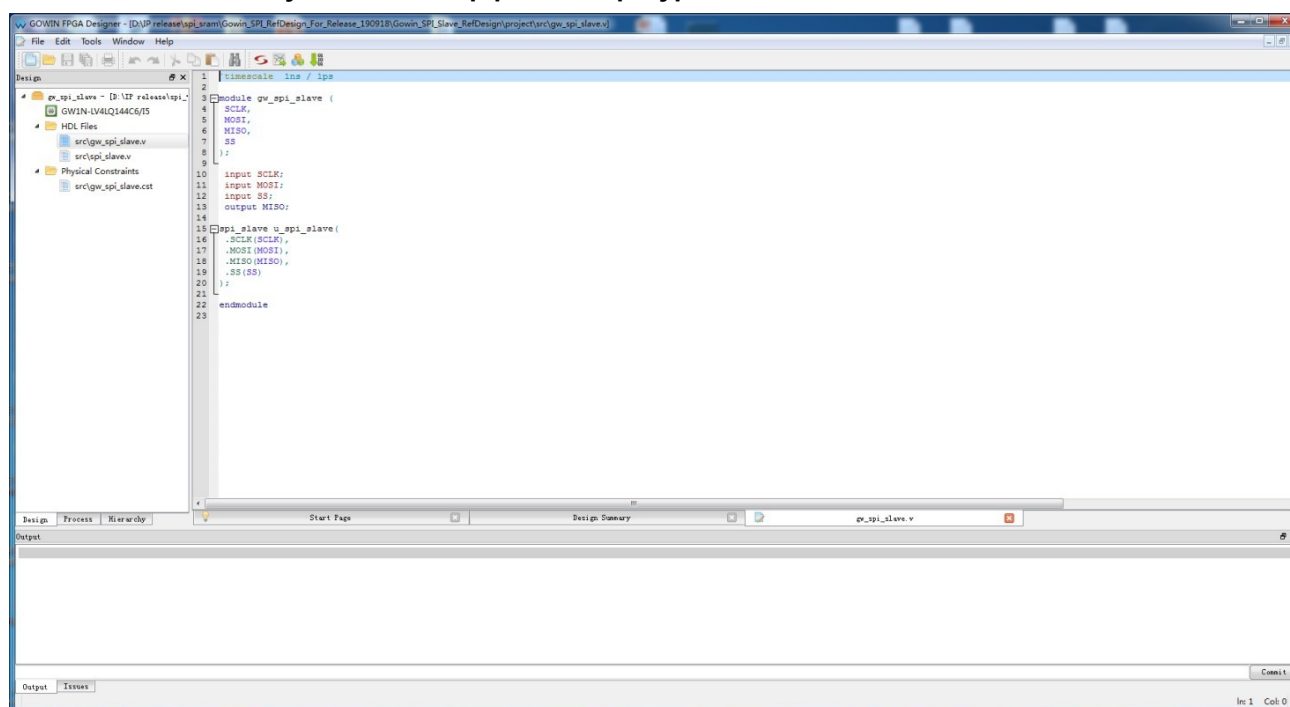
6.2 Проект эталонного дизайна SPI Slave

Откройте программное обеспечение Gowin и нажмите "Файл > Открыть..." для вызова диалогового окна "Открыть файл"; выберите файл проекта (*.gprj), а затем откройте проект, как показано на рисунке 6-2.

Примечание!

Существует три способа открыть проект. Пожалуйста, ознакомьтесь с руководством пользователя [SUG100 для программного обеспечения Gowin](#).

Рисунок 6-2. Интерфейс конфигурации SPI Slave



6.3 Генерация файла битстрима (Bitstream File)

После установки ограничений файл битстрима может быть сгенерирован после синтеза, размещения и маршрутизации. Загрузите файл битстрима на плату разработки или тестовую плату с помощью USB-кабеля Gowin. Наблюдайте за коммуникацией через тестовый интерфейс..

7

Эталонный дизайн

Для получения дополнительной информации, пожалуйста, ознакомьтесь с [эталонным дизайном SPI](#) на официальном веб-сайте Gowin.

