

# Relatório capítulo 11: VHDL

**Aluno:** Alexandre Hoffmann Genthner

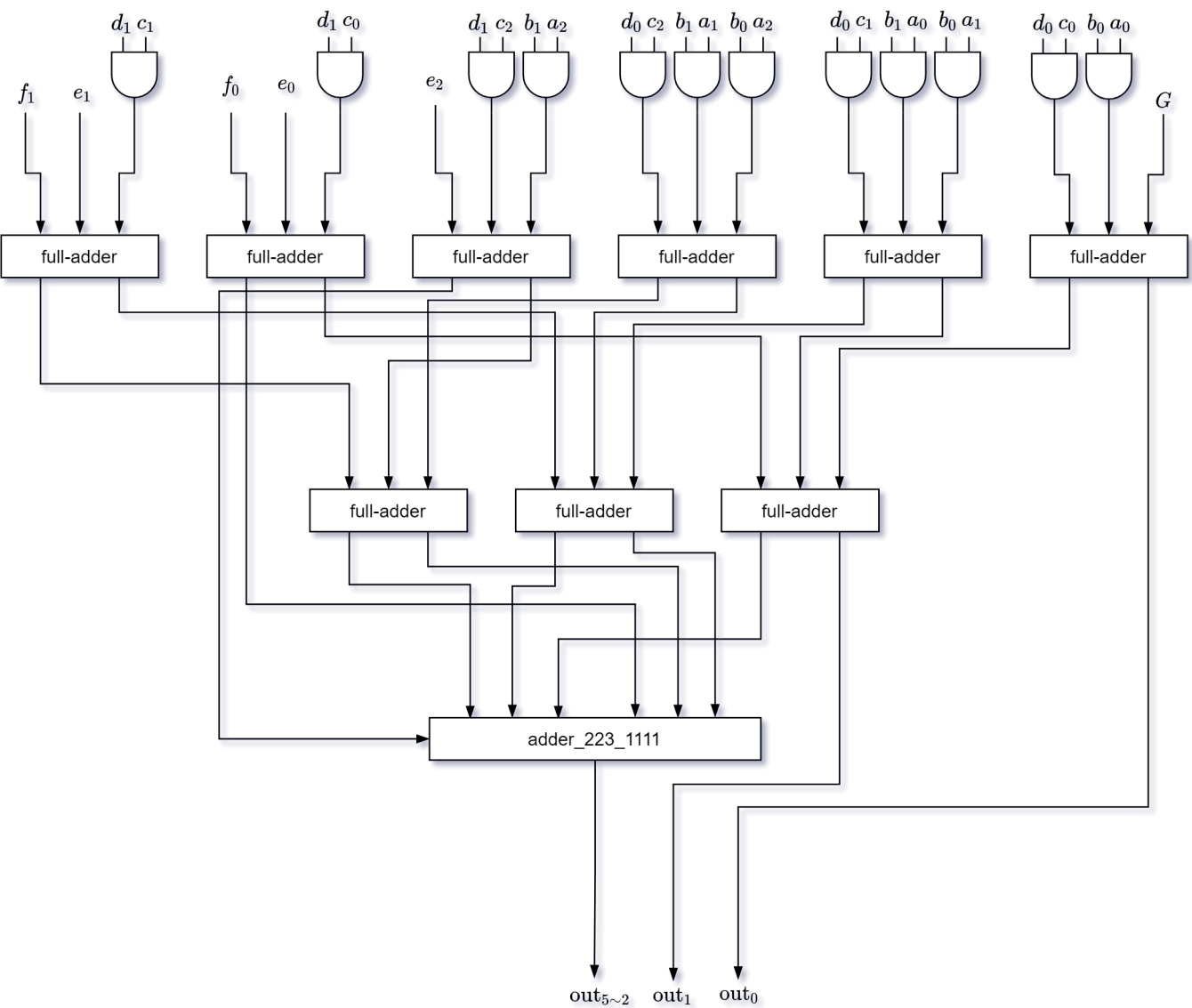
**Matrícula:** 16103372

Para a entrega da tarefa sobre o capítulo 11: VHDL, foi tomado a **proposta II**: implementar um circuito que realize a seguinte equação

$$A \times B + C \times D + 2 \cdot (E + F) + G$$

A	B	C	D	E	F	G
3 bits	2 bits	3 bits	2 bits	3 bits	2 bits	1 bit

Diagrama de blocos do circuito para proposta II



Resultados da emulação na plataforma *online*

	A	B	C	D	E	F	G	Valor esperado (hexadecimal)
valor de entrada	7	3	0	0	0	0	0	0x15
valor de entrada	0	0	7	3	0	0	0	0x15
valor de entrada	0	0	0	0	7	0	0	0x0E
valor de entrada	0	0	0	0	0	3	0	0x06
valor de entrada	0	0	0	0	0	0	1	0x01
valor de entrada	1	1	1	1	1	1	1	0x07
valor de entrada	7	3	7	3	7	3	1	0x3F





