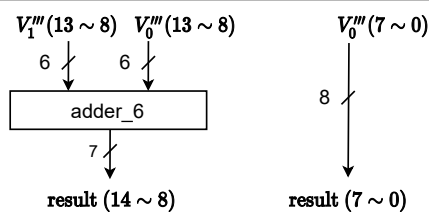
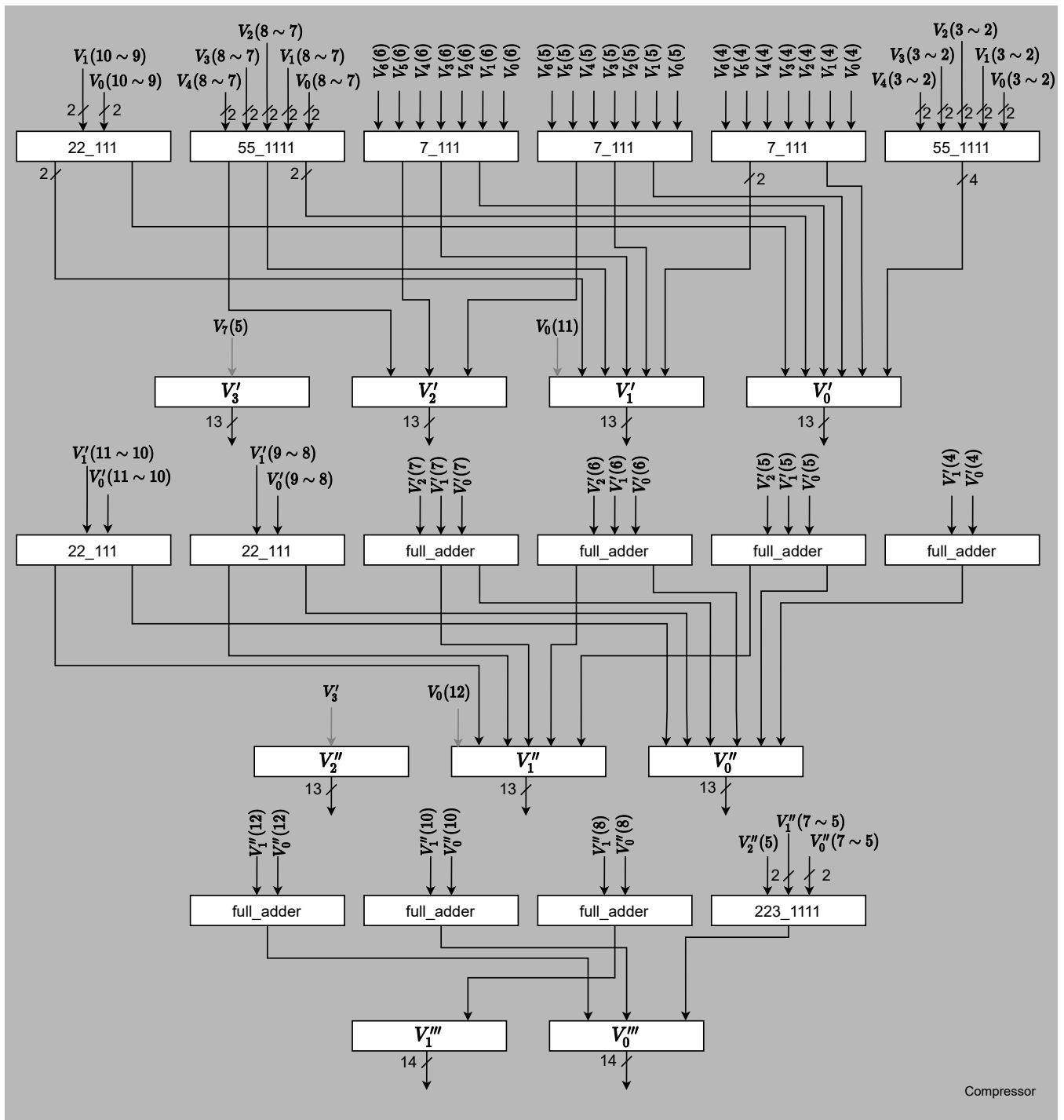
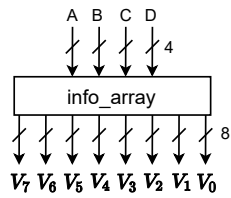


Relatório capítulo 8: VHDL

Aluno: Alexandre Hoffmann Genthner

Matrícula: 16103372

Diagrama do circuito sendo simulado



Simulação na plataforma [online](#)

Para verificação de funcionalidade do circuito na placa de fpga, serão executados as seguintes entradas

	A = 15 = 1111b	B = 15 = 1111b	C = 15 = 1111b	D = 15 = 1111b
Valor esperado (decimal)	576	696	2496	8256
Valor esperado (hexadecimal)	0x240	0x2B8	0x9C0	0x2040



Resultado para entrada A = 1111b = 15.



Resultado para entrada B = 1111b = 15.



Resultado para entrada C = $1111b = 15$.



Resultado para entrada D = $1111b = 15$.

Após uma verificação de outros valores, pode-se verificar a funcionalidade dos arquivos preparados para a emulação.